

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique



Université de Batna 2 – Mostefa Ben Boulaïd
Faculté de Technologie
Département d'Electronique



Thèse

Préparée au sein du LEPCM

Présentée pour l'obtention du titre de :

Docteur en Sciences
Spécialité : Électronique
Option : Microélectronique

Sous le Thème :

**Contribution à la modélisation et l'optimisation des
transistors multi-grilles : Application à la conception
des dispositifs nanoélectroniques**

Présentée par :

Mohamed Amir ABDI

Devant le jury composé de :

BENHAYA Abdelhamid
CHAHDI Mohamed
DOGHMENE Abdellaziz
BAHLOUL Derradji
DEHIMI Lakhdar
MAHAMDI Ramdane

Prof.	Université de Batna 2
Prof.	Université de Batna 1
Prof.	Université de Annaba
Prof.	Université de Batna 1
Prof.	Université de Batna 1
Prof.	Université de Batna 2

Président
Rapporteur
Examineur
Examineur
Examineur
Examineur

15 Juillet 2018

Dédicace

A mon père

A ma mère

A l'ensemble des enseignants Département d'électronique

A mes frères. A ma sœur.

A ma femme et mes enfants.

A tous mes collègues et amis. Je dédie cette thèse.

Remerciements

Je voudrais exprimer, par ce modeste travail, ma gratitude et ma considération à Monsieur **Mohamed CHAHDI**, Professeur à l'université de Batna 1, pour avoir suivi mon travail avec une attention soutenue, pour ses qualités scientifiques et humaines qui m'ont beaucoup aidé et guidé tout au long de mes années de recherche.

Mes remerciements à Monsieur **Abdelhamid BENHAYA**, Professeur à l'université de Batna 2, qui a accepté de présider le jury de cette thèse et pour l'intérêt qu'il a toujours manifestés durant plusieurs années.

Je remercie très sincèrement Monsieur le Professeur **Abdellaziz DOGHMANE**, de l'université de Annaba, pour l'intérêt qu'il a manifesté pour ce travail et d'avoir accepté de d'évaluer cette thèse.

Monsieur, **Derradji BAHLOUL** Professeur à l'université de Batna 2, a aimablement accepté de participer au jury, je le remercie pour l'intérêt qu'il a porté à ce travail.

Toute ma gratitude va à Monsieur **Lakhdar DEHIMI**, Professeur à l'université de Batna 1, pour avoir accepté d'évaluer ce travail.

Mes remerciements vont également à Monsieur **Ramdane MAHAMDI** Professeur à l'université de Batna 2, qui me fait l'honneur de participer au jury de cette thèse et d'en être examinateur.

Je tiens à remercier particulièrement Monsieur **Fayçal DJEFFAL** Professeur à l'université de Batna 2, pour son aide et ses précieux conseils durant la période où il a été mon encadreur durant plusieurs années.

Un grand remerciement à tous les enseignants du département d'électronique de l'université de Batna 2, qui ont veillé à notre formation. Mes remerciements vont également à tout le personnel du département d'électronique de l'université de Batna 2 pour leur gentillesse

et leur disponibilité. Enfin, j'exprime mes remerciements à tous ceux qui ont contribué de près ou de loin à l'élaboration de ce travail.

Résumé

L'étude de la possibilité d'utilisation des modèles numériques dans le domaine de la nanoélectronique, notamment sous forme de prédicteur et simulateur des dispositifs nanométriques (DG MOSFET, GAA MOSFET, Graphene FET...) s'avère nécessaire pour la modélisation et la simulation des dispositifs fortement submicroniques. L'intérêt des procédures de modélisation est de montrer les effets de canal court afin d'étudier le comportement des transistors nanométriques. Dans ce travail, on propose des études analytiques compactes et numériques des structures MOSFET GAA, MOSFET DG et Graphene FET. De nouveaux modèles comportementaux en incluant l'effet des porteurs chauds et l'effet des pièges volumique sont présentées et peuvent être facilement utilisés par les programmes de simulation de circuits électroniques (CADANCE, PSPICE...) pour des prédictions plus précises des caractéristiques des structures multi-grilles MOSFETs nanométriques. Un bon accord a été trouvé entre nos résultats et les résultats expérimentaux et numériques.

Mots clés : Transistor nanométrique, multi-grille, submicronique, DG MOSFET, GAA MOSFET, Graphene FET.

Abstract

The study of the possibility of using numerical models in the field of nanoelectronics, notably in the form of a predictor and simulator of nanometric devices (DG MOSFET, GAA MOSFET, Graphene FET ...) is necessary for the modeling and simulation of highly submicron devices. The interest of modeling procedures is to show short channel effects in order to study the behaviour of nanometric transistors. In this work, we propose compact and numerical analytical studies of GAA MOSFET, DG MOSFET and Graphene FET structures. New practical models including the effect of hot carriers and the effect of bulk traps are presented and can be easily used by electronic circuit simulation programs (CADANCE, PSPICE, ..) for more accurate predictions of characteristics nanoscale MOSFET multi-grid structures. A good agreement was found between our results and the experimental and numerical results.

Key words: Nanoscale transistor, multi-grid, submicron, DG MOSFET, GAA MOSFET, Graphene FET.

ملخص

إن دراسة إمكانية استخدام النماذج العددية في مجال الإلكترونيات النانو مترية، ولا سيما في شكل تنبؤ ومحاكاة الأجهزة النانو ميتريه (مقل مزدوج البوابات، مقل ذو بوابة محيطة، مقل الجرافين ...) ضرورية للنمذجة ومحاكاة أجهزة سوبميكرونية بشكل كبير. الغاية من إجراءات النمذجة هو إظهار آثار القناة القصيرة لدراسة سلوك الترانزستورات النانو مترية. في هذا العمل، نقترح دراسات تحليلية مدمجة وعددية لكل من متعددة البوابات، مركبات ذات بوابة محيطة ومركبات الجرافين. يتم عرض نماذج سلوكية جديدة بما في ذلك تأثير الناقلات الساخنة وتأثير الفخاخ الحجمية، حيث يمكن استخدامها بسهولة من خلال برامج محاكاة الدارات الإلكترونية (كادانس، بيسبايس...) لتنبؤات أكثر دقة لخصائص المركبات المتعددة البوابات. تم الحصول على توافق جيد بين نتائجنا والنتائج التجريبية والعددية.

الكلمات المفتاحية: النانو ترانزستور، متعددة البوابات، دون ميكرون، مقل ذو بوابة محيطة، مقل الجرافين.

Table des matières

INTRODUCTION GENERALE.....	1
INTRODUCTION GENERALE	2
Chapitre I	4
<i>I.1 Introduction.....</i>	<i>5</i>
<i>I.2 Les Transistors MOSFETs.....</i>	<i>5</i>
<i>I.2.1 Définitions</i>	<i>5</i>
<i>I.2.2. Le transistor N-MOS.....</i>	<i>6</i>
<i>I.2.2.a. Fonctionnement du transistor N-MOS</i>	<i>7</i>
<i>I.2.2.b. Caractéristiques courant-tension du transistor N-MOS</i>	<i>10</i>
<i>I.2.3. Transistor P-MOS</i>	<i>11</i>
<i>I.3 Effet de réduction de canal</i>	<i>12</i>
<i>I.3.1 Dégradation de la mobilité</i>	<i>12</i>
<i>I.3.2 Abaissement de la barrière induite par le drain et perçage</i>	<i>13</i>
<i>I.3.3 Variation de la tension seuil avec la longueur du canal.....</i>	<i>14</i>
<i>I.3.5 Saturation de la vitesse</i>	<i>15</i>
<i>I.3.6 L'ionisation d'impact.....</i>	<i>16</i>
<i>I.3.7 Electrons Chauds</i>	<i>17</i>
<i>I.4 Les MOSFETs multi-grilles.....</i>	<i>18</i>
<i>I.4.1 MOSFETs Double Grille</i>	<i>19</i>
<i>I.4.1.1 FinFET.....</i>	<i>19</i>
<i>I.4.1.2 MOSFET DG Planaire Non Auto-Aligné (NAA) ou Auto-Aligné.....</i>	<i>20</i>
<i>(AA) [10].....</i>	<i>20</i>
<i>I.4.2 MOSFET GAA</i>	<i>21</i>
<i>I.5 Transistors à effet de champ (FET) à Graphene et à nano tube en Carbon.....</i>	<i>23</i>
<i>I.5.1 Transistor FET à Graphene</i>	<i>23</i>
<i>I.5.2 Transistor FET à Nano tube en Carbon.....</i>	<i>25</i>
<i>I.6 Conclusion</i>	<i>26</i>
<i>Références</i>	<i>26</i>
Chapitre II.....	28
<i>II.1. Introduction</i>	<i>29</i>
<i>II.2 Simulation numérique avancée</i>	<i>30</i>
<i>II.2.1 Formalisme cde Green.....</i>	<i>30</i>

II.2.2 L'approche de Monte-Carlo	32
II.3 Simulation numérique des composants et procédés technologiques :	32
II.3.1 Les algorithmes génétiques	32
II.3.1.1 Concept principal	32
II.3.1.2 Représentation	33
II.3.1.3 Évaluation de la fonction fitness.....	33
II.3.1.4 Schémas de sélection	34
II.3.1.5 Opérateurs de croisement.....	34
II.3.1.6 Opérateurs de mutation	35
II.3.1.7 Opérateurs de remplacement	35
II.3.1.8 Critères de convergence.....	36
II.4 Modélisation Compacte du MOSFET Double Grille (DG) et Gate-All-Around (GAA) Symétrique :	36
II.4. 1 Introduction :	36
II.4.2 Modélisation du MOSFET Double-Grille Symétrique :	38
II.4.2.1 Modèles en Tension de Seuil du MOSFET Double-Grille Symétrique :	39
II.4. 2. 1. 1 Modèle de J. G. Fossum et L. Kim:	40
II.4. 2. 1. 2 Modèle de M. Reyboz & T. Poiroux :	41
II.4.2.2 Modèles en Potentiel de Surface du MOSFET Double-Grille Symétrique :	41
II.4. 2. 2. 1 Modèle de A. Ortiz-Conde :	42
II.4. 2. 2. 2 Modèle de Y. Taur :	42
II.4. 2. 2. 3 Modèle de G. Baccarani :	43
II.4.2.3 Modèles en Charge du MOSFET Double-Grille Symétrique :	44
II.4. 2. 3. 1 Modèle de J. He :	44
II.4.2. 3. 2 Modèle de B. Iñíguez :	45
II.4.2. 3. 3 Modèle en Potentiel Parabolique :	46
II.4.3 Modélisation du MOSFET Gate All Around GAA:.....	46
II.5 Conclusion :	47
Références	48
Chapitre III	50
III.1 Introduction.....	51
III.2 modélisation analytique comportementale du transistor GAA MOSFET en régime sous seuil en incluant l'effet des porteurs chauds à l'échelle nanométrique ...	51

III.2.1 Présentation de la structure du MOSFET GASGAA :	51
III.2.2 Résolution de l'équation de Poisson à 2 dimensions	52
III.2.2.1 Modélisation du potentiel de surface $\psi_s(z)$:	52
III.3.2.2.2 Modélisation du potentiel V_p :	60
III.2.2.3 Modélisation du Potentiel de surface minimal	61
III.2.2.4 Modélisation du courant sous seuil	63
III.2.2.5 Modélisation de la dégradation de la pente sous le seuil	66
III.3 Modélisation analytique du courant de drain en incluant l'effet des pièges à l'interfaces du transistor GAA MOSFET	69
III.3.1 Modélisation analytique de la densité de charge d'inversion	69
III.3.2 Modèle de dégradation de la transconductance	72
III.3.4 Modèle de dégradation de la fréquence de coupure et du gain	73
III.4 Conclusion	75
Références	76
Chapitre IV	78
IV.1 Introduction	79
IV.2 Modèle de charge compact pour les MOSFET à double grille ultra-minces nanométriques	79
IV.2.1 Présentation de la structure MOSFET DG	79
IV.2.1 Méthodologie de modélisation	80
IV.2.2 Modélisation de la charge d'inversion	81
IV.2.3 Résultats et discussion	85
IV.3 modélisation analytique de la pente sous-seuil pour étudier les limites d'extensibilité du transistor MOSFET à double grille, en incluant les effets des pièges en volume	86
IV.3.1 Introduction	86
IV.3.2 Présentation de la structure du MOSFET DG	87
IV.3.3 Modélisation de la distribution du potentielle en deux dimensions	88
IV.3.4 La pente sous seuil	93
IV.3.5 résultats et discussion	95
IV.4 Modèle de courant de drain pour MOSFET Gate Stack Double Gate (GSDG) non dopéen incluant l'effet de dégradation des porteurs chauds	98
IV.4.1 Introduction	98
IV.4.2 Présentation de la structure du MOSFET GSDG	99

<i>IV.4.3 Méthodologie de modélisation</i>	100
<i>IV.4.4 Résultats et discussion</i>	102
<i>IV.5 Conclusion</i>	104
<i>Références</i>	105
Chapitre V	109
<i>V.1 Introduction</i>	110
<i>V.2 Préparation du Graphène</i>	110
<i>V.3 Dopage du Graphène</i>	112
<i>V.4 Structure de bande de graphène monocouche</i>	114
<i>V.4.1 Nanorubans de graphène</i>	118
<i>V.4.1.1 Nanoruban de type "armchair"</i>	118
<i>V.4.1.2 Nanoruban de type "zigzag"</i>	119
<i>V.5 Présentation de la structure GNR FET double grille</i>	120
<i>V.6 Méthodologie de modélisation</i>	121
<i>V.6.1 Principe du formalisme de Green</i>	121
<i>V.6.2 Solution de l'équation de Poisson</i>	124
<i>V.7 Présentation et interprétation des résultats</i>	127
<i>V.7.1 Variation de la densité de charge le long du canal</i>	127
<i>V.7.2 Variation de IDS en fonction de VG pour différentes valeurs de Vds</i>	128
<i>V.7.3 Variation de IDS en fonction de VDS pour différentes valeurs de VG</i>	128
<i>V.7.4 Variation de la pente sous seuil en fonction de ϵ_{ox}</i>	129
<i>V.7.5 Effet de la largeur du canal sur les caractéristiques du DG GNR FET</i>	130
<i>V.7.6 DG GNR FET LDD (Double Gate GNR FET Low Doped Drain)</i>	132
<i>V.8 Conclusion</i>	133
<i>Références</i>	133
CONCLUSION GENERALE	136
<i>Conclusion générale</i>	137

Table des Figures

Figure I. 1 Structure MOS.....	5
Figure I. 2 Structure d'un transistor N-MOS	7
Figure I. 3 Transistor N-MOS avec une zone de déplétion	8
Figure I. 4 Transistor N-MOS avec un canal d'inversion	8
Figure I. 5 Transistor N-MOS en mode résistif	9
Figure I. 6 Transistor N-MOS en mode saturé	9
Figure I. 7 Caractéristique courant-tension d'un transistor N-MOS	11
Figure I. 8 Abaissement de la barrière induite par le drain et perçage	13
Figure I. 9 Evolution de la tension de seuil théorique en fonction de la longueur de canal selon le modèle de Yau	14
Figure I. 10 États de surface et charge piégée d'interface	15
Figure I. 11 Ionisation d'impact.....	17
Figure I. 12 Electrons Chauds.....	18
Figure I. 13 Les prochains nœuds technologiques	19
Figure I. 14 Le FinFET.....	20
Figure I. 15 MOSFET DG NAA et méthode de réalisation d'un MOSFET DG par collage .	21
Figure I. 16 (a) Transistor GAA MOSFET (b) Coupe transversale du transistor GAA MOSFET.....	22
Figure I. 17 (a) Schéma de transistors à effet de champ à base de graphène, où une tension continue (V_g) est appliquée entre le graphène et l'arrière du substrat n^{++} -Si. (b) Effet de champ bipolaire dans le graphène : variation de la conductance du graphène sous V_g appliqué. (c) Transistor à effet de champ à base de membrane de graphène en suspension.....	24
Figure I. 18 (a) Schéma d'un transistor à effet de champ (FET) et symbole du FET de graphène. (b) Graphène de grande surface sans bande interdite. Trois niveaux de Fermi sont représentés dans le diagramme E-k et les tensions de grille correspondantes sont également représentées dans sa caractéristique courant-tension.....	25
Figure I. 19 structure du CNT FETs	26
Figure II. 1 Les différents niveaux de simulation	29
Figure II. 2 Principe du formalisme de Green	31
Figure II. 3 Exemple de chromosome avec N paramètres composés de 4 chiffres binaires chacun.....	33
Figure II. 4 Exemple de croisement à point unique.....	35

Figure II. 5 Exemple de croisement à point multiple	35
Figure III. 1 Structure du GASGAA MOSFET.....	52
Figure III. 2 Variation du potentiel de surface à travers le canal pour différentes valeurs de L_D	58
Figure III. 3 Variation du potentiel de surface $\psi_s(z)$ à travers le canal pour différentes valeurs de N_f	58
Figure III. 4 Variation du potentiel de surface $\psi_s(z)$ à travers le canal pour différentes valeurs de N_f	59
Figure III. 5 a Variation de courant sous-seuil pour les MOSFET GAA et GASGAA avec tension de grille en fonction de la densité des pièges interfaciaux et différentes épaisseurs de silicium avec ($L = 20\text{nm}$, $L_1 = 12\text{nm}$, $t_2 = 1.5\text{nm}$, $\epsilon_2 = 20$, $N_A = 10^{15}\text{cm}^{-3}$)	65
Figure III. 6 a Variation l'inverse de la pente sous-seuil pour les MOSFET GAA et GASGAA avec tension de grille en fonction de la densité des pièges interfaciaux et différentes épaisseurs de silicium avec ($L_d = L/3$, $t_2 = 1.5\text{nm}$, $\epsilon_2 = 20$, $N_A = 10^{15}\text{cm}^{-3}$)	68
Figure III. 7 Caractéristiques Ids-Vds pour les MOSFET GAA et GASGAA (en présence des porteurs chauds)	72
Figure III. 8 la dégradation de transconductance du MOSFET GAA et GASGAA en fonction de densités de pièges d'interface pour $V_{gs} = 3\text{V}$, $V_{ds} = 4\text{V}$ (en présence des porteurs chauds)	74
Figure III. 9 Schéma électrique d'un seul amplificateur MOSFET GAA	74
Figure III. 10 Dégradations du gain et de la fréquence de coupure de l'amplificateur MOSFET GAA en fonction des densités de pièges interfaciales pour $V_{gs} = 3\text{V}$, $V_{ds} = 4\text{V}$ et $I_{bias} = 1\text{mA}$ (en présence des porteurs chauds).....	75
Figure IV. 1 Structure du MOSFETDG	79
Figure IV. 2 Capacité d'oxyde quantique classique et optimisée en fonction de l'épaisseur du film.....	84
Figure IV. 3 Tension de seuil classique et quantique en fonction de l'épaisseur du film.....	84
Figure IV. 4 Charge d'inversion quantique classique et corrigée par rapport à la tension grille-source	85
Figure IV. 5 DG MOSFET a considéré dans ce travail : (a) la section transversale (b) diagramme de bande d'énergie utilisé dans cette étude.....	88
Figure IV. 6 La répartition du potentiel de surface le long du canal, pour a) $L = 100\text{ nm}$, b) $L = 30\text{ nm}$, pour $V_{DS} = 0,6\text{ V}$, $V_{gs} = 0,1\text{ V}$, $t_{si} = 5\text{ nm}$ et $t_{ox} = 1,5\text{ nm}$	93

Figure IV. 7 La pente sous seuil en fonction de la longueur du canal, pour différentes densités d'états de défauts ($t_{si} = 20 \text{ nm}$, $t_{ox} = 1,5 \text{ nm}$ et $V_{DS} = 0,8 \text{ V}$).	96
Figure IV. 8 La pente sous seuil en fonction de l'épaisseur de silicium, pour différentes densités d'état de pièges ($L = 40 \text{ nm}$, $t_{ox} = 1,5 \text{ nm}$ et $V_{DS} = 0,4 \text{ V}$).	96
Figure IV. 9 Comparaison de l'expression approximative de (λ_T / t_{si}) avec exact solution numérique.....	97
Figure IV. 10 Abaque graphique proposé pour étudier la capacité d'échelle du MOSFET DG en fonction de la densité des états des pièges (t_{ox} est supposé égal à $1,5 \text{ nm}$ et $N_A = 10^{16} \text{ cm}^{-3}$).	98
Figure IV. 11 DG MOSFET considéré dans ce travail, où la région II est la région avec des charges d'interface induites par un transporteur chaud.....	99
Figure IV. 12 caractéristiques I_{ds} - V_{ds} du MOSFET DG avant et après la contrainte pour les deux cas avec et sans couche haute-k.....	103
Figure IV. 13 Variation normalisée de la courbe de drainage du DG MOSFET pour les deux cas avec et sans couche haute-k	103
Figure IV. 14 Amplificateur de tension.....	104
Figure V. 1 Jonction p-n à base de graphène. (a) Le schéma du dispositif FET à deux portes à base de graphène. (b) Le diagramme d'énergie montre une barrière de potentiel avec la hauteur V et la position du niveau de Fermi par rapport au point de contact des bandes de valence et de conduction	114
Figure V. 2 Le graphène comme matériau de construction 2D pour les matériaux carbonés de toutes autres dimensions. Il peut être enveloppé dans fullerènes 0D (1), et met en 1D nanotubes (2) ou empilés en graphite 3D (3)	115
Figure V. 3 Structure de réseau de graphène, b: zone de Brillouin.....	116
Figure V. 4 la structure en bande du graphène.....	117
Figure V. 5 Vue schématique de CNT et GNR faite à partir d'une feuille de graphène.	118
Figure V. 6 Structures électroniques du GNR de type 'armchair' parfait avec différentes largeurs, (a) $n = 7$ et (b) $n = 8$, respectivement.	119
Figure V. 7 Structure de bande électronique du GNR de type 'zigzag' pour $w = 12$ et $w = 22$	120
Figure V. 8 Structure du GNR-FET double grille	121
Figure V. 9 Le diagramme schématique d'un GNR de type 'armchair' pour $n = 12$	122
Figure V. 10 Le domaine de simulation 2D est le rectangle entouré par la ligne continue. Des grilles uniformément espacées sont utilisées dans les directions x et z , les constantes spatiales sont a et b respectivement.....	125

Figure V. 11 Variation de la densité de charge le long de la structure pour $V_{gs} = 0.6$ V avec $L_g = 10$ nm, $n = 12$	127
Figure V. 12 Variation de I_{DS} en fonction de V_G pour différentes valeurs de V_{ds} avec $L_g = 15$ nm et $n = 12$	128
Figure V. 13 Variation de I_{DS} en fonction de V_{DS} pour différentes valeurs de V_g avec $L_g = 10$ nm et $n = 12$	129
Figure V. 14 Variation de la pente sous seuil en fonction de ϵ_{ox} pour $L_g = 15$ nm et $n = 12$	129
Figure V. 15 Variation de I_{DS} en fonction de V_G pour différentes valeurs de largeur de canal ($n = 15$, $n = 24$ et $L_g = 15$ nm)	130
Figure V. 16 Variation de I_{DS} en fonction de V_{DS} pour différentes valeurs de largeur de canal ($n = 12$, $n = 18$ et $n = 24$)	131
Figure V. 17 Variation de la pente sous seuil en fonction de la largeur du canal ($n = 12$, $n = 18$ et $n = 24$)	131
Figure V. 18 Profil du dopage de la structure LDD DG FET	132
Figure V. 19 Variation de I_{DS} en fonction de V_G de la structure LDD DG FET and DG GNR FET	132

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Le domaine de la modélisation et la simulation des dispositifs fortement submicroniques peut être considéré comme un domaine prioritaire. Par conséquent, l'étude de la possibilité d'utilisation des modèles numériques dans le domaine de la microélectronique, notamment sous forme de prédicteurs et simulateurs des dispositifs nanométriques (Double-Gate MOSFET, Gate-All-Around MOSFET...), s'avère nécessaire.

La microélectronique et la nanoélectronique s'intéressent en particulier à l'étude et à la fabrication des composants électroniques tel que le transistor MOSFET : Métal-Oxyde-Semiconducteur Field Effect Transistor.

La réduction des dimensions fait apparaître de nombreux effets parasites. Nous pouvons parler par exemple des effets de canaux courts qui sont de plus en plus importants avec la diminution de la longueur de grille. Des astuces comme l'intégration des diélectriques high- k peut filtrer l'effet de la diffusion des phonons et améliorer la mobilité des porteurs pour y remédier à ce type de problèmes. Dans ce contexte, de nouveaux dispositifs émergents sont étudiés comme alternatives pour les prochaines générations technologiques. Ces dispositifs sont divers et variés. Nous pouvons citer les transistors sur substrat SOI (Silicon On Insulator) ainsi que les dispositifs multi grilles : les FinFETs, les MOSFETs multi-grille (DG MOSFET, triple grille et à grilles enrobantes GAA) et les MOSFETs à base de graphène. Ces dispositifs innovants sont attendus pour le noeud technologique 22 nm.

L'objectif de cette thèse est la modélisation et l'optimisation des transistors multi-grilles, d'une manière innovante. Nous avons choisi le MOSFET double grille (DG MOSFET) et le MOSFET à grille enrobée (GAA MOSFET) pour plusieurs raisons. Ces architectures sont très prometteuses car elles permettent un excellent contrôle électrostatique grâce à un très bon couplage entre la grille et le canal, un meilleur rapport des courants I_{on}/I_{off} , presque le double du courant I_{on} qu'un MOSFET sur substrat massif pour une même surface active.

Le chapitre I présente le principe de fonctionnement du transistor MOSFET et un rappel sur la problématique actuelle liée à la miniaturisation des transistors, les réalisations les plus significatives des MOSFETs conventionnels (bulk, SOI,...) et illustre les cas les plus prometteurs d'une structure nanométrique multi-grille : le transistor DG MOSFET et le transistor GAA MOSFET.

Le deuxième chapitre est consacré aux méthodes et techniques de modélisation qui peuvent être appliquées pour la modélisation des transistors nanométriques, c'est-à-dire, les méthodes analytiques, méthodes approximatives et les méthodes numériques qui seront utilisées lors du développement des codes de calcul.

Dans le chapitre III nous proposons des études analytiques et compactes de la structure MOSFET GAA. En première partie un nouveau modèle comportemental sous-seuil compact comprenant un modèle du potentiel à deux dimensions, un modèle du courant sous-seuil et l'inverse de la pente sous-seuil en incluant l'effet des porteurs chauds. La deuxième partie de ce chapitre est consacrée à la modélisation analytique du courant de drain en incluant l'effet des pièges à l'interface du transistor GAA MOSFET.

La structure MOSFET DG fait l'objet du quatrième chapitre. En premier, cette approche est présentée pour étudier le comportement de la charge d'inversion à l'échelle nanométrique ultra-mince du transistor MOSFET à double grille en utilisant l'approximation de canal graduel (GCA) et la technique d'optimisation par l'algorithme génétique. Une modélisation analytique de la pente sous-seuil pour étudier les limites d'extensibilité du transistor MOSFET à double grille, en incluant les effets des pièges volumiques, est présentée dans ce chapitre qui se termine par un modèle de courant de drain pour un MOSFET Gate Stack Double Gate (GSDG) non dopé en incluant l'effet de dégradation des porteurs chauds.

Le dernier chapitre porte sur la nouvelle génération des transistors à effet de champ FET à Graphène. La procédure de simulation de la structure à base de graphène est présentée. Dans cette partie, les nanorubans de graphène (GNR) et leurs propriétés électriques sont étudiés. Pour ce faire, le formalisme du transport balistique est pris en compte lors du développement du modèle numérique de la structure graphène FET.

Finalement, au vu des résultats obtenus, nous tirons la conclusion de cette étude et nous donnons un aperçu des perspectives à envisager pour le futur.

Chapitre I

I.1 Introduction

Les transistors MOS (*Metal Oxide Semiconductor : Métal Oxyde Semi-conducteur*) sur silicium utilisés en architecture CMOS (*Complementary MOS : MOS Complémentaires*) sont les principaux artisans de cette progression continue et dominante de façon écrasante le marché des semi-conducteurs. L'amélioration des performances de ces transistors nécessite toujours plus d'imagination de la part des concepteurs de composants. En effet, les gains en performance attendus de la miniaturisation des dispositifs sont fortement réduits à cause de phénomènes inhérents aux grilles ultra-submicroniques actuelles (inférieures à 100 nm).

L'importance de ces effets, dits « *de canal court* », et la complexité des méthodes pour les contrer sont telles que le monde de la microélectronique, pourtant très frileux, est en train de s'intéresser très activement à toutes les architectures alternatives possibles aux transistors MOSFET (*Metal Oxide Semiconductor Field Effect Transistor : transistor à effet de champ MOS*) massifs 'traditionnels'. Ainsi, pour atteindre les prochains objectifs fixés par la *feuille de route internationale des semi-conducteurs (ITRS : International Technology Roadmap of Semiconductor)*, l'utilisation d'architectures MOSFETs multi-grille est très sérieusement envisagée [2]. Ces architectures sont, en effet, particulièrement prometteuses en termes de contrôle électrostatique de canal.

Dans ce chapitre, nous présenterons brièvement le transistor MOS bulk ainsi que les problèmes engendrés par sa miniaturisation. Nous évoquerons ensuite les solutions technologiques possibles pour répondre à ces problèmes.

I.2 Les Transistors MOSFETs

I.2.1 Définitions

Une structure MOS (Métal-Oxyde-Semi-conducteur) est constituée d'un substrat semi-conducteur (monocristal de Silicium) dopé recouvert d'une couche d'oxyde isolante (SiO_2) sur laquelle est déposée une couche métallique appelée "grille" G :

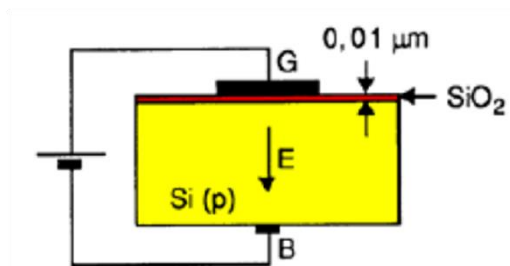


Figure I.1 Structure MOS [1]

Ce système est analogue à un condensateur plan et, quand une tension est appliquée entre la grille G et le substrat B, il apparaît une charge sur les deux armatures avec formation d'une zone de charge d'espace. Selon le signe et la grandeur de la tension appliquée entre la grille et le substrat, on peut obtenir différentes situations dans le semi-conducteur : **accumulation** ou **dépeuplement** des porteurs libres à l'interface isolant-semi-conducteur ou encore **inversion**, c'est-à-dire création à cette interface d'une couche de porteurs minoritaires. Par conséquent, en faisant varier la tension appliquée, et donc le champ électrique perpendiculairement au plan des interfaces, on peut fortement modifier la conductivité électrique dans le semi-conducteur, au voisinage de l'interface et parallèlement à ce plan.

Par exemple pour un substrat de type p où les porteurs majoritaires sont les trous, on obtient le Comportement suivant en fonction de la tension V_G appliquée entre la grille et le substrat. [1-2].

- ❖ Si $V_G < 0$: le potentiel négatif de la grille attire les trous, porteurs majoritaires du substrat de type p, près de l'interface isolant-semiconducteur où ils sont ainsi accumulés (régime d'**accumulation**).
- ❖ Si $V_G > 0$: Le potentiel positif de la grille repousse les trous et attire les électrons. La densité des trous près de l'interface diminue, c'est le régime de **déplétion**.
- ❖ Si $V_G \gg 0$: la diminution de la densité de trous au voisinage de l'interface est telle qu'elle devient inférieure à la densité des électrons. Ceux-ci qui étaient minoritaires deviennent majoritaires, et le semi-conducteur devient localement de type n au voisinage de l'interface avec l'isolant. C'est le régime d'**inversion**.

Notes:

- La transition entre le régime d'accumulation et celui de déplétion n'a pas forcément lieu exactement à $V_G = 0$.
- Le potentiel de transition entre le régime de déplétion et le régime d'inversion est un paramètre essentiel de la structure et sera noté V_T .
- La grille était initialement réalisée en aluminium. Actuellement, pour des raisons de fiabilité, en particulier pour les faibles épaisseurs d'oxyde, on réalise la grille en silicium polycristallin fortement dopé et appelé polysilicium [1].

1.2.2. Le transistor N-MOS

Un transistor MOS est une structure hétérogène, à 3 ou 4 connections, dans laquelle la conductivité dans un "canal" entre deux électrodes (appelées « Source » et « Drain ») est

commandée par un champ électrique créé au moyen d'une troisième électrode (appelée Grille).

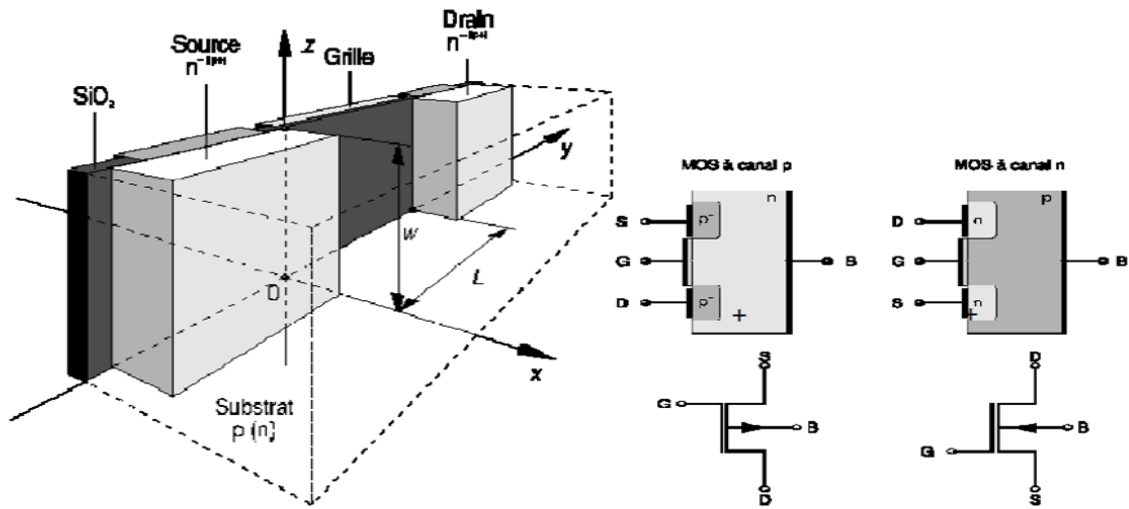


Figure I. 1 Structure d'un transistor N-MOS [2]

Nous allons dans un premier temps décrire un transistor MOS de type N (N-MOS), constitué d'un substrat de type p à la surface duquel a été formée une structure MOS décrite ci-dessus, encadrée de deux zones de type n+ (fortement dopées) et constituant la Source et le Drain. Le choix d'un fort dopage pour ces zones permet d'avoir un contact métal semi-conducteur de type ohmique pour les fils de connexion. On observera que la structure est géométriquement symétrique par échange de la Source et du Drain, mais on conviendra d'appeler « Source » la région n+ de potentiel le plus bas, et « Drain » la région n+ de potentiel le plus élevé de telle sorte que $V_{DS} \geq 0$ [1].

I.2.2.a. Fonctionnement du transistor N-MOS

Examinons le comportement du transistor N-MOS en fonction des tensions appliquées, en prenant comme référence le potentiel de la source V_S , et en supposant que le substrat est soit connecté à la source, soit à un potentiel plus négatif ($V_{BS} \leq 0$).

Nous supposons que le dopage du substrat de type p est tel que pour $V_G = 0$ la structure MOS est en régime d'accumulation. Cette situation est la plus courante, et le N-MOS est alors dit à enrichissement. Nous ne traiterons pas ici des transistors MOS à déplétion qui sont plus rarement utilisés [1-4].

Lorsque $V_G \leq 0$, la couche de type p proche de l'isolant est en régime d'enrichissement en trous (Porteurs majoritaires), et le trajet Source-Drain est constitué de deux jonctions p – n (diodes) tête bêche. Il est donc non conducteur (aux courants de fuite près qui sont très faibles) et l'on dit alors que le transistor est bloqué [1-4].

Pour $0 \leq V_G < V_T$, où V_T est une tension de seuil (positive pour un N-MOS), et pour V_{DS} nul ou faible, la couche proche de l'isolant passe progressivement en mode de déplétion, le trajet Source-Drain reste bloqué mais se rapproche de la conduction. [1-4].

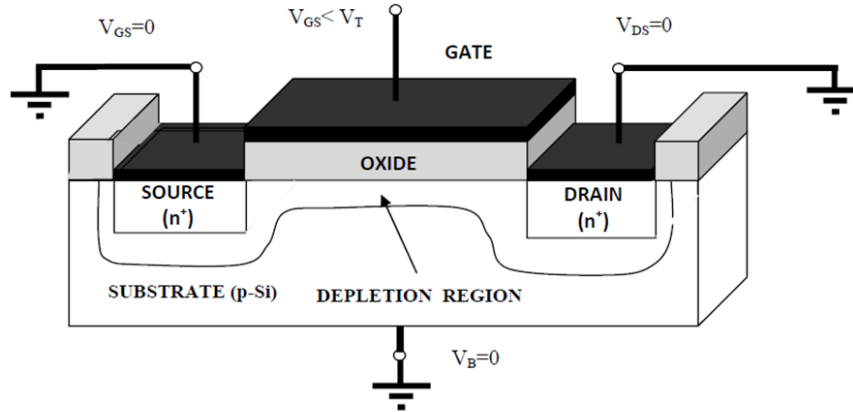


Figure I. 2 Transistor N-MOS avec une zone de déplétion [4]

Pour $V_G > V_T$ et V_{DS} nul ou faible, la structure MOS est en régime d'inversion, un canal de type n se forme au voisinage de l'interface avec l'isolant et constitue un circuit conducteur entre les deux zones n+. Un courant électronique peut alors circuler de la Source vers le Drain.

Le transistor est alors dit conducteur ou passant. Il faut noter que $I_S = I_D$ puisque la Grille est isolée, et que le substrat est par hypothèse hors circuit. La valeur de ce courant commun à la Source et au Drain dépend des potentiels V_{GS} et V_{DS} .

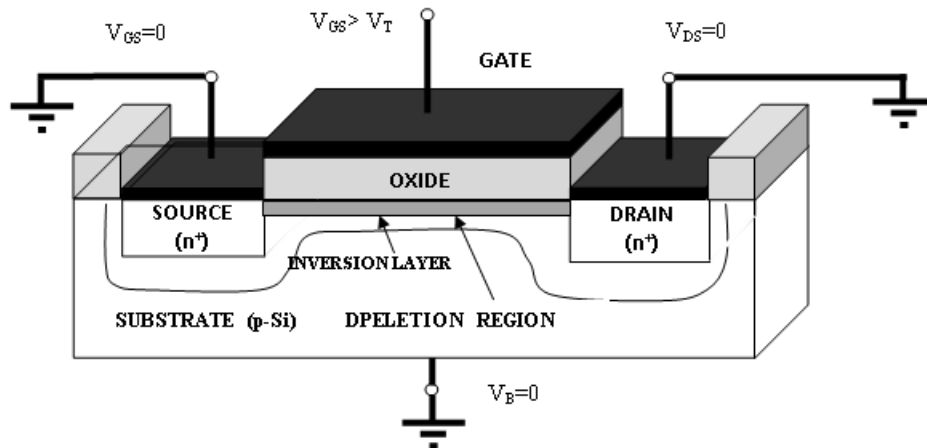


Figure I. 3 Transistor N-MOS avec un canal d'inversion [4]

Tant que $V_{GS} > V_T$ et $V_{GD} > V_T$ (et donc pour $V_{DS} < V_{GS} - V_T$), le canal s'étend sur toute la longueur entre la Source et le Drain et se comporte comme une résistance ($I_S = I_D \approx$

V_{DS}/R) dont la valeur R est indépendante de V_{DS} , mais varie avec la tension de commande V_{GS} . La densité électronique dans le canal augmente lorsque la tension de grille augmente, et donc la conductivité du canal augmente elle aussi. On dit que le transistor est en mode résistif [1-4].

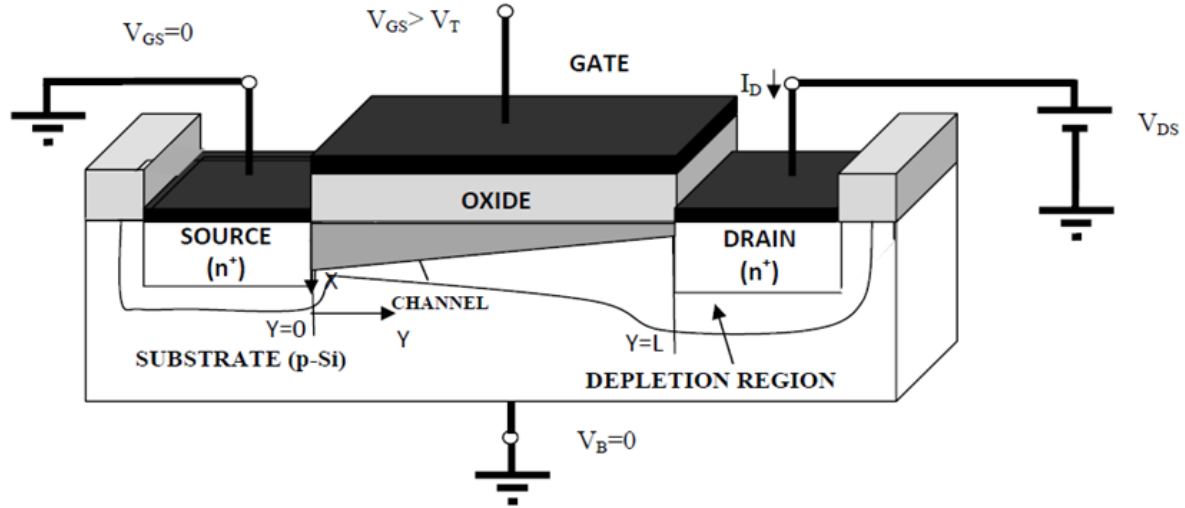


Figure I. 4 Transistor N-MOS en mode résistif [4]

Fortes valeurs de V_{DS} : on maintient V_G fixé ($V_{GS} > V_T$), et on augmente V_D qui sera proche de V_G . A partir d'un certain potentiel V_{DSat} appelé tension de pincement, la condition $V_{GD} > V_T$ ne sera plus satisfaite, il n'y aura plus d'inversion de population au voisinage du Drain, et l'épaisseur du canal sera localement réduite à zéro. Au-delà de cette tension de pincement, le point de pincement se déplace vers la Source de sorte que la tension V_{DSat} apparaît appliquée aux extrémités d'un canal dont la longueur est diminuée de ΔL , l'excédent de tension ($V_D - V_{DSat}$) étant chuté dans une zone désertée (diode en inverse de forte résistivité) de longueur ΔL .

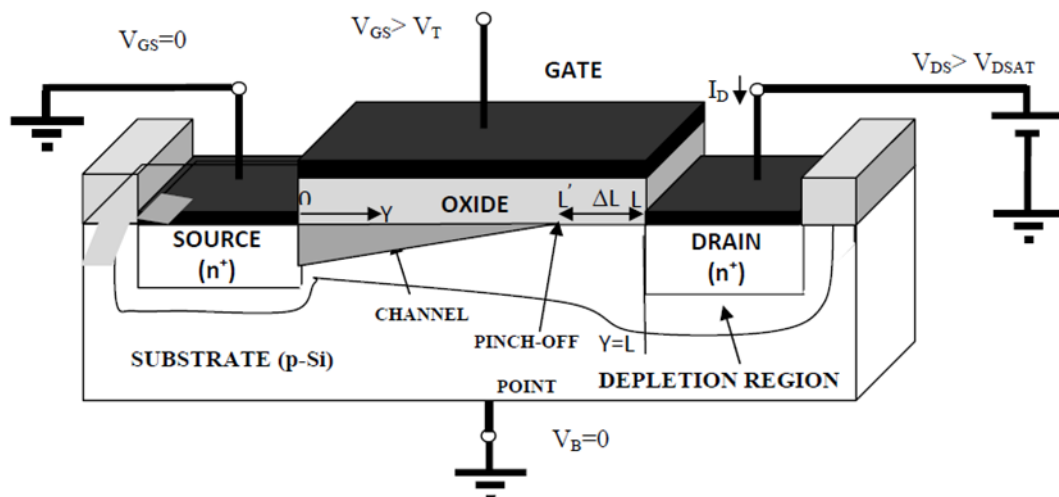


Figure I. 5 Transistor N-MOS en mode saturé [4]

La présence de cette zone désertée en série avec le canal conducteur ne diminue pas le courant car les électrons qui parviennent au point de pincement sont aspirés par le fort champ électrique pour être injectés dans le Drain. Dans la mesure où $\Delta L \ll L$, le courant I_D est principalement déterminé par la conductivité du canal et la différence de potentiel V_{Dsat} , et ce courant reste approximativement constant lorsque V_D excède V_{Dsat} . Le transistor est en mode saturé [1-4].

1.2.2.b. Caractéristiques courant-tension du transistor N-MOS

Comme indiqué précédemment, le transistor MOS est principalement utilisé pour ses propriétés de transconductance (source de courant commandée par une tension) : on s'intéressera donc surtout aux caractéristiques du dipôle Drain-Source et à sa dépendance en fonction de la tension de Grille. La description quantitative du transistor N-MOS peut être plus ou moins précise en fonction de la complexité de la modélisation utilisée, et pour une description, une modélisation simple est suffisante. Elle fournit le courant de Drain $I_D = I_S$ dans les divers modes de fonctionnement que nous venons de voir par les relations suivantes [1-4].

$$a) V_{GS} < V_T \quad \text{Transistor bloqué : } I_D = 0 \quad (I.1)$$

$$b) V_{GS} > V_T \quad \text{et} \quad V_{GD} > V_T \Leftrightarrow V_{DS} < V_{GS} - V_T \quad \text{Mode } \ll \text{résistif} \gg$$

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (I.2)$$

$$c) V_{GS} > V_T \quad \text{et} \quad V_{GD} < V_T \Leftrightarrow V_{DS} > V_{GS} - V_T \quad \text{Mode } \ll \text{saturé} \gg$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \quad (I.3)$$

==> La frontière entre le mode résistif et le mode saturé est donnée par la relation :

$$V_{GD} = V_T \Leftrightarrow I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{DS}^2 \quad (I.4)$$

Où : W et L sont la largeur et la longueur du canal ;

μ_n est la mobilité des électrons (porteurs majoritaires du canal n);

C_{ox} est la capacité par unité de surface de la capacité MOS ;

$C_{ox} = \epsilon_{ox} / t_{ox}$ où ϵ_{ox} est la permittivité de l'oxyde et t_{ox} son épaisseur.

On définit ainsi les paramètres de transconductance :

$$\begin{aligned} k'_n &= \mu_n C_{ox} \\ k_n &= \mu_n C_{ox} \frac{W}{L} \end{aligned} \quad (I.5)$$

Les courbes caractéristiques courant-tension ont ainsi l'allure suivante :

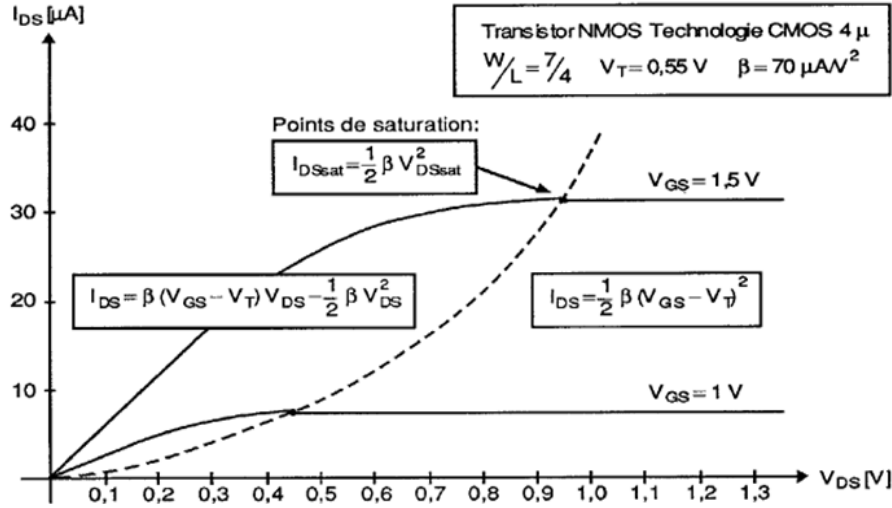


Figure I. 6 Caractéristique courant-tension d'un transistor N-MOS [2]

I.2.3. Transistor P-MOS

D'une façon similaire au transistor N-MOS, on peut construire un transistor P-MOS en remplaçant toutes les zones "p" par des zones "n" et vice-versa.

On nommera Source la zone p+ de potentiel le plus élevé, ce qui donnera $V_{DS} \leq 0$.

La conduction se fera par un canal de type p où les porteurs majoritaires sont les trous, et le courant de trous ira de la Source au Drain [2].

La **tension de seuil V_T est négative**, la zone intéressante de fonctionnement sera donc pour

$V_{GS} \leq 0$ On obtient également 3 modes de fonctionnement pour le transistor P-MOS :

a) $V_{GS} > V_T$ Transistor bloqué : $I_D = 0$ (I.6)

b) $V_{GS} < V_T$ et $V_{GD} < V_T \Leftrightarrow V_{DS} > V_{GS} - V_T$ **Mode <<résistif>>**

$$I_D = \mu_p C_{OX} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (I.7)$$

c) $V_{GS} < V_T$ et $V_{GD} > V_T \Leftrightarrow V_{DS} < V_{GS} - V_T$ **Mode <<saturé>>**

$$I_D = \frac{1}{2} \mu_p C_{OX} \frac{W}{L} (V_{GS} - V_T)^2 \quad (I.8)$$

==> La frontière entre le mode résistif et le mode saturé est donnée par la relation :

$$V_{GD} = V_T \Leftrightarrow I_D = \frac{1}{2} \mu_p C_{OX} \frac{W}{L} V_{DS}^2 \quad (I.9)$$

où : W et L sont la largeur et la longueur du canal;

μ_p est la mobilité des trous (porteurs majoritaires du canal p);

C_{OX} est la capacité par unité de surface de la capacité MOS ;

$C_{OX} = \epsilon_{OX} / t_{OX}$ où ϵ_{OX} est la permittivité de l'oxyde et t_{OX} son épaisseur.

On définit ainsi les paramètres de transconductance :

$$\begin{aligned} k_p' &= \mu_p C_{ox} \\ k_p &= \mu_p C_{ox} \frac{W}{L} \end{aligned} \quad (I.10)$$

A cause de la mobilité plus faible des trous, la transconductance des P-MOS est, à géométrie égale, plus faible que celle des N-MOS, ils sont moins bons conducteurs du courant [2].

1.3 Effet de réduction de canal

Les effets de canal court sont attribués à deux phénomènes physiques :

- La limitation imposée aux caractéristiques de dérive des électrons dans le canal,
- La modification de la tension de seuil due à la longueur du canal de raccourcissement.

En particulier, les différents effets de canaux courts peuvent être distingués et sont :

1.3.1 Dégradation de la mobilité

La mobilité est importante car le courant dans le MOSFET dépend de la mobilité des porteurs de charge (trous et électrons). Nous pouvons décrire cette dégradation de la mobilité par deux effets :

- Effet de champ latéral : Dans le cas de canaux courts, lorsque le champ latéral est augmenté, la mobilité du canal devient dépendante du champ et finalement la saturation de la vitesse se produit. Cela entraîne la saturation actuelle.
- Effet de champ vertical : Comme le champ électrique vertical augmente également en rétrécissant les longueurs de canal, il en résulte une dispersion des porteurs près de la surface. Par conséquent, la mobilité de surface diminue (également expliqué par l'équation de dépendance de mobilité donnée ci-dessous).

I.3.2 Abaissement de la barrière induite par le drain et perçage

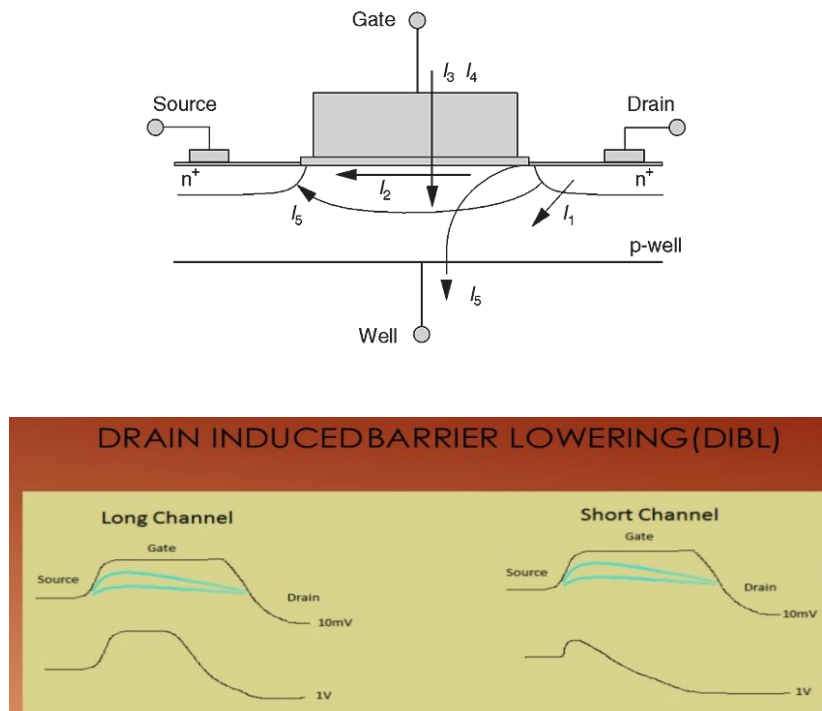


Figure I. 7 Abaissement de la barrière induite par le drain et perçage [5]

Apparition de l'effet perçant. Lorsque la couche d'appauvrissement entourant le terminal source s'étend et fusionne avec la couche d'appauvrissement de la borne de drain, les porteurs de charge obtiennent une route à traverser. C'est ce qu'on appelle un effet de perçage. La perforation peut être minimisée avec des oxydes plus minces, un dopage de substrat plus important, des jonctions moins profondes et, évidemment, avec des canaux plus longs.

Abaissement de la barrière induite par le drainage : sachant que lorsque la tension de grille est nulle, il existe une barrière de potentiel qui empêche les électrons de circuler. Lorsque la tension de grille augmente, le potentiel de barrière diminue et permet au courant de circuler. Etant donné que la longueur du canal est suffisamment grande dans les MOSFETs normaux, la tension source-drain n'affecte pas la barrière de potentiel ; mais dans les MOSFETs à canal court, le potentiel de barrière de drain est affecté à la fois par la tension de grille et la tension source-drain.

Si on augmente la tension source-drain, la barrière de potentiel diminue pour permettre aux électrons de circuler. C'est ce qu'on appelle l'abaissement de la barrière induite par le drain.

Le courant de canal qui circule dans ces conditions ($V_{gs} < V_t$) est appelé le courant de sous-seuil.

L'effet DIBL est habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_{th} divisé par le ΔV_D entre deux courbes résultant de deux tensions de drain différentes :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_D} \left(\frac{mV}{V} \right) \quad (I.11)$$

1.3.3 Variation de la tension seuil avec la longueur du canal

Dans le cas de MOSFET à canal long, la grille a le contrôle sur le canal et prend en charge la majeure partie de la charge. Comme nous allons vers des longueurs de canal courtes comme on le voit dans le graphique ci-dessus (figure I.9), la tension de seuil commence à diminuer car la charge dans la région d'appauvrissement est maintenant supportée par le drain et la source également. Ainsi, la porte doit supporter moins de charge dans cette région et par conséquent, V_T chute. Ce phénomène est connu comme effet de partage de charge.

Maintenant que I_{DS} est proportionnel à $(V_{GS} - V_T)$, par conséquent, lorsque V_T commence à décroître c'est le cas de canaux courts, I_{DS} commence à augmenter, ce qui entraîne des courants de drain plus importants. De plus, lorsque V_{GS} est à zéro et que le MOSFET est en mode de coupure, V_T étant petit, $V_{GS} - V_T$ sera une petite valeur négative et entraînera un courant de fuite qui, multiplié par la tension de drain, entraînera une fuite. Dans le cas de MOSFET à canal long, V_T est assez grand et $(V_{GS} - V_T)$ est une valeur négative relativement plus grande, en mode de coupure, la puissance de fuite est très faible.

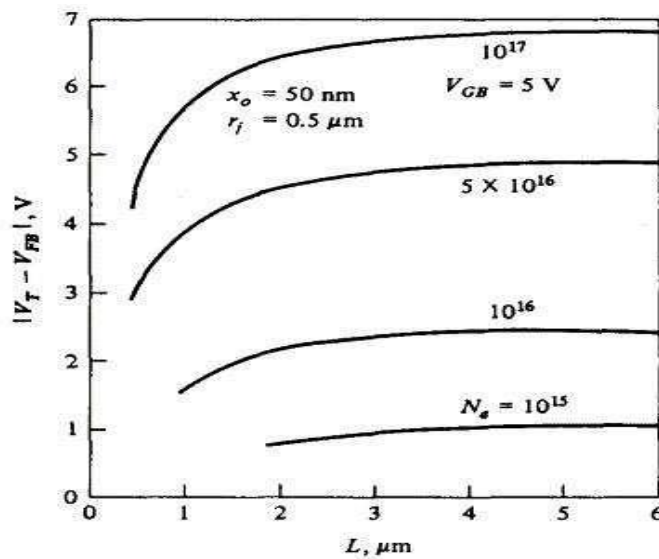


Figure I. 8 Evolution de la tension de seuil théorique en fonction de la longueur de canal selon le modèle de Yau [6]

1.3.4 États de surface et charge piégée d'interface

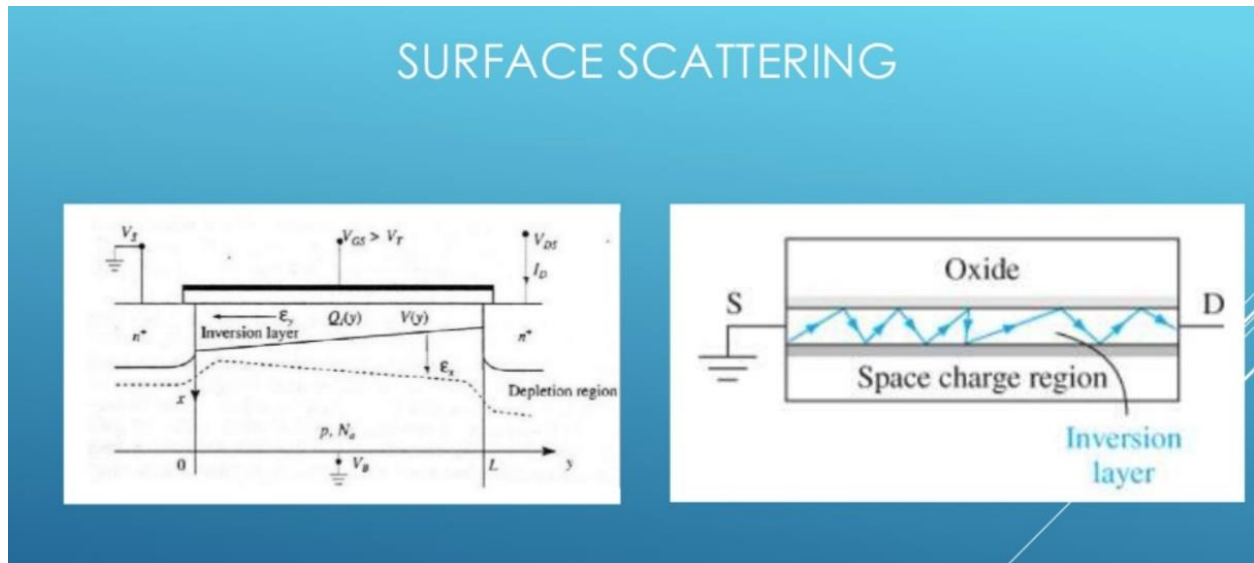


Figure I. 9 États de surface et charge piégée d'interface [5]

Au niveau de l'interface Si-SiO₂, le réseau de silicium massif et toutes les propriétés associées à sa périodicité se terminent. En conséquence, des états localisés avec de l'énergie dans l'intervalle d'énergie interdite du silicium sont introduits à ou très près de l'interface Si-SiO₂. Les charges piégées d'interface sont des électrons ou des trous piégés dans ces états. La probabilité d'occupation d'un état de surface par un électron ou par un trou est déterminé par l'énergie de l'état de surface par rapport au niveau de Fermi. Un électron dans la bande de conduction peut contribuer facilement au courant de conduction électrique alors que la présence d'états localisés qui jouent le rôle de pièges (traps) pour les électrons et il en résulte une nette diminution du phénomène de conduction ; car les porteurs de charge sont piégés et ne contribuent plus à la conduction.

Les états de surface peuvent également agir en tant que centres de recombinaison-génération localisés et conduire à des courants de fuite.

1.3.5 Saturation de la vitesse

La vitesse de dérive des électrons dans le canal varie linéairement avec l'intensité du champ électrique. Cependant, lorsque l'on augmente au-dessus de 10^4 (V / cm), la vitesse de

dérive a tendance à augmenter plus lentement et approche une valeur de saturation de V_{de} (sat) $= 10^7$ cm / s .

Remarque : le courant est limité en raison de la saturation de la vélocité non due au pincement.

Lorsque la tension de drain $V_d > V_g + V_t$, le courant devient saturé. La raison en est que lorsque on augmente la tension de drain au-delà d'une certaine valeur qui est définie par l'équation ci-dessus, l'épaisseur du canal à la borne de drain devient zéro. Ainsi, le courant à travers le canal devient saturé.

Electriquement, l'effet de pincement est que le canal ne se comporte plus comme une simple résistance. Le courant devient fixe (saturé) à la valeur juste avant le pincement.

1.3.6 L'ionisation d'impact

Un autre effet de canal court indésirable est dû à la grande vitesse des électrons en présence de champs électriques longitudinaux à haute résistance qui peuvent générer des paires électron-trou dues à l'ionisation par impact (en impactant les électrons sur les atomes de silicium et en les ionisant). En général, l'ionisation par impact est le processus dans un matériau par lequel un porteur de charge énergétique peut perdre de l'énergie en créant d'autres porteurs de charge. Cela se passe comme suit : les électrons sont normalement attirés vers le drain tandis que les trous pénètrent dans le matériau du substrat. La région entre la source et le drain peut agir comme base du transistor npn, le drain agit comme un collecteur et une source comme un émetteur. Si les trous mentionnés ci-dessus formés en raison de l'ionisation par impact sont collectés par la source, le courant de trou correspondant peut créer une chute de tension d'environ 0,6 volt et la jonction pn normalement polarisée en inverse.

Lorsque les électrons sont injectés dans la base à partir de l'émetteur (source), ils voyagent à travers le canal vers le drain et dans le processus gagner plus d'énergie. Cela crée plus de paires électron-trou aggravant la situation.

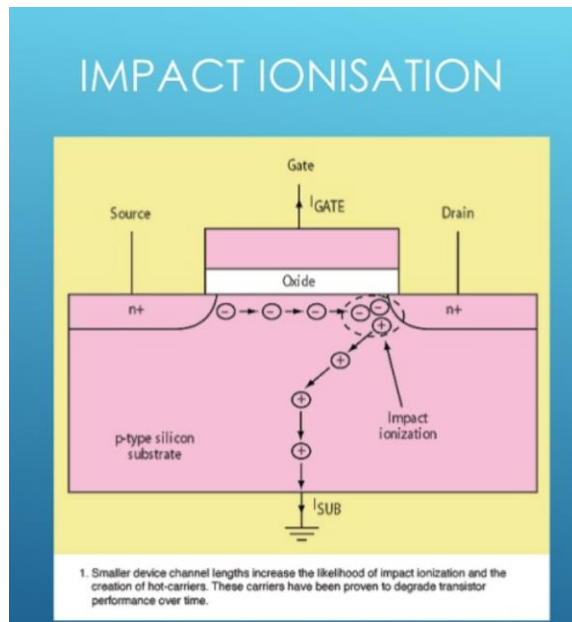


Figure I. 10 Ionisation d'impact [5]

1.3.7 Electrons Chauds

Les champs électriques ont tendance à être augmentés à des géométries plus petites, car les tensions des dispositifs sont difficiles à mettre à l'échelle à des valeurs arbitrairement petites. Par conséquent, divers effets de porteur chauds apparaissent dans les dispositifs à canal court. Le champ dans la jonction de drain polarisée en inverse peut conduire à l'ionisation par impact et à la multiplication du porteur. Les trous qui en résultent contribuent au courant du substrat et certains peuvent se déplacer vers la source, où ils abaissent la barrière de la source et entraînent l'injection d'électrons de la source dans la région p. En fait, le transistor n-p-n peut résulter de la configuration de drain du canal source et empêcher le contrôle du courant par la grille.

Un autre effet d'électrons chauds est le transport des électrons énergétiques sur (ou passant à travers) la barrière dans l'oxyde. De tels électrons sont piégés dans l'oxyde, où ils modifient la tension de seuil et les caractéristiques I-V du dispositif. Les effets d'électrons chauds peuvent être réduits en réduisant le dopage dans les régions de source et de drain, de sorte que les champs de jonction sont plus petits. Cependant, les régions de source et de drain faiblement dopées sont incompatibles avec les dispositifs de petite géométrie en raison des

résistances de contact et d'autres problèmes similaires. Une conception de compromis de MOSFET, appelé Drain légèrement dopé (LDD), en utilisant deux niveaux de dopage avec dopage lourd sur la plupart des zones de source et de drain avec un dopage léger dans une région adjacente au canal. La structure LDD diminue le champ entre les régions de drain et de canal, réduisant ainsi l'injection dans l'oxyde, l'ionisation par impact et d'autres effets d'électrons chauds.

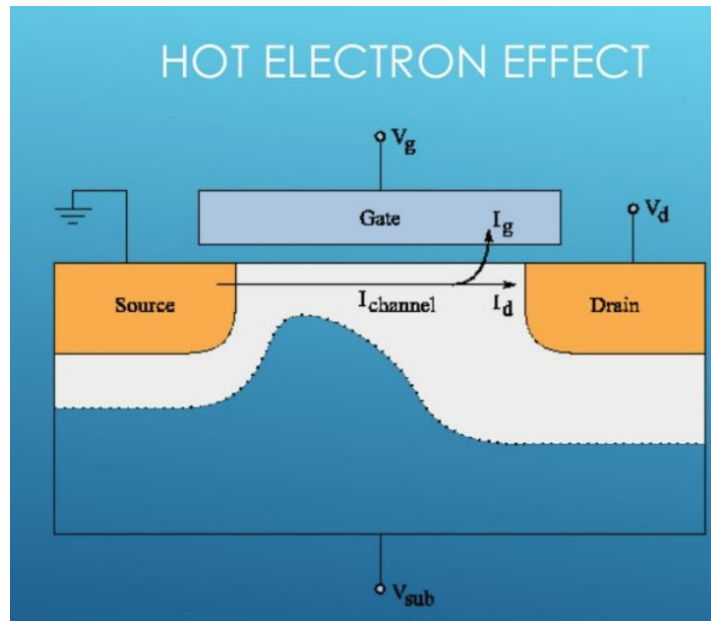


Figure I. 11 Electrons Chauds [5]

1.4 Les MOSFETs multi-grilles

Comme nous l'avons vu dans l'introduction, nous ne savons pas si les technologies CMOS classiques atteindront les performances fixées par l'ITRS (International Technology Roadmap for Semi-conducteurs) dans les années à venir. Pour cela, de nouveaux dispositifs émergent tels que les MOSFETs multi-grilles : le FinFET, les MOSFETs double grille planaires avec un procédé SOI (Silicon On Insulator) ou par collage moléculaire de plaques de silicium [7-8], à trois grilles (le tri-gate, le X-FET et le Y-FET) et à grilles enrobantes (le GAA et le MCFET).

Ils sont attendus pour le noeud 22 nm comme le montre la figure ci-dessous :

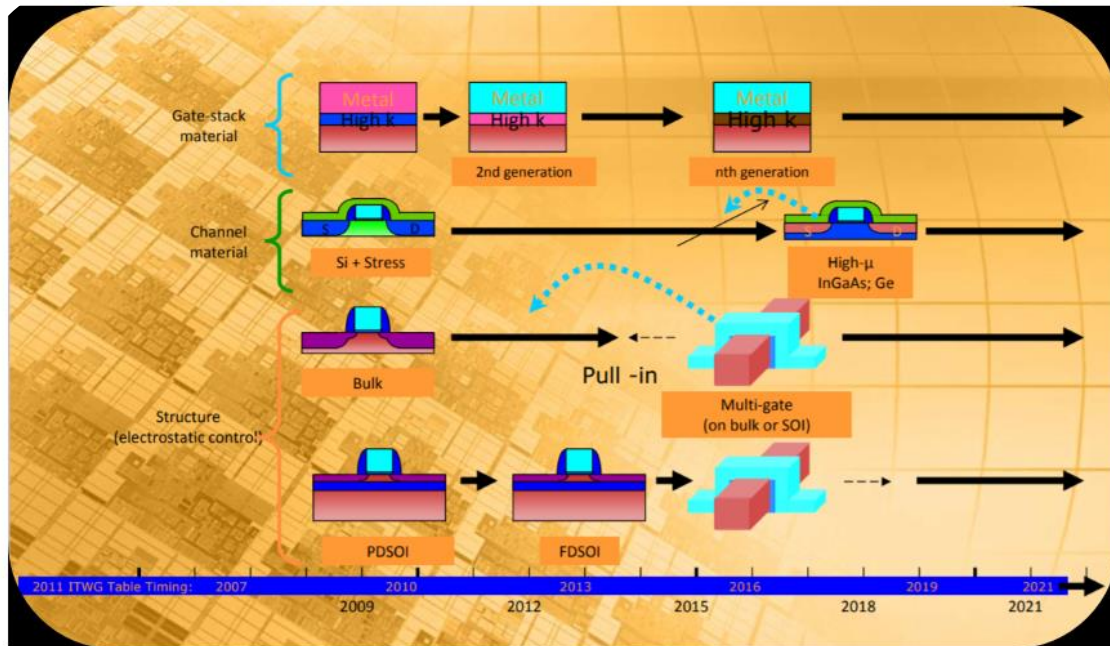


Figure I. 12 Les prochains nœuds technologiques [9]

I.4.1 MOSFETs Double Grille

Il existe principalement deux types de MOSFETs double grille (DG) : le FinFET et le MOSFET DG planaire. Dans ce dernier cas, nous ne parlerons que du procédé par collage moléculaire.

I.4.1.1 FinFET

Il s'agit de la conception innovante d'un transistor MOSFET. Il est construit soit sur un substrat massif soit sur du SOI dans lequel on grave le silicium pour faire un aileron ("Fin"). La grille est enveloppée autour et au-dessus de cet aileron ainsi que le montre la figure I.14. C'est donc un MOSFET DG vertical, pour lequel le flux de courant est horizontal. L'un des atouts majeurs de cette structure est d'être réalisé par des étapes technologiques conventionnelles. De plus, les deux grilles sont auto-alignées.

Cependant, cette architecture présente des inconvénients qui laissent envisager d'autres voies technologiques. Il s'agit de la longueur de l'aileron qui est définie par la lithographie, de sa hauteur qui est limitée ainsi que de la dissociation électrique des deux grilles qui nécessite des étapes supplémentaires.

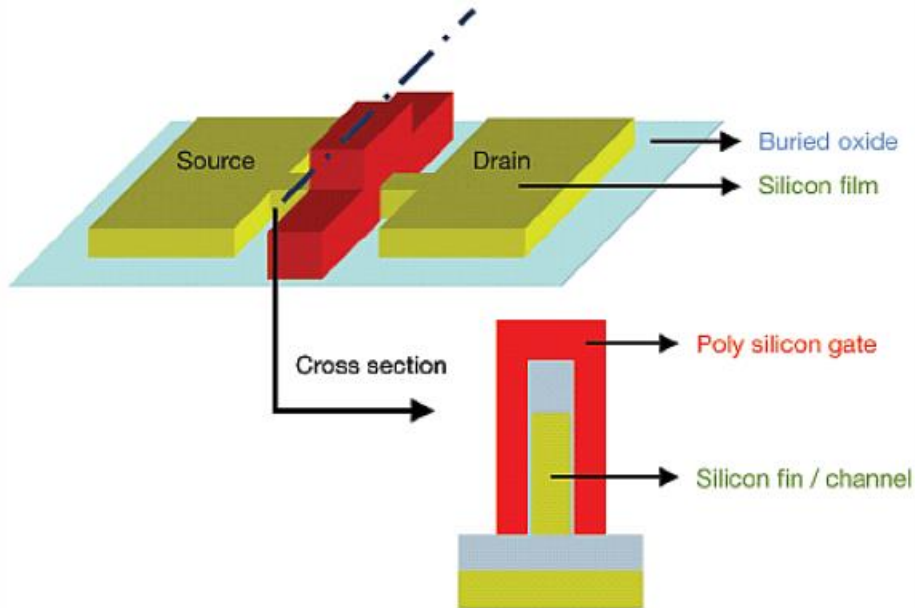


Figure I. 13 Le FinFET

1.4.1.2 MOSFET DG Planaire Non Auto-Aligné (NAA) ou Auto-Aligné (AA) [10]

Nous focaliserons notre étude sur les MOSFETs DG planaires. En effet, cette technologie présente l'avantage majeur d'avoir un bon contrôle de l'épaisseur du film de silicium. Cela est un avantage certain car la fluctuation de l'épaisseur du film entraîne des variations sur les paramètres électriques du transistor, et notamment sur la tension de seuil. De plus, le film de silicium n'est pas ou très peu dopé. Cela est bénéfique car d'une part, il n'y a plus de fluctuation de dopage et d'autre part, les propriétés de transport sont améliorées.

La technique utilisée est un dépôt des couches par empilement. C'est une approche qui consiste à réaliser successivement la grille arrière, l'oxyde de grille arrière, le film de silicium, l'oxyde de grille avant et finalement la grille avant. Parmi les différentes techniques existantes, la technique du collage moléculaire de plaques est utilisée [11].

Il existe deux principales voies pour sa réalisation. Les transistors Double Grille non autoalignés NAA (Figure I.15) nécessitent deux niveaux d'alignement différents pour les deux grilles alors que les transistors Double Grille auto-alignés AA, utilisent la même lithographie pour définir ces deux grilles. Ainsi, pour un transistor NAA, la grille avant sera réalisée comme dans un transistor traditionnel mais celle-ci ne sera pas forcément bien alignée sur la grille arrière. A l'opposé, un transistor AA a ses deux grilles parfaitement alignées, ce qui représente

un avantage conséquent. La principale difficulté sera alors le dimensionnement de la grille arrière [11].

Nous allons voir plus précisément chacune des techniques de fabrication. Le début de la fabrication est la même dans les deux cas. Tout d'abord, l'empilement de grille arrière est réalisé sur une plaque SOI. Puis un oxyde épais est déposé. Dans le cas du procédé NAA, la grille arrière est gravée mais pas dans le procédé AA. Ensuite, on vient retourner et coller, par collage moléculaire, l'ensemble sur une plaque support. Par abrasion mécanique et gravure chimique, on élimine le substrat et le BOX de la plaque SOI initiale. On se retrouve donc avec un film de silicium à nu, avec en dessous l'empilement de grille arrière (gravé ou non). Pour finir on réalise la partie avant du transistor. Pour le procédé NAA, l'empilement de grille avant est réalisé et gravé, et pour le procédé AA, l'empilement de grille avant est réalisé et les deux empilements avant et arrière sont ensuite gravés en même temps [11].

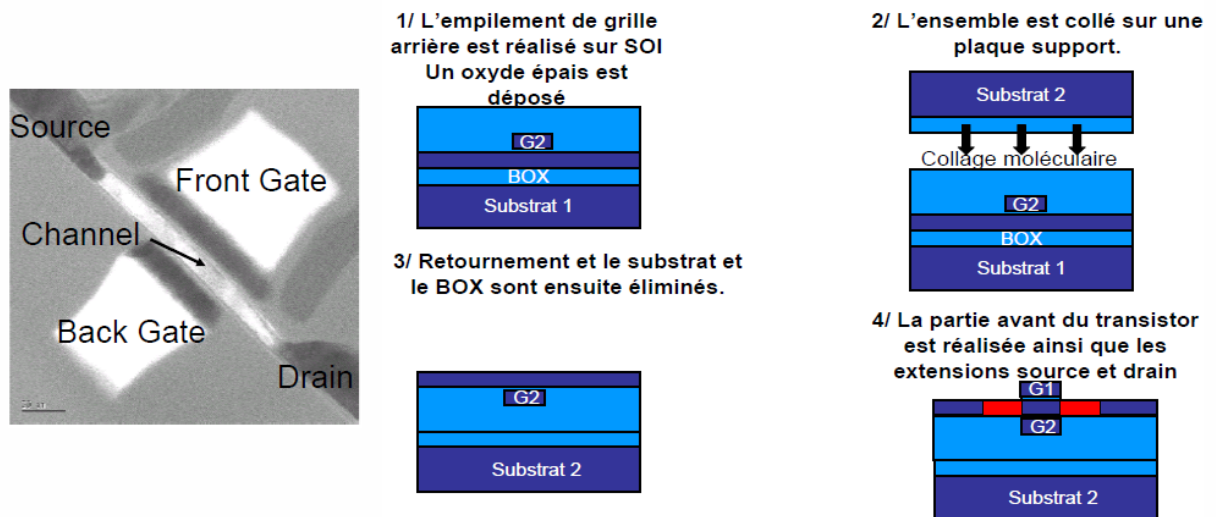


Figure I.14 MOSFET DG NAA [39] et méthode de réalisation d'un MOSFET DG par collage de plaques, la grille arrière est réalisée avant retournement [11]

I.4.2 MOSFET GAA

Le transistor GAA (Gate-All-Around) (Figure I.16) possède une porte unique qui entoure le corps, rectangulaire ou circulaire. Le contrôle électrostatique étant idéal, ce transistor, appelé aussi 'nanowire MOSFET', s'avère être le plus évolutif. Une variante récente est le transistor sans jonction (FET sans jonction) où la source, le drain et le corps ont tous un très

fort dopage. C'est en fait une résistance dont la partie centrale est entourée d'une grille capable de couper le courant par épuisement complet. Ceci implique un compromis technologique entre un dopage fort ($>> 10^{19} \text{ cm}^{-3}$) et un faible diamètre ($<5 \text{ nm}$).

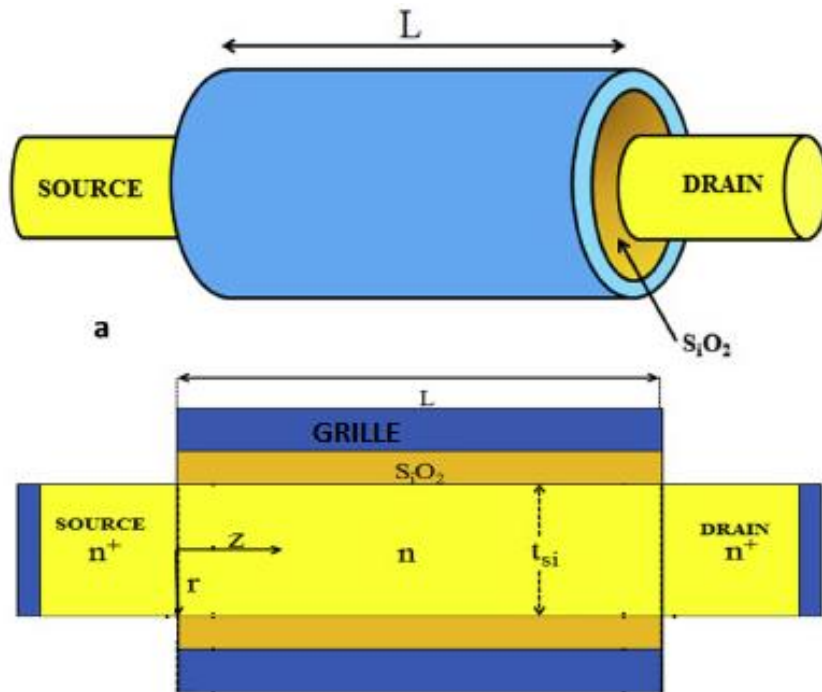


Figure I. 15 (a) Transistor GAA MOSFET (b) Coupe transversale du transistor GAA MOSFET

Les MOSFET SOI peuvent être fabriqués sous différentes formes, qu'il s'agisse d'une porte simple ou double, d'une porte cylindrique ou d'un MOSFET à grille quadruple. Les dispositifs MOSFET GAA avec canal non dopé ont été utilisés pour différentes applications. Il convient aux applications. Les MOSFET GAA sont considérés comme faisant partie des dispositifs CMOS multi-gate les plus importants pour la future génération de technologie IC à échelle nanométrique en raison de leurs avantages importants :

- Meilleure évolutivité que les MOSFET à double grille (c'est-à-dire un meilleur contrôle de SCE) raison derrière cela que la porte environnante crée une action d'abri électrique pour les champs électriques latéraux créant en raison des charges dans la source et le drain. L'évolutivité supérieure de l'appareil pourrait rendre le MOSFET GAA adapté à la technologie CMOS de génération future avec une longueur de grille inférieure à 25 nm.
- Meilleures caractéristiques de commutation où un basculement sous-seuil idéal de 60 mV / décade peut être attendu dans un MOSFET à grille GAA. Cela peut fournir un

rapport de courant ON-OFF plus élevé que celui du MOSFET global, fournissant ainsi de meilleures caractéristiques de commutation.

- Courant d'entraînement plus élevé puisque le courant circule sur toute la surface environnante du corps de silicium (pas seulement du bord supérieur mais aussi du bord inférieur dans le corps ultramince) corps SOI DG MOSFET), le courant d'attaque à l'état passant peut pratiquement être supérieur à celui du dispositif à double grille.
- Une transconductance plus élevée et une plus grande linéarité des MOSFET GAA peuvent être obtenues en augmentant le niveau de dopage dans la région de canal du dispositif. Il peut être mentionné que les GAAMOSFET dopés sont importants pour de nombreuses applications analogiques et RF.

1.5 Transistors à effet de champ (FET) à Graphene et à nano tube en Carbon

1.5.1 Transistor FET à Graphene

L'une des plus importantes réalisations de Novoselov et.al. [12] est de rendre le graphène et ses propriétés électroniques accessibles à la communauté scientifique avec une méthode facile. Cet article montre non seulement la possibilité d'isoler et de détecter le graphène multicouche sur un substrat de SiO₂, mais aussi la manière de changer le niveau de Fermi du graphène en utilisant un transistor à effet de champ. C'était une opportunité d'utiliser un substrat de SiO₂ pour des expériences d'isolation de graphène [13]. Des couches simples de graphite placées sur Si / SiO₂ peuvent produire un contraste optique allant jusqu'à 15% pour certaines longueurs d'onde de la lumière entrante. Cela se produit en raison des effets d'interférence de la lumière à l'interface SiO₂ / graphène.

Les flocons minces de graphite sont suffisamment transparents pour s'ajouter à un chemin optique, ce qui change leur couleur d'interférence par rapport à un substrat vide. Pour certaines longueurs d'onde déterminées par l'épaisseur de l'oxyde de silicium, même une seule couche de graphène peut être visible [14]. En appliquant la tension continue (V_g) entre le graphène et le côté n^{++} - Si conducteur du substrat d'oxyde (figure I.17), le niveau de Fermi de graphène peut être ajusté de la valence aux bandes de conductance par le point de neutralité de charge. Par conséquent, un transistor à effet de champ à graphène (FET) peut fonctionner dans les deux régimes : les trous et les électrons, montrant un comportement bipolaire tel que représenté sur la figure I.17b).

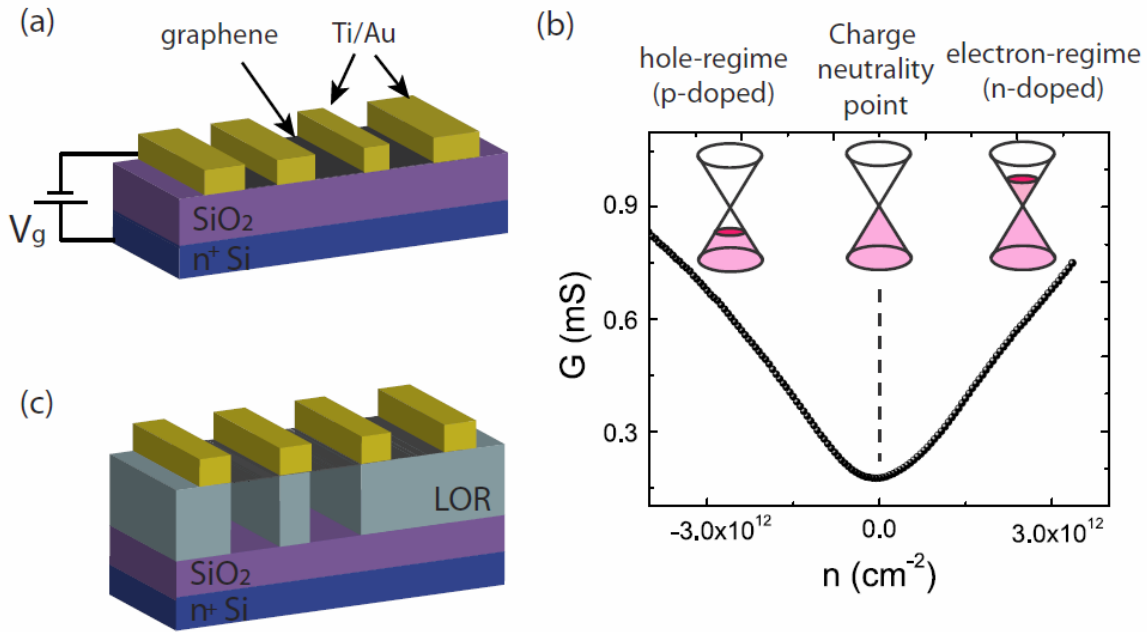


Figure I. 16 (a) Schéma de transistors à effet de champ à base de graphène, où une tension continue (V_g) est appliquée entre le graphène et l'arrière du substrat $n^{++} \text{-Si}$. (b) Effet de champ bipolaire dans le graphène : variation de la conductance du graphène sous V_g appliqué. (c) Transistor à effet de champ à base de membrane de graphène en suspension [15].

Un transistor à effet de champ (FET) comprend quatre bornes, une grille, une source, un drain et un substrat, ainsi qu'un diélectrique isolant sur un canal conducteur, comme le montre la figure I.18a. L'énergie de Fermi des porteurs dans le canal s'élèvera en présence d'un champ électrique appliqué correspondant à la tension de grille appliquée et doit être placée au milieu de la bande interdite pour éteindre l'appareil, car elle peut minimiser les électrons dans la bande de conduction et trous dans la bande de valence et minimise ainsi la contribution des électrons et des trous au courant de fuite. La figure I.18b montre les trois niveaux de Fermi en correspondance avec trois tensions de grille appliquées à un graphène sans bande interdite.

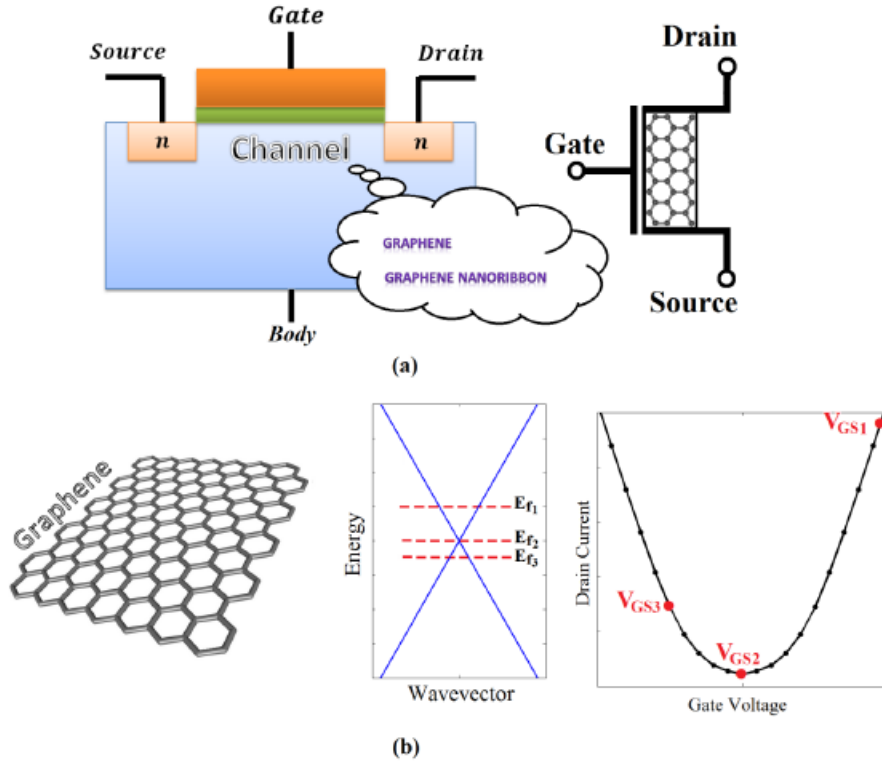


Figure I. 17 (a) Schéma d'un transistor à effet de champ (FET) et symbole du FET de graphène. (b) Graphène de grande surface sans bande interdite. Trois niveaux de Fermi sont représentés dans le diagramme E-k et les tensions de grille correspondantes sont également représentées dans sa caractéristique courant-tension [16].

I.5.2 Transistor FET à Nano tube en Carbon

Le principe de fonctionnement du transistor à effet de champ à nanotubes de carbone (CNFET) est similaire à celui des dispositifs traditionnels à base de silicium (figure I.19). Ce dispositif à trois (ou quatre) bornes est constitué d'un nanotube semi-conducteur, agissant comme canal conducteur, reliant les contacts de source et de drain. Le dispositif est activé ou désactivé électrostatiquement via la grille. La structure de dispositif quasi-1D fournit un meilleur contrôle électrostatique de grille sur la région de canal que des structures de dispositif 3D (par exemple CMOS en masse) et de dispositif 2D (par exemple SOI complètement déplété). En termes de mécanisme d'opération de dispositif, le CNFET peut être catégorisé comme FET contrôlé de Schottky Barrier (SB) (SBCNFET) ou FET de type MOSFET [17]. La conductivité du SB-CNFET est régie par les porteurs majoritaires qui traversent les SB aux contacts finaux. Les performances du SB-CNFET en courant et par conséquent du dispositif sont déterminées par la résistance de contact due à la présence de barrières tunnel à l'un ou l'autre des contacts source et drain, au lieu de la conductance canal, comme le montre la figure I.16a. Les SB aux

contacts source / drain sont dus à l'alignement du niveau de Fermi à l'interface métal-semiconducteur. La hauteur et la largeur des SB, et donc la conductivité, sont modulées électrostatiquement par la grille. SB-CNFET montre un comportement de transport ambipolaire [17].

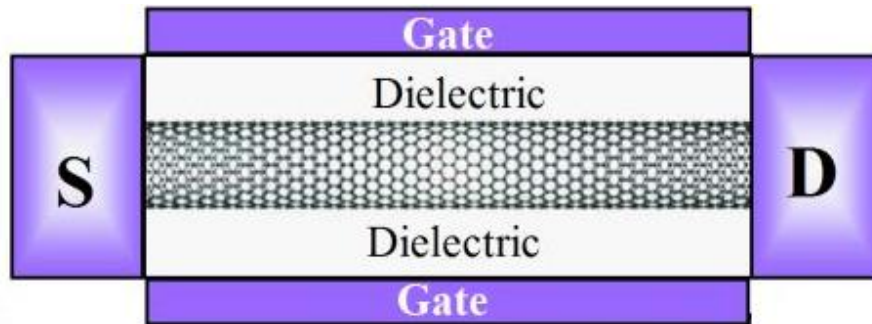


Figure I. 18 structure du CNT FETs

I.6 Conclusion

Cette première partie met en évidence l'intérêt de la miniaturisation des transistors à effet de champ de type MOS en termes de performance de ces applications comme un dispositif logique ainsi que ces limites qui peuvent être imposées par la réduction dimensionnelle. En effet, de nombreux phénomènes parasites (percements, fuites tunnel...) sont susceptibles de dégrader les caractéristiques des dispositifs fortement submicroniques.

L'intérêt des procédures de modélisation va être clairement présenter dans le prochain chapitre. Ces méthodes vont servir à montrer les effets de canal court afin d'étudier le comportement du transistor DG MOSFET et du transistor GAA MOSFET.

Références

- [1] Y. Bonnasieux, "Du Silicium aux portes de base", Ecole polytechnique, 2005.
- [2] <http://LSI www.epfl.ch/LS/2001/Technig/Physiciens/Leon12.html>. "Le transistor MOS, famille logique".
- [3] Gray-Meyer, "Analysis and Design of Analog Integrated Circuits (Gray-Meyer) with solutions", 2001
- [4] B. Razavi, "Design of analog CMOS integrated circuits", Mc Graw Hill, Boston, 2001.
- [5] A. A. Bait, S. Paarcha, N. Narkhede, S. More, "Short Channel Effects", <https://www.slideshare.net/ashishbait>.

- [6] L.D. Yau, “A Simple Theory to Predict the threshold Voltage of Short-Channel IGFET’s”, IEEE J. of Solid State Electron., vol. 9, n°3, pp. 256-263, 1974.
- [7] J. P. Colinge, M.H. Gao, A. Romano-Rodriguez, H. Maes et C. Claeys, “Silicon-on-insulator ‘gate-all-around device’”, proc. IEEE IEDM Tech., 1990.
- [8] J. Widiez, J. Lolivier, M. Vinet, T. Poiroux, B. Previtali, F. Daugé, M. Mouis et S. Deleonibus, “ Experimental Evaluation of Gate Architecture Influence on DG SOI MOSFETs Performance”, IEEE Trans. On Electron Devices, vol.52, n°8, August2005.
- [9] <http://www.itrs.net/Links/2005ITRS/ERD2005.pdf>
- [10] J. Widiez, “Etude, fabrication et caractérisation de transistors CMOS doublegrille planaires déca-nanométriques ”, thèse INPG, 2005.
- [11] M. Reyboz, “Modélisation analytique de transistors double grille à effet de champ en technologie sub-45 nm”, thèse INPG, 2007.
- [12] Novoselov, K. S., Geim, A. K., Morozov, S. V., Jiang, D., Zhang, Y., Dubonos, S. V., Grigorieva, I. V., and Firsov, A. A. Science 306, 666–669 (2004).
- [13] Novoselov, K. S. Nobel prize lecture (2010).
- [14] Blake, P., Hill, E. W., Castro Neto, A. H., Novoselov, K. S., Jiang, D., Yang, R., Booth, T. J., and Geim, A. K. Appl. Phys. Lett. 91, 063124 (2007).
- [15] A. Veligura, “Quantum transport in two- and one-dimensional graphene”, thèse, university of Groningen, 2012
- [16] Y. M. Banadaki, “physical modeling of graphene nanoribbon field effect transistor using non-equilibrium green function approach for integrated circuit design”, thèse, Azad university, 2006.
- [17] Y. B. Kim , “Design Methodology Based on Carbon Nanotube Field Effect Transistor(CNFET) ”, thèse, Northeastern University, 2011.

Chapitre II

II.1. Introduction

Les dispositifs contiennent un nombre dénombrable de dopants et sont sensibles à la structure à l'échelle atomique. En plus des dispositifs familiers comme le transistor, qui ont été dimensionnés à des dimensions nanométriques, de nouveaux dispositifs construits à partir de nanotubes de carbone, de nano fils semi-conducteurs et de molécules organiques sont explorés. Les ingénieurs de périphériques devront apprendre à penser les périphériques différemment. Pour décrire le transport de porteurs dans des dispositifs à l'échelle nanométrique, les ingénieurs doivent apprendre à considérer les porteurs de charge comme des entités de la mécanique quantique que comme des particules semi-classiques, et ils doivent apprendre à penser à l'échelle atomique plutôt qu'à un continuum.

Il est possible, de façon très schématique, de diviser le monde de la simulation en plusieurs grandes familles (méthodes) ou niveaux de modélisation (figure II.1) :

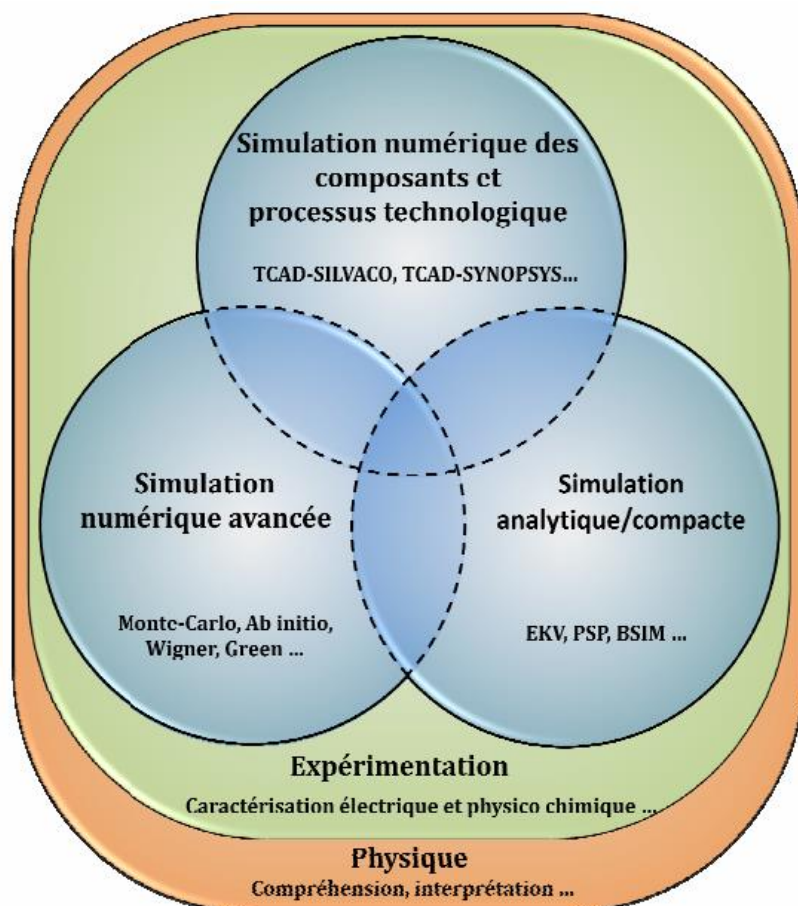


Figure II. 1 Les différents niveaux de simulation [1]

II.2 Simulation numérique avancée

Dédiée à l'étude de phénomènes physiques particuliers demandant une grande précision dans les approches telles que le calcul des structures de bande, le transport quantique ou la modélisation des interactions. Parmi les simulations numériques avancées on cite à titre d'exemple le formalisme des fonctions de Green hors équilibre est l'outil le plus utilisé pour la simulation du transport quantique et l'approche particulière dite « de Monte Carlo » est une méthode qui permet de résoudre exactement l'équation de transport de Boltzmann. C'est une méthode statistique qui consiste à déterminer le mouvement de chaque particule dans l'espace des phases et l'espace réel.

II.2.1 Formalisme *cde* Green

Comme les MOSFET évoluent en régime nanométrique, les théories canoniques du transport des porteurs ne sont plus capables de décrire avec précision le transport des porteurs. Les théories canoniques sont essentiellement dérivées de l'équation de transport de Boltzmann (BTE), avec plus ou moins d'approximations faites [2]. Ces modèles se concentrent sur le transport à diffusion dominante, qui se produit généralement dans les dispositifs à canaux longs. Les transistors à l'échelle nanométrique, cependant, fonctionnent dans un régime de transport quasi-balistique [3]. Les simulations utilisant des modèles conventionnels peuvent sous-estimer ou sur-prédire les performances du dispositif [4-5].

Pour simuler des dispositifs à l'échelle nanométrique, le formalisme de fonction de Green (NEGF) hors équilibre fournit l'un des meilleurs cadres disponibles. (D'autres approches incluent la méthode de l'équation maîtresse de Pauli [6-7], et la méthode de la fonction de Wigner, qui est essentiellement identique au NEGF [8-9].) Le NEGF est une technique pour résoudre l'équation dynamique de non-équilibre du champ quantique. Les porteurs (par exemple les électrons et les phonons) dans les dispositifs à semi-conducteurs constituent les champs quantiques. Les fonctions de Green sont définies en termes d'opérateurs de champ, soit $\langle \psi^+(r_2) \psi(r_1) \rangle$ ou $\psi(r_1) \psi^+(r_2)$. La parenthèse signifie la nécessité de faire la moyenne sur les états disponibles du système pour les distributions hors-équilibre. Ces fonctions sont utilisées pour mesurer les corrélations entre électrons à deux endroits désignés par r_1 et r_2 , et contiennent donc des informations sur les systèmes décrits. Les fonctions d'auto-énergie sont aussi des fonctions de corrélation, mais particulièrement liées aux événements d'interaction de

particules (pour plus de détails, voir par exemple un livre sur la théorie des champs quantiques [10]).

En poursuivant des solutions numériques, une représentation matricielle des fonctions de corrélation est utilisée. La discrétisation dans l'espace réel fait r_1 et r_2 indices de ligne ou de colonne des matrices. Les équations cinétiques clés décrivant le transport hors équilibre dans un dispositif à semi-conducteur sont présentées comme suit :

$$G(E) = [(E + i 0^+)I - H - \Sigma_s - \Sigma_D]^{-1} \quad (2.1)$$

Dans ces équations, G est généralement appelée la fonction de Green retardée, son conjugué hermitien, G^+ , s'appelle la fonction avancée de Green. H_0 désigne l'hamiltonien de masse effective à un seul électron, dans lequel la structure de bande est incorporée dans la masse effective. Le potentiel de Hartree pour les interactions électron-électron est également inclus dans H_0 à travers un potentiel scalaire obtenu à partir des solutions de l'équation de Poisson couplée.

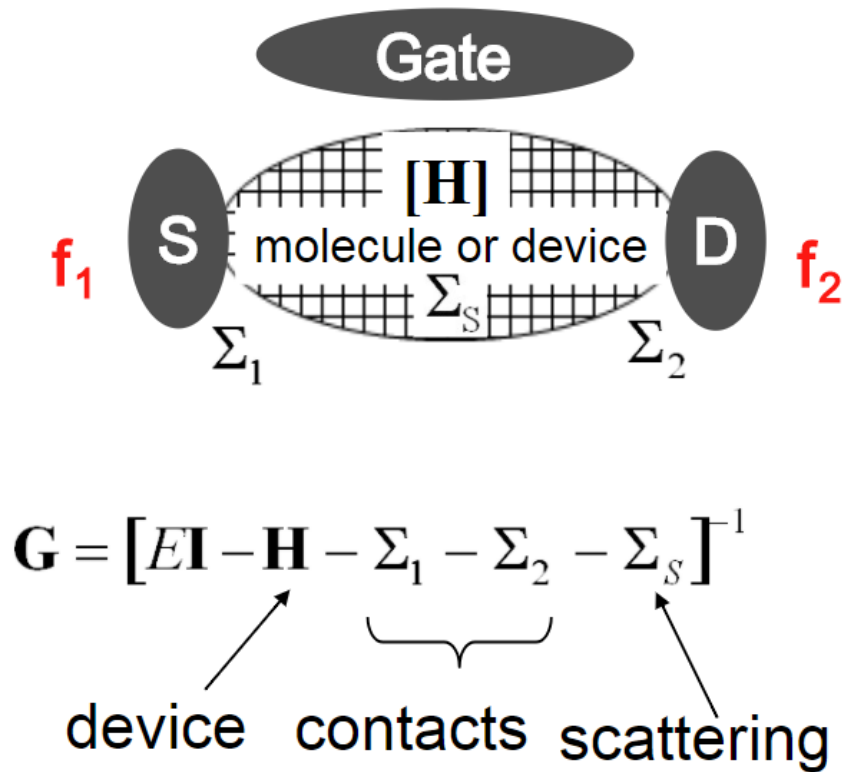


Figure II. 2 Principe du formalise de Green [11]

II.2.2 L'approche de Monte-Carlo

L'approche de Monte-Carlo [1] sert de référence notamment pour calibrer les modèles de mobilité des approches macroscopiques des simulateurs électriques de type TCAD (Atlas [ATLAS]). Néanmoins, le nombre limité de communicateurs qui interviennent dans le seuil peut conduire à des résultats sonores. Cela limite l'utilisation de cette approche pour la détermination du courant sous le seuil (pente sous le seuil, courant I_{off} , ...) [1]. La figure III.2.a présente les résultats de la simulation d'une structure Double-Grille dans le cas balistique et diffusif en utilisant le simulateur Monte-Carlo du laboratoire IEF-CNRS *. Nous insisterons particulièrement sur la figure III.2.b qui montre l'évolution du coefficient de rétrodiffusion en fonction de la position dans le canal ; ce résultat est essentiel pour analyser les propriétés de transport d'un transistor (balistique, quasi-balistique ou diffusif).

II.3 Simulation numérique des composants et procédés technologiques :

Appliquée au développement et à la prédiction des performances des architectures innovantes. On prendra comme exemple les algorithmes génétiques (utilisés dans le chapitre IV)

II.3.1 Les algorithmes génétiques

Les algorithmes génétiques fournissent un mécanisme efficace pour résoudre des problèmes difficiles grâce à une recherche stochastique systématique basée sur les principes de la sélection naturelle. Plusieurs écoles de pensée ont contribué et enrichi le domaine, mais partagent les mêmes principes sous-jacents avec les AG [12], c'est-à-dire les stratégies évolutives [13] et la programmation évolutive [14]. L'algorithme génétique a été appliqué à une variété de problèmes, dont beaucoup ont échoué à résoudre les méthodes conventionnelles, lorsque l'algorithme génétique peut résoudre efficacement ces problèmes et d'autres.

II.3.1.1 Concept principal

Les algorithmes génétiques [12, 13, 15] mettent l'accent sur le codage génétique des solutions potentielles dans les chromosomes et appliquent des opérateurs génétiques à ces chromosomes. Un algorithme génétique canonique (aussi appelé AG simple ou standard) [15] est celui qui utilise la représentation binaire, croisement en un point et mutation par bits.

Comme les algorithmes génétiques (AG) sont modélisés après les processus d'évolution et de recombinaison génétique, les blocs de construction des algorithmes portent le nom d'éléments génétiques. Les gènes sont le codage binaire de chaque variable problématique, et tous les gènes en tant que chaîne sont appelés un chromosome ou des individus. Un ensemble de chromosomes est appelé une population qui contient les informations nécessaires sur les individus. L'AG crée au hasard une population initiale d'individus à servir pour créer de nouvelles générations. Chaque chromosome d'une population est associé à une forme physique, qui est calculée à l'aide d'une fonction de mise en forme. Les chromosomes de chaque population sont classés du meilleur au pire selon leur condition physique. Les chromosomes les mieux classés sont accouplés pour produire une nouvelle population qui présente les caractéristiques des meilleurs individus de la génération précédente. La mutation peut se produire avec une faible probabilité. Ce processus se répète jusqu'à ce qu'une forme physique désirée soit atteinte ou qu'un nombre donné de générations se soit produit.

II.3.1.2 Représentation

Puisque les valeurs des variables sont représentées en binaire, il doit y avoir un moyen d'inverser les valeurs continues en binaire, et vice versa. Dans ce contexte, chaque variable du problème d'optimisation doit être codée comme un gène, et toutes les variables concaténées ensemble forment un chromosome. Le chromosome de l'échantillon représenté à la figure II.3 est composé de N paramètres avec chaque paramètre contenant 4 chiffres binaires.

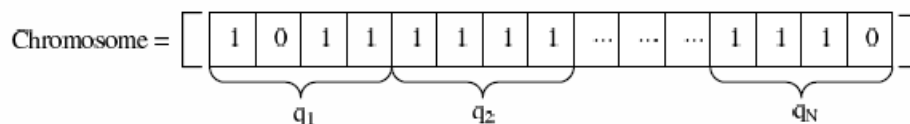


Figure II. 3 Exemple de chromosome avec N paramètres composés de 4 chiffres binaires chacun

II.3.1.3 Évaluation de la fonction fitness

La fonction de fitness est la partie la plus importante d'un algorithme génétique, car elle fait partie de l'algorithme qui forme la connexion au problème physique en cours d'optimisation. La fonction de remise en forme doit attribuer à chaque individu un nombre qui mesure la qualité de l'individu actuel par rapport aux objectifs d'optimisation. Le succès de l'algorithme dépend de la façon dont la fonction de fitness évalue chaque solution par rapport aux objectifs globaux du problème d'optimisation. La fonction de remise en forme est généralement la partie la plus

exigeante en temps d'un algorithme génétique, elle est donc également importante lorsqu'on considère l'efficacité temporelle de l'algorithme d'optimisation.

II.3.1.4 Schémas de sélection

Un schéma de sélection détermine la probabilité qu'un individu soit sélectionné pour produire une progéniture par croisement et mutation. Afin de rechercher des individus de mieux en mieux, les individus mieux formés devraient avoir des probabilités plus élevées d'être sélectionnés alors que les individus inaptes ne devraient être sélectionnés qu'avec de petites probabilités. Différents schémas de sélection ont différentes méthodes de calcul de la probabilité de sélection. Il existe de nombreuses méthodes pour déterminer quels individus devraient être utilisés comme parents, les quatre plus populaires étant la sélection par rang, la sélection de roulette (également appelée sélection proportionnelle de forme physique), la sélection de tournois et la sélection élitiste.

II.3.1.5 Opérateurs de croisement

L'opérateur de croisement est souligné comme l'opérateur de recherche le plus important d'une AG. Le croisement dans un AG avec une probabilité de croisement sélectionne deux individus parents et les recombine pour former deux nouveaux individus, c'est-à-dire, deux nouveaux modèles. Ainsi, toutes les progénitures sont générées à partir de deux parents sélectionnés à travers le processus de croisement. Il existe de nombreuses variantes de crossover, mais les méthodes les plus populaires incluent un crossover uniforme, à point unique et multipoint. Le croisement à point unique [17] est le plus simple. Un emplacement aléatoire dans le chromosome du parent est sélectionné et la partie précédente cet emplacement est copiée du parent 1 à l'enfant 1 et du parent 2 à l'enfant 2. La partie du chromosome suivant ce point est copiée du parent 1 à l'enfant 2 et du parent 2 à l'enfant 1, comme le montre la figure II.4. Le croisement à points multiples [17] est une extension du croisement à point unique, où plus d'un point est sélectionné dans le chromosome parent, comme le montre la figure II.5.

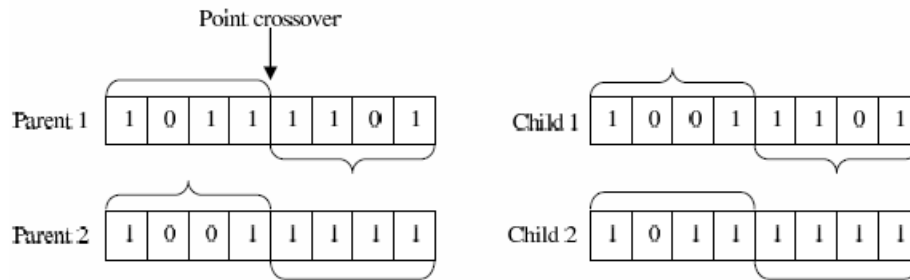


Figure II. 4 Exemple de croisement à point unique

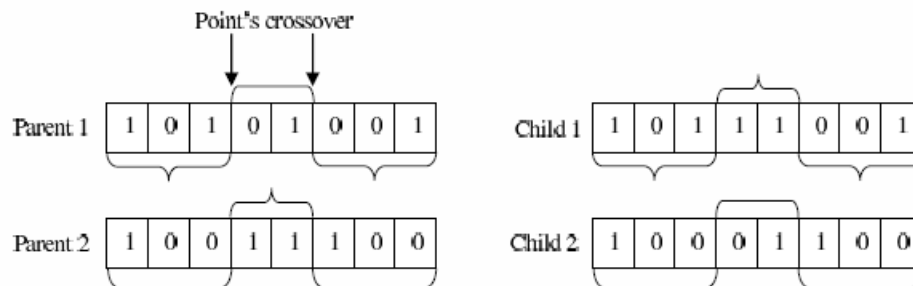


Figure II. 5 Exemple de croisement à point multiple

II.3.1.6 Opérateurs de mutation

Les mutations sont des changements aléatoires dans les chromosomes au niveau du bit et se produisent en changeant un "1" à un "0" ou un "0" à un "1". L'opérateur de mutation dépend du taux de mutation : Si le nombre aléatoire qui est généré aléatoirement par AG dans l'intervalle [0, 1] est supérieur au taux de mutation prédéterminé, alors une mutation est appliquée et vice versa. Les taux de mutation utilisés dans la littérature sont généralement très faibles (par exemple 0,001) [18].

II.3.1.7 Opérateurs de remplacement

Après la création d'une nouvelle progéniture en utilisant l'opérateur génétique (sélection, croisement et mutation), la génération de successeur est produite. Comme mentionné précédemment, les individus parents sont sélectionnés en fonction de leur condition physique, ainsi la progéniture créée augmente l'aptitude de la population génération par génération. Pendant l'opération de remplacement, l'algorithme génétique décide si la progéniture survivra ou existera en suivant les techniques de remplacement les plus courantes.

II.3.1.8 Critères de convergence

Ce processus générationnel est répété jusqu'à ce qu'une condition de terminaison ait été atteinte. Les différentes conditions d'arrêt sont énumérées comme suit :

- Générations maximales : L'algorithme génétique s'arrête lorsque le nombre spécifié des générations ont évolué.
- Temps écoulé : Le processus génétique prendra fin à la fin d'une période donnée.
- Aucun changement de condition physique : le processus génétique prendra fin s'il n'y a pas de changement meilleure forme physique de la population pour un nombre donné de générations.
- Décrochage des générations : l'algorithme s'arrête s'il n'y a pas d'amélioration de l'objectif fonctionner pour une suite de générations consécutives de générations de décrochage de longueur.
- Limite de temps de décrochage : l'algorithme s'arrête s'il n'y a pas d'amélioration de l'objectif fonctionner pendant un intervalle de temps en secondes égal à la limite de temps de calage.

Ces processus aboutissent finalement à la population de chromosomes de la prochaine génération qui est différente de la génération initiale. En général, la condition physique moyenne aura augmenté par cette procédure pour la population, puisque seuls les meilleurs chromosomes de la génération précédente sont sélectionnés pour la reproduction.

II.4 Modélisation Compacte du MOSFET Double Grille (DG) et Gate-All-Around (GAA) Symétrique :

II.4. 1 Introduction :

La modélisation compacte consiste à décrire le comportement électrique du transistor. Il s'agit donc de mettre en équation le dispositif à étudier.

- La partie électrostatique (calcul du potentiel dans le film de silicium) : équation de Poisson avec la statistique de Boltzmann ou de Fermi-Dirac.
- Les phénomènes de transport : choix d'un transport électronique statistique (modèle de dérive/diffusion ou modèle hydrodynamique avec transport de Boltzmann) ou quantique. Faut-il inclure du transport quasi balistique ? Balistique ? Choix de la loi de mobilité des porteurs de charge.

- Les phénomènes de génération/recombinaison (G/R) des porteurs de charge. Ils sont de plusieurs natures : génération optique, recombinaison Auger, la G/R thermique et ionisation par impact.

Rappelons tout d'abord que les modèles compacts sont des modèles formulés de manière analytique et utilisés le plus souvent pour aider à la conception de circuits intégrés. Ces modèles sont disponibles dans les simulateurs de circuits. Ils sont généralement constitués, d'une part, d'expressions basées sur la physique et, d'autre part, d'un certain degré d'empirisme. Ces modèles peuvent être adaptés aux différentes technologies (CMOS, par exemple) à l'aide d'un certain nombre de paramètres (électriques, technologiques, géométriques), dans le but de décrire correctement les caractéristiques électriques du composant.

Afin de rendre pratique l'utilisation d'un modèle, ce dernier doit être complété par des méthodes d'extraction de paramètres. De manière générale, un modèle compact représente un compromis entre les aspects de simplicité et de complexité, les notions physiques et empiriques, le nombre d'effets physiques inclus, le nombre de paramètres, l'adaptabilité aux diverses technologies et, enfin, l'efficacité de calcul.

Il existe plusieurs types de modélisation que l'on peut distinguer selon le nombre de transistors à modéliser. Si l'on souhaite modéliser un seul transistor, on utilisera des simulations type Monte-Carlo basées sur des modèles physiques. Par exemple, un traitement statistique du transistor, électron par électron est envisageable. Il permettra d'obtenir les caractéristiques du transistor avec une grande précision. Ce type de modélisation est complètement numérique.

Cependant, si on veut un modèle viable, qui permette de faire de la conception avec plusieurs transistors, le modèle précédent n'est plus du tout envisageable car ce serait bien trop long.

Dans ce cas, on optera pour un modèle compact. Il s'agit d'un modèle simple et analytique, qui est valable quel que soit le point de fonctionnement. Il est obtenu grâce à des hypothèses simplificatrices basées, par exemple sur la physique du dispositif et peut avoir des paramètres d'ajustement. Les critères qui définissent un bon modèle compact sont :

- Un modèle qui utilise des équations assez simples et parlantes, c'est-à-dire qui représente bien la physique du dispositif.
- Un modèle qui satisfait aux exigences habituelles dans le monde digital, à savoir des caractéristiques I-V raisonnables précises, avec éventuellement un jeu simplifié de paramètres pour la simulation des circuits digitaux non-critiques.

- Un modèle qui donne des valeurs précises pour les quantités petits-sigaux telles que les transconductances et la conductance de sortie et toutes les capacités (intrinsèques et extrinsèques). Tous les éléments devraient être continus pour les tensions appliquées.
- Un modèle qui donne de bons résultats même quand le dispositif opère dans le mode Non-Quasi-Statique (NQS), ou tout au moins se dégrader élégamment pour de tel fonctionnement lorsque la fréquence va en augmentant (où indiquer que le dispositif opère dans le mode NQS).
- Un modèle qui demande à l'utilisateur de spécifier seulement les dimensions géométriques pour chacun des dispositifs et un *jeu de paramètres* de modèle valide pour tous les dispositifs du même type sans se soucier des dimensions.
- Un modèle qui manifeste des temps de calcul raisonnables. En plus, il doit utiliser peu de paramètres d'ajustement que possible, lesquels devraient être liés aussi fortement que possible à la structure du dispositif et au précédé de fabrication (*process*) pour permettre une prédiction pire-cas (*worth-case*) sérieuse.
- Un modèle doit être prédictif. Plus précisément, il doit donner une prédiction du bruit blanc (et si possible du bruit en $1/f$) dans tous les modes d'opération.
- Un modèle qui fait tout ce qui est décrit ci-dessus pour toutes les combinaisons de valeurs de longueur de canal et d'épaisseur de film de silicium pour une technologie donnée.
- Un modèle qui doit être lié à une méthode d'extraction de paramètres aussi simple que possible.
- Un modèle qui doit être capable de prédire l'appariement (*matching*).
- Un modèle qui doit être efficace numériquement.

II.4.2 Modélisation du MOSFET Double-Grille Symétrique :

L'objet de cette section est de présenter un état de l'art actuel des modèles compacts du transistor MOS double-grille en mode de fonctionnement symétrique. Loin d'être exhaustive, la liste des approches présentées ici dévoile quelques-uns des travaux les plus significatifs en modélisation compacte du MOSFET double-grille symétrique.

Avant de distinguer les différents modèles compacts, il est nécessaire de préciser qu'il y a une base commune à ces modèles. En effet, quel que soit le modèle choisi, la

physique est la même. Les modèles reposent tous sur l'équation de Poisson et ses formes intégrées, le théorème de Gauss et les conditions aux limites entre l'oxyde de grille et le film de silicium.

Néanmoins, il existe différents types de modèles compacts. La principale différence réside dans la manière d'aborder ces équations complexes. En effet, il n'existe pas de solution explicite exacte de l'équation de Poisson. On peut aborder cette difficulté de deux manières. La première consiste à faire une (ou des) résolution numérique (nœud flottant ou résolution itérative), on appellera ce type de modèle, modèle analytique implicite. La seconde option consiste à faire des approximations (fondées sur une approche physique) qui permettront de simplifier les équations de base et d'aboutir à des équations qui ont des solutions analytiques exactes. Il s'agit d'un modèle analytique explicite. De plus, il y a différentes manières d'écrire ces équations. Nous en proposerons une, fondée sur l'approche élégante de Y. Taur.

Il est à noter que lorsqu'on parlera de modèle en potentiel de surface, il ne s'agira pas nécessairement de modèle implicite comme la plupart des personnes l'entendent, c'est à dire de modèle continu en potentiel de surface. En effet, un modèle en potentiel de surface devra être pris au sens d'une résolution du potentiel de surface, quel que soit la méthode, c'est à dire que ce soit implicite ou explicite. Il en est de même pour un modèle de charge. De même, un modèle en tension de seuil pourra être implicite ou explicite.

Les modèles compacts du transistor MOS double-grille se classent en trois catégories :

- Les modèles en tension de seuil.
- Les modèles en potentiel de surface.
- Les modèles en charge.

II.4.2.1 Modèles en Tension de Seuil du MOSFET Double-Grille Symétrique :

- Il s'agit d'un modèle pour lequel on définit le potentiel au milieu du film en fonction de la formation de la couche d'inversion, c'est à dire selon V_g , la tension de grille. Ainsi, on aura des équations du courant différentes lorsque le canal du transistor est en inversion faible ou forte, qu'il faudra raccorder. Cela est assez délicat car il peut y avoir des problèmes de continuité, notamment pour les dérivées des grandeurs électriques.

- La tension de seuil marque la transition entre les deux régimes.

- Sous le seuil, ou en inversion faible, le courant est un courant de diffusion. La charge d'inversion varie exponentiellement en fonction de V_g .

- Sur le seuil, ou en inversion forte, le courant de diffusion est négligeable. Il s'agit donc principalement du courant de conduction. La charge d'inversion varie linéairement en fonction de V_g .

NB : la définition de la tension seuil peut être mathématique, il faut alors définir un critère qui permettent d'identifier le passage d'un régime exponentiel à un régime linéaire de la charge d'inversion. Elle peut aussi être un paramètre d'ajustement. Cela est plus raisonnable étant donné le manque de précision sur les paramètres physiques et géométriques du transistor. Par exemple, les données sur le dopage ne sont pas suffisamment précises et donc un calcul rigoureux de la tension seuil est inutile.

II.4. 2. 1. 1 Modèle de J. G. Fossum et L. Kim:

J. G. Fossum et al. (Université de Floride) ont développé un modèle « compact » appelé UFDG. Ce modèle est basé sur la physique et le *process*. Il est applicable à des dispositifs MOSFETs double-grille symétrique et asymétrique, mais aussi à des transistors MOS SOI à une grille entièrement déplétée (FDSOI).

Ce modèle est basé sur une solution auto-cohérente (*self-consistent*) des équations de Poisson et de Schrödinger dans le *body* (film-Si)/canal de dispositif de type double-grille ou FD/SOI. C'est par essence un solveur Poisson-Schrödinger implémenté dans un simulateur de circuit. Une approche variationnelle, utilisant une description générale de la longueur d'onde, est utilisée pour résoudre l'équation Schrödinger, laquelle est liée à l'équation de Poisson via une itération Newton-Raphson. Le modèle de quantification (QM) inclut des dépendances avec l'épaisseur de film de silicium, aussi bien que le champ électrique transverse. Le transport des porteurs et le courant de canal sont modélisés comme quasi-balistiques via une prise en compte de la saturation de vitesse des porteurs. UFDG est un modèle en charge, où la modélisation des charges aux terminaux est physiquement liée à la modélisation du courant.

Ce modèle a été validé par des simulations numériques de dispositif et des données mesurées. Il est très précis et prend en compte l'essentiel des phénomènes physiques et les spécificités *process* de tout double-grille. Cependant, nous ne parlerons pas de ce modèle dans les explications qui vont suivre et ce pour deux raisons principales (qui ne concernent pas les autres modèles mentionnés par la suite) :

- Ce modèle est un modèle propriétaire (disponible par Freescale via une licence utilisateur).
- Ce modèle, bien que développé dans un simulateur de circuit, n'est pas vraiment adapté à la conception de circuits intégrés ULSI en raison de son temps de calcul important.

II.4. 2. 1. 2 Modèle de M. Reyboz & T. Poiroux :

Parmi les modèles appartenant à cette catégorie de modèle compacts, nous trouvons le modèle de M. Reyboz/T. Poiroux. Ce modèle développé pour un transistor MOS double-grille en mode de fonctionnement asymétrique (grille indépendante) est donc capable de simuler le comportement du transistor MOS double-grille symétrique à grilles dépendantes. Dans ce modèle en tension de seuil, l'idée est de définir le potentiel au milieu du film en fonction de la couche d'inversion formée. Ainsi, des équations du courant de drain sont définies suivant que le canal du transistor est en inversion faible ou en inversion forte. Ces solutions de courant de drain doivent ensuite être « raccordées ». Cela est relativement délicat car des problèmes de continuité peuvent en découler, notamment pour les dérivées des grandeurs électriques. La tension de seuil marque la transition entre la région de faible inversion et celle de forte inversion. En faible inversion, le courant de drain est un courant de diffusion. La charge d'inversion Q_m varie exponentiellement en fonction de V_g . En revanche, en forte inversion, le courant de diffusion est négligeable. Ainsi, le courant de drain est principalement un courant de conduction. La charge d'inversion Q_m varie linéairement avec V_g . Du fait de ces hypothèses simplificatrices, ces approches manquent de précision pour la description de l'inversion modérée.

Le modèle de M. Reyboz/T. Poiroux prend en compte les effets canaux courts [28]. En revanche, il ignore les effets quantiques ainsi que les effets dynamiques intrinsèques et extrinsèques.

II.4.2.2 Modèles en Potentiel de Surface du MOSFET Double-Grille Symétrique :

Parmi les modèles en potentiel de surface, nous comptons le modèle compact proposé par A. Ortiz-Conde, celui proposé par Y. Taur et également celui proposé par G. Baccarani. Dans ces approches, l'idée est d'exprimer la charge d'inversion en fonction du potentiel de surface.

II.4. 2. 2. 1 Modèle de A. Ortiz-Conde :

Le modèle de A. Ortiz-Conde est basé sur les travaux réalisés pour le transistor MOS bulk par Pierret et Shield. Dans son modèle, A. Ortiz-Conde décrit le potentiel à l'intérieur du film de silicium en résolvant l'équation de poisson à 1-D. Sa solution du courant de drain se présente sous la forme :

$$I_d = \frac{\mu \cdot W}{L} \cdot \left\{ 2 \cdot C_{oxl} \cdot \left[V_g \cdot (\psi_{SL} - \psi_{S0}) - \frac{1}{2} \cdot (\psi_{SL}^2 - \psi_{S0}^2) \right] + 4 \cdot \frac{K \cdot T}{e} \cdot C_{oxl} \cdot (\psi_{SL} - \psi_{S0}) + t_{Si} \cdot K \cdot T \cdot n_i \cdot \left[e^{\beta(\psi_{CL} - V_{ds})} - e^{\beta\psi_{C0}} \right] \right\}$$

Où ψ_{S0} , ψ_{C0} , ψ_{SL} , et ψ_{CL} sont des potentiels obtenus par résolutions numériques. C'est en effet l'usage de calculs itératifs qui constitue le défaut majeur de cette approche. De plus, le modèle ne prend pas en compte le comportement dynamique, ni les effets quantiques et les effets canaux courts. Il se limite à des épaisseurs de film de silicium comprises entre 20 et 5nm et des dispositifs de canal long de 1 μ m.

II.4. 2. 2. 2 Modèle de Y. Taur :

Y. Taur a publié un modèle très intéressant qui ne repose pas sur l'approximation de « charge sheet ». Ainsi, le modèle pourra être utilisé même pour des épaisseurs de film de silicium (T_S) très minces.

Y. Taur, en résolvant l'équation de Poisson à 1-D, aboutit à la solution du potentiel dans le film de silicium (ψ) sous la forme :

$$\psi(x, y) = \psi_c(x) - V_{ch} - \frac{2 \cdot K \cdot T}{e} \cdot \ln \left\{ \cos \left(\sqrt{\frac{e^2 \cdot n_i}{2 \cdot \epsilon_{Si} \cdot K \cdot T}} \cdot e^{\frac{\psi_c(x) - V_{ch}}{2 \cdot K \cdot T}} \cdot y \right) \right\}$$

Où ψ_c est le minimum de potentiel dans le film de silicium.

Du fait de la symétrie de la structure, ce minimum de potentiel correspond au potentiel au centre du film de silicium, d'où l'indice « c » qui lui est attribué. x est suivant la direction du canal et y suivant la direction perpendiculaire au canal. V_{ch} correspond au potentiel de quasi-Fermi des électrons.

Ensuite, pour évaluer le courant de drain, Y. Taur définit une variable β_T en effectuant le changement de variable suivant :

$$\beta_T(x) = \sqrt{\frac{e^2 \cdot n_i \cdot t_{Si}^2}{8 \cdot \epsilon_{Si} \cdot K \cdot T}} \cdot e^{\left(\frac{e(\psi_c(x) - V_{ch})}{2 \cdot K \cdot T}\right)}$$

Ainsi, en tenant compte de (2.9) dans (2.8), ψ se réécrit comme suit :

$$\psi(x, y) = V_{ch} - \frac{2 \cdot K \cdot T}{e} \cdot \ln \left\{ \sqrt{\frac{e^2 \cdot n_i \cdot t_{Si}^2}{8 \cdot \epsilon_{Si} \cdot K \cdot T \cdot \beta_T^2}} \cdot \cos \left(\frac{2 \cdot \beta_T \cdot y}{t_{Si}} \right) \right\}$$

β_T est défini par itération à partir de la relation suivante :

$$\frac{e \cdot (V_g - \Delta\phi_{ms} - \psi_s)}{2 \cdot K \cdot T} - \ln \left(\frac{2}{t_{Si}} \cdot \sqrt{\frac{2 \cdot \epsilon_{Si} \cdot K \cdot T}{e^2 \cdot n_i}} \right) = \ln(\beta_T) - \ln(\cos(\beta_T)) + \frac{2 \cdot C_{Si}}{C_{oxl}} \cdot \beta_T \cdot \tan(\beta_T)$$

Ici, $\Delta\phi_{ms} (= \Delta\phi_1 = \Delta\phi_2)$ correspond à la différence des travaux de sorties entre le silicium et le matériau de grille.

En tenant compte de cette variable d'intégration (i.e. β_T), il obtient une solution du courant de drain du MOSFET double-grille symétrique sous la forme :

$$I_d = \frac{16 \cdot \mu \cdot W}{L} \cdot \frac{\epsilon_{Si}}{t_{Si}} \cdot \left(\frac{K \cdot T}{e} \right)^2 \cdot \left\{ \frac{1}{2} \cdot (\beta_{TL}^2 - \beta_{T0}^2) + \beta_{T0} \cdot \tan(\beta_{T0}) - \beta_{TL} \cdot \tan(\beta_{TL}) \right. \\ \left. + \frac{\epsilon_{Si}}{t_{Si} \cdot C_{oxl}} \cdot (\beta_{T0}^2 - \tan^2(\beta_{T0}) - \beta_{TL}^2 \cdot \tan^2(\beta_{TL})) \right\}$$

Dans cette expression, β_{T0} et β_{TL} correspondent respectivement aux valeurs de β_{TL} évaluées du côté de la source ($V_{ch} = 0$) et du côté du drain ($V_{ch} = V_{ds}$). Ces valeurs sont obtenues de manière itérative.

Ainsi, une unique équation est-elle utilisée pour décrire le courant dans toutes les régions de fonctionnement. Ceci constitue en effet la grande force de ce modèle. De plus, Y. Taur prend en compte le comportement dynamique intrinsèque ainsi que des effets canaux courts. Le modèle a été validé pour des épaisseurs de film comprises entre 25 et 5nm et des longueurs de canaux atteignant 24nm. Les effets quantiques sont négligés. En ce qui concerne les effets canaux courts, nous noterons cependant un manque de formulation explicite.

II.4. 2. 2. 3 Modèle de G. Baccarani :

Dans ce modèle, G. Baccarani n'utilise pas la statistique de Boltzmann mais plutôt celle de Fermi, les effets quantiques sont pris en compte. A l'image du modèle de Y. Taur et de celui de A. Ortiz-Conde, le modèle de G. Baccarani a recours à une résolution numérique. En ce qui concerne le calcul du courant de drain pour un transistor à canal long, il s'effectue par une intégrale qui ne dépend que du potentiel au milieu du film de silicium. Le modèle est validé

pour des épaisseurs de film comprises entre 20 et 2nm et des longueurs de canaux atteignant 20nm . Les effets canaux courts sont négligés. Le comportement dynamique intrinsèque ainsi que le comportement dynamique extrinsèque sont ignorés.

Ces approches en potentiel de surface sont très proches de la physique. L'inversion volumique est bien décrite car l'approximation de la feuille de charge n'est pas faite. Un des inconvénients réside dans le fait que cette approche utilise des calculs itératifs (par exemple pour déterminer β_{T0} et β_{TL} dans le modèle de Y. Taur et ψ_{s0} , ψ_{c0} , ψ_{sl} , et ψ_{cl} dans celui de A. Ortiz-Conde). Mis à part ce fait, ces modèles sont précis et prédictifs. C'est pour cette raison que, pour des soucis de validation, nous avons confronté notre approche à celle proposée par Y. Taur.

II.4.2.3 Modèles en Charge du MOSFET Double-Grille Symétrique :

Dans cette approche, l'idée est d'exprimer les potentiels en fonction de la charge d'inversion. Parmi les travaux les plus marquants, nous comptons l'approche proposée par J. He et celle proposée par B. Iñíguez.

II.4. 2. 3. 1 Modèle de J. He :

Ce modèle est proche du modèle de Y. Taur. En effet, au lieu de chercher la valeur du potentiel au milieu du film ψ_c , les auteurs donnent une expression de la charge d'inversion. Ainsi, pour trouver l'expression de la charge d'inversion en fonction du potentiel au milieu du film ψ_c , les auteurs proposent-ils d'exprimer la concentration en électrons dans le film de silicium et de l'intégrer sur une tranche du film. Dans un premier temps, les auteurs définissent la solution de la charge d'inversion, en faible inversion, sous la forme suivante :

$$Q_m^* = e \cdot n_c \cdot \frac{t_{Si}}{2}$$

Avec n_c la concentration d'électron au milieu du film.

Ensuite, ils proposent une interpolation de la charge d'inversion en inversion faible à toutes les régions de fonctionnement du dispositif. Cette interpolation se présente de la manière suivante :

$$Q_m = e \cdot n_c \cdot \frac{t_{Si}}{2} \cdot e^f$$

Avec f désignant un facteur de correction qui vaut 1 en faible inversion et 0 en forte inversion.

Dans un second temps, ils considèrent que la charge d'inversion peut être calculée à partir de la condition aux limites suivante :

$$V_g - \Delta\phi_{ms} + f \cdot \frac{K \cdot T}{e} \cdot \ln(e \cdot n_i \cdot t_{Si}) = \frac{Q_m}{2 \cdot C_{ox1}} + \frac{K \cdot T}{e} \cdot \ln(Q_m)$$

Pour obtenir une solution de l'équation précédente, les auteurs utilisent la fonction de Lambert W . Ceci conduit à une expression de la charge d'inversion en fonction de W_0 qui est la branche principale de la fonction de Lambert W . Une résolution numérique permet de calculer W . Finalement, le calcul du courant se fait de manière classique ; c'est la somme d'un courant de conduction et d'un courant de diffusion :

$$I_d = \frac{2 \cdot \mu \cdot W}{L} \cdot C_{ox1} \cdot \left(\frac{K \cdot T}{e} \right)^2 \cdot \left[\frac{Q_{md}^2 - Q_{ms}^2}{2} + (Q_{md} - Q_{ms}) \right]$$

L'avantage de ce modèle réside dans le fait qu'une seule équation de la charge d'inversion et du courant permet de décrire toutes les régions de fonctionnement. La solution du courant de drain est d'ailleurs formulée de manière relativement simple. Cependant, le modèle souffre de l'absence d'expression analytique explicite de W_0 . Le modèle est validé pour un MOSFET double-grille à canal long de $2\mu m$ et pour des épaisseurs de film comprises entre 50 et 10nm. Les effets quantiques, les effets canaux courts ainsi que les effets capacitifs intrinsèques et extrinsèques sont négligés.

II.4.2. 3. 2 Modèle de B. Iñíguez :

B. Iñíguez a développé un modèle compact de MOSFET double-grille à canal long et pour un film de silicium fortement dopé. Le modèle prend en compte le phénomène d'inversion volumique. Il a modélisé les effets capacitifs extrinsèques en adoptant les travaux réalisés dans pour le MOSFET bulk à la structure MOSFET double-grille. Dans ses travaux, B. Iñíguez a également repris l'approche de Y. Taur – où l'on a recours à des calculs itératifs – puis a développé une approche prenant en compte les effets canaux courts ainsi que le comportement à haute fréquence. Le modèle pour les effets canaux courts est validé pour des longueurs de grille de 20nm et des épaisseurs de film de silicium comprises entre 20 et 5nm. Les effets quantiques sont également pris en compte. Le modèle est généralement formulé de manière

simple. L'unique contrainte réside dans l'usage de processus itératif pour le calcul de la tension de seuil.

II.4.2. 3. 3 Modèle en Potentiel Parabolique :

Il s'agit de supposer que le potentiel électrique dans le film de silicium a une forme parabolique. Dans ce cas, les coefficients de la parabole sont calculés grâce aux conditions aux limites. Cette approche est utilisée par plusieurs équipes dont le L2MP de Marseille.

II.4.3 Modélisation du MOSFET Gate All Around GAA:

La plupart des modèles Gate-All-Around (GAA) qui existent dans la littérature sont basés sur l'analyse uni-dimensionnelle (1D) et ces modèles ne conviennent que pour les dispositifs à canaux longs. Par conséquent, ils sont incapables de reproduire l'enroulement lorsque la longueur du canal est réduite. Donc, une analyse bi-dimensionnelle (2D) est nécessaire pour dériver la tension de seuil (threshold voltage) et des modèles de type 'subthreshold swing' qui prennent en compte l'effet de la longueur du canal sur le comportement du dispositif. Quelques modèles 2-D de la tension de seuil pour des MOSFETs GAA dopés et non-dopés ont été présents. Cependant, ces modèles négligent l'effet de la densité des charges mobiles, qui peut être important dans le régime proche-seuil (en particulier pour les dispositifs non-dopés).

En plus, des modèles courant-tension (I-V) simples et continus pour les GAA MOSFETs cylindriques non-dopés (ou légèrement dopés) où l'approximation de la feuille de charge (charge-sheet) permettant de capturer adéquatement la distribution de charge d'inversion dans le silicium.

Récemment, Hamdy et al. ont proposé des modèles analytiques pour modéliser la tension de seuil (threshold-voltage), le subthreshold swing et DIBL pour les GAA MOSFETs cylindriques non-dopés qui ont été dérivés en se basant sur la solution analytique de l'équation de Poisson en deux-dimensions (en coordonnées cylindriques) avec le terme de charge mobile. Ces modèles ont été dérivés en utilisant des nouvelles techniques qui prennent en considération l'effet de la longueur du canal, l'épaisseur de la couche de silicium et la tension drain-source. Le modèle de Hamdy et al. a été validé par comparaison avec les résultats obtenus à partir des simulations numériques 3D faites avec DESSIE-ISE pour des valeurs différentes de: longueur du canal, épaisseur de la couche de silicium, tension drain-source.

Dans un autre article, Hamdy et al. ont développé des modèles analytiques continus (DC) pour les GAA MOSFETs cylindriques non-dopés dans lequel le courant du canal est exprimé comme une fonction explicite en terme des tensions appliquées. Ce modèle explicite montre un bon accord avec la solution numérique exacte obtenue à partir du nouveau modèle de contrôle de charge et qui a été validé avec les résultats numériques 3D.

Un autre modèle compact pour le MOSFET GAA a été récemment développé par B. Iñíguez et al, en utilisant plusieurs approximations, afin de dériver des solutions analytiques de l'équation de Poisson pour des dispositifs dopés et non-dopés. Dans ce travail, auto-consistance avec l'équation Schrodinger combinée avec l'équation de continuité du courant sont adressées pour décrire des modèles de type 'carrier-transport'. Donc, ce modèle résout certaines difficultés dans la modélisation compacte M l'électrostatique, les effets quantiques, les mécanismes de transport et le comportement à haute fréquence.

II.5 Conclusion :

Dans ce chapitre, nous avons dressé une liste des principaux modèles compacts du transistor MOS Double-Grille (DG) et Gate-All-Around (GAA) en mode de fonctionnement symétrique. Cette liste, ainsi que nous l'avons déjà soulignée, n'est pas exhaustive ; nous avons indiqué les modèles jugés plus intéressants.

Si nous envisageons les trois catégories de modèles compacts pour le transistor Double-Grille : les modèles en tension de seuil, les modèles en potentiel de surface et les modèles en charge, nous remarquons, d'une part, que les modèles en tension de seuil, en raison de la définition d'un courant de drain pour chaque région de fonctionnement, souffrent de problème de précision en inversion modérée. Ceci conduit malheureusement au fait qu'ils sont généralement peu adaptés à la conception de circuits surtout si l'on travaille autour de cette région (en microélectronique analogique et mixte).

D'autre part, si nous examinons les modèles en potentiel de surface, nous remarquons que le problème de précision relève généralement sur les modèles en tension de seuil en inversion modérée – n'est pas observé. Ces modèles décrivent avec une grande précision le comportement du dispositif MOSFET double-grille symétrique en tenant compte de nombreux effets physiques, ce qui les rend intéressants, ceci surtout pour le physicien du composant. Toutefois, aussi précis qu'ils soient, ces modèles, par leur complexité ne répondent qu'imparfaitement aux besoins des concepteurs de circuits intégrés. Outre cette complexité, ces

modèles en potentiel de surface, voire également les deux modèles en charge (i.e. celui de J. He et celui de B. Iñíguez), sont bâtis sur des solutions implicites (cf. Tableau 2.3). Ceci malheureusement les rend relativement moins intéressants pour le concepteur de circuits. En effet, ce dernier souhaite utiliser des modèles simples, précis, « lisibles », et qui ne requièrent pas un temps de calcul coûteux lors des simulations de circuits à forte densité d'intégration.

Références

- [1] S. Martinie, “Modélisation du transport quasi-balistique pour la simulation de circuits à base de nano-transistor multigrilles”, Thèse, Aix-Marseille I, 2011.
- [2] M.S. Lundstrom, *Fundamentals of Carrier Transport*, 2nd ed., Cambridge University Press, Cambridge, UK, 2000.
- [3] F. Assad, Z. Ren, D. Vasileska, S. Datta, and M.S. Lundstrom, “On the performance limits for Si MOSFET’s: A theoretical study,” *IEEE Trans. Electron Dev.*, 47, pp. 232-240, 2000.
- [4] Z. Ren and M.S. Lundstrom, “Simulation of nanoscale MOSFETs: A scattering theory interpretation,” *Superlattices and Microstructures*, 27, pp. 177-189, 2000.
- [5] K. Banoo, J.-H. Rhew, M.S. Lundstrom, C.-W. Shu, and J.W. Jerome, “Simulating Quasi-Ballistic Transport in Si Nano transistors,” presented at the 7th International Workshop on Computational Electronics (IWCE), University of Glasgow, Glasgow, UK, May 22-25, 2000.
- [6] M.V. Fischetti, “Theory of electron transport in small semiconductor devices using the Pauli master equation,” *J. Appl. Phys.*, 83, pp. 270-291, 1998.
- [7] F. Castella, “From the Von-Neumann equation to the Quantum Boltzmann equation in a deterministic framework,” *J. Statistical Phys.*, 104, pp. 387-447, 2001.
- [8] W.R. Frensley, “Wigner-function model of a resonant-tunneling semiconductor device,” *Phys. Rev. B*, 36, pp.1570-1580, 1987.
- [9] Z. Han, N. Goldsman and C.-K. Lin, “2-D Transport Device Modeling by Self-Consistent Solution of the Wigner and Poisson Equations,” *Conf. Proc., SISPAD 2000, Intern. Conf. on Simulation of Semiconductor Processes and Devices*, pp. 62-65, Seattle, WA, September, 6-8, 2000.
- [10] F. Mandl and G. Shaw, *Quantum Field Theory*, Revised ed., John Wiley & Sons, UK, 1993.

- [11] S. Datta, “Quantum Transport: Atom to Transistor”, Cambridge, UK, Cambridge Univ. Press, 2005.
- [12] J. H. Holland, “Adaptation in natural and artificial systems: An introductory analysis with applications to biology, control, and artificial intelligence”, U Michigan Press, 1975.
- [13] H.-P. Schwefel, “ Numerical optimization of computer models”. John Wiley & Sons, Inc., 1981.
- [14] L. J. Fogel, A. J. Owens, and M. J. Walsh, “Artificial intelligence through simulated evolution,”1966.
- [15] D. E. Goldberg et al., Genetic algorithms in search, optimization, and machine learning. Addisonwesley Reading Menlo Park, 1989, vol. 412.
- [16] Z. Michalewicz, Genetic algorithms data structures evolution programs. springer, 1996.
- [17] M. T. McMahon and L. T. Watson, “A distributed genetic algorithm with migration for the design of composite laminate structures,” Parallel Algorithms and Application, vol. 14, no. 4, pp. 329–362, 2000.
- [18] M. Mitchell, An introduction to genetic algorithms. MIT press, 1998.

Chapitre III

III.1 Introduction

Les effets canaux courts diminuent les avantages du MOSFET, cette dégradation est due à la diminution des dimensions de canal. Un nouveau transistor multi-grilles appelé Gate-All-Around MOSFET (GAA) a été proposé comme candidat potentiel pour la conception de circuits CMOS à l'échelle nanométrique [1]. En effet, l'avantage majeur de ce type de transistor est de permettre un bon contrôle électrostatique du canal grâce à la géométrie de sa grille.

La structure gate stack avec un oxyde de grille de SiO_2 en tant que tampon interfacial entre le silicium massif, et les diélectriques à high- k peut filtrer l'effet de la diffusion des phonons et améliorer la mobilité des porteurs [2].

A l'échelle nanométrique, les porteurs chauds résultent de l'ionisation d'impact dans le canal près de la jonction drain, qui sont ensuite injectés dans l'oxyde de grille et provoquent un empilement localisé et non uniforme des états d'interface près de la jonction canal-drain [3-5]. Un nouveau modèle comportemental sous-seuil compact comprenant un potentiel 2-D, un courant sous-seuil et l'inverse de la pente sous-seuil a été développé dans la première partie de ce chapitre.

Dans la deuxième partie de ce chapitre, un modèle analytique du courant de drain unidimensionnel incluant les effets des porteurs chauds, est proposé pour expliquer l'immunité des transistors MOSFET GAA contre les interfaces interfaciales.

III.2 modélisation analytique comportementale du transistor GAA MOSFET en régime sous seuil en incluant l'effet des porteurs chauds à l'échelle nanométrique

III.2.1 Présentation de la structure du MOSFET GASGAA :

Une vue en coupe transversale du MOSFET GASGAA à l'échelle nanométrique est représentée sur la figure III.1 La distribution interfaciale des porteurs chauds est présentée dans la région de canal avec une longueur de $L_d = L - L_1$ où L représente la longueur du canal (MOSFET GASGAA), L_d est la longueur de la région endommagée et L_1 représente la longueur de la région libre. La structure est symétrique, avec une pile de grille (gate stack) à double couche, d'oxyde et des couches à haute permittivité, et le chevauchement avec les extensions de drain / source ne sont pas considérés. $N_{D/S}$ représente le niveau de dopage de la région drain / source respectivement.

Nous allons considérer un dispositif MOSFET GASGAA de type n à canal court et très peu dopé (10^{15}cm^{-3}). Nous considérerons également la mobilité des porteurs constante ($1000 \text{cm}^2/\text{V} \cdot \text{s}$) le long du canal. Les effets quantiques seront ignorés dans ce développement.

Les épaisseurs de couches d'oxyde t_1 de la couche SiO_2 ($\epsilon_1 = \epsilon_{\text{ox}}$) et t_2 de la couche high-k (ϵ_2) définissent l'épaisseur de la couche d'oxyde effective t_{oxeff} ($t_{\text{oxeff}} = t_1 + t_2 \frac{\epsilon_1}{\epsilon_2}$).

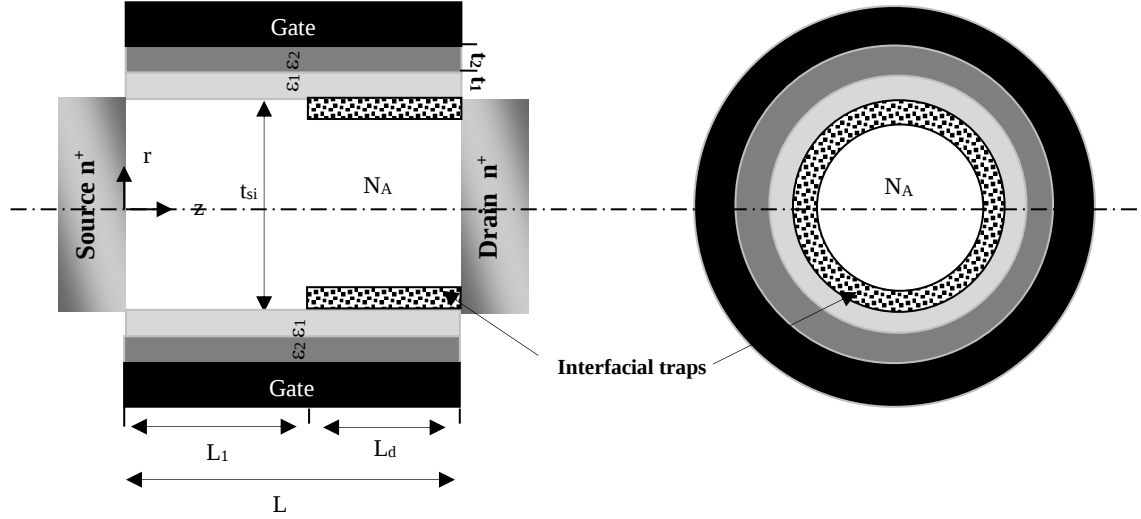


Figure III. 1 Structure du GASGAA MOSFET[13]

III.2.2 Résolution de l'équation de Poisson à 2 dimensions

III.2.2.1 Modélisation du potentiel de surface $\psi_s(z)$:

Pour modéliser les effets canaux-courts nous allons résoudre l'équation de Poisson suivant la dimension transversale au canal et la dimension longitudinale au canal. Si nous considérons $\psi(r, z)$ le potentiel à l'intérieur du film de silicium entièrement déplété, la relation de Poisson s'écrit :

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial}{\partial r} \psi(r, z) \right) + \frac{\partial^2}{\partial z^2} \psi(r, z) = \frac{q \cdot N_A}{\epsilon_{\text{si}}} \quad (3.1)$$

z correspond à la direction suivant la longueur du canal, et r correspond à celle orthogonale au canal. Ainsi, $0 \leq z \leq L$ et $-\frac{t_{\text{Si}}}{2} \leq r \leq \frac{t_{\text{Si}}}{2}$.

Les conditions aux limites pour le potentiel ψ doivent satisfaire la continuité du potentiel et la continuité de la composante normale du vecteur de déplacement électrique aux interfaces Si/SiO_2 .

$$C_{ox} \left[V_g^* - \psi \left(r = \frac{t_{Si}}{2}, z \right) \right] = \varepsilon_{si} \frac{\partial \psi(r, z)}{\partial r} \bigg|_{r = \frac{t_{Si}}{2}} \quad (3.2a)$$

$$\psi(r, z = 0) = V_{bi} \quad (3.2b)$$

$$\psi(r, z = L) = V_{bi} + V_{ds} \quad (3.2c)$$

$$C_{ox} = \varepsilon_{ox} / t_{oxeff} \quad (3.2d)$$

$$t_{oxeff} = t_1 + t_2 \frac{\varepsilon_1}{\varepsilon_2} \quad (3.1e)$$

V_{bi} : La tension de jonction : Source / Canal ou Drain / Canal.

$$V_{bi} = \frac{K \cdot T}{q} \cdot \ln \left(\frac{N_{D/S}}{n_i} \right) \quad (3.1f)$$

C_{ox} : la capacité d'oxyde.

t_{oxeff} : l'épaisseur de la couche d'oxyde effective.

$N_{D/S}$: la concentration du dopage de la source et du drain.

V_{DS} : la tension drain-source.

$V_{F,eff}$ et $V_{B,eff}$ appelées tensions de grilles efficaces (F : Front, B : Bottom). Elles sont introduites pour simplifier les notations, telles que :

$$V_g^* = V_{F,eff} = V_{B,eff} = V_{gs} - \phi_{MS} \quad (3.1g)$$

Quand $V_{F,eff} = V_{B,eff}$, le champ électrique dans la direction verticale (r) est symétrique par rapport au centre du canal ($r = \pm \frac{t_{Si}}{2}$).

Pour résoudre (3.1), nous considérons le dopage du film de silicium uniforme et un profil de potentiel parabolique dans la direction de l'effet du champ, c'est à dire la direction transversale au canal [43]. Le potentiel s'écrit donc de la manière suivante :

$$\psi(r, z) = C_0(z) + C_1(z) \cdot r + C_2(z) \cdot r^2 \quad (3.2)$$

Avec:

$C_0(z)$, $C_1(z)$ et $C_2(z)$ des coefficients que nous déterminons en appliquant les conditions aux limites pour le potentiel ainsi que pour le champ électrique au niveau des interfaces silicium-oxyde.

Ainsi en calculant (3.2) pour $r = \pm \frac{t_{Si}}{2}$, nous obtenons $C_0(z)$ qui correspond au potentiel à l'interface silicium-oxyde $\psi_s(z)$.

Ensuite, la condition aux limites pour le champ électrique nous permet d'obtenir $C_1(z)$ et $C_2(z)$. En effet, en dérivant (3.2), nous obtenons d'une part $C_1(z)$ qui correspond au champ électrique au niveau de l'interface entre le silicium et l'oxyde de dessus. Ce champ est aussi égal au champ à travers la couche d'oxyde de grille de dessus

Pour les faibles valeurs de la tension de drain V_{ds} , en suivant l'étude de [8-11], et en appliquant les conditions aux limites (3.2a, 3.2b, 3.2c et $\partial\psi/\partial r = 0$, la condition de symétrie de la structure, pour $r = 0$), lorsque le rapport de la longueur du canal (L) sur l'épaisseur de silicium (t_{Si}) est supérieur à 2 et $t_{Si} > 5nm$, la distribution de potentiel, $\psi(r, z)$, dans le film mince de silicium peut être représenté comme une fonction parabolique de second ordre le long de la direction radiale (r):

$$\psi(r, z) = \frac{C_{ox}}{\epsilon_{Si} \cdot t_{Si}} [V_g^* - \psi_s(z)] r^2 + \left(1 + \frac{C_{ox} t_{Si}}{4\epsilon_{Si}}\right) \psi_s(z) - \frac{C_{ox} t_{Si}}{4\epsilon_{Si}} V_g^* \quad (3.3)$$

(3.3) décrit le potentiel en tout point du film de silicium avec $\psi_s(z)$ qui représente le potentiel à l'interface silicium-oxyde. Si nous réécrivons l'équation de Poisson (3.1) en tenant compte de la solution du potentiel définie en (3.3), nous obtenons :

$$\frac{d^2\psi_s(z)}{dz^2} - \frac{1}{\lambda^2} \psi_s(z) = D_1 \quad (3.4)$$

Avec :

$$\lambda = \sqrt{\frac{\epsilon_{Si} \cdot t_{oxeff} \cdot t_{Si}}{4 \cdot \epsilon_{ox}}} \quad (3.5)$$

$$D_1 = \frac{e \cdot N_A}{\epsilon_{Si}} - \frac{1}{\lambda^2} \cdot V_g^* \quad (3.6)$$

Comme indiqué à la figure (3.1), le canal du transistor MOS GASGAA symétrique est divisé en deux régions appelées :

- Région libre : Free Region (Région I, $0 \leq z \leq L_1$). Cette région est caractérisée par l'absence des défauts (Pièges : Traps).
- Région endommagée : Damaged Region (Région II, $L_1 \leq z \leq L$). Cette région est caractérisée par la présence des défauts (Pièges : Traps).

Donc, notre problème maintenant sert à résoudre la nouvelle forme de l'équation de Poisson, en fonction du potentiel de surface $\psi_s(z)$, dans les deux régions : libre et endommagée.

Région I (région libre) $0 \leq z \leq L_1$:

L'équation (3.4) prend l'expression suivante :

$$\frac{d^2 \psi_{s1}(z)}{dz^2} - \frac{1}{\lambda^2} \psi_{s1}(z) = D_1 \quad (3.7.1)$$

$$\text{Avec } D_1 = \frac{e \cdot N_A}{\epsilon_{Si}} - \frac{1}{\lambda^2} \cdot V_g^* \quad (3.7.2)$$

La solution de l'équation (3.7.1) se présente sous la forme :

$$\psi_{s1}(z, r) = B_1(z) \cdot e^{z/\lambda} + B_2(z) \cdot e^{-z/\lambda} \quad (3.7.3)$$

$B_1(z)$ et $B_2(z)$ seront déterminés en utilisant la méthode de Cramer.

$$\begin{cases} \sum_{i=1}^n B_i' \cdot y_i = 0 \\ \sum_{i=1}^n B_i' \cdot y_i' = 0 \\ \dots\dots\dots \\ \sum_{i=1}^n B_i' \cdot y_i^{(n-1)} = D_1 \end{cases} \quad (3.7.4)$$

Avec $y_i = e^{p_i}$, où p_i représentent les racines de l'équation caractéristique de (3.7.1)

La résolution du système (3.7.4) nous donne :

$$B_1(z) = \left(\frac{V_g^*}{2} - \frac{q \cdot N_A \cdot \lambda^2}{2 \cdot \epsilon_{Si}} \right) \cdot e^{-z/\lambda} + K_1 \quad (3.7.5)$$

$$B_2(z) = \left(\frac{V_g^*}{2} - \frac{q \cdot N_A \cdot \lambda^2}{2 \cdot \epsilon_{Si}} \right) \cdot e^{z/\lambda} + K_2 \quad (3.7.6)$$

Ainsi, le potentiel de surface dans la première région prend la forme suivante :

$$\psi_{s1}(z) = \left(V_g^* - \frac{q \cdot N_A \cdot \lambda^2}{\epsilon_{Si}} \right) + K_1 \cdot e^{z/\lambda} + K_2 \cdot e^{-z/\lambda} \quad (3.7.7)$$

Où K_1 et K_2 sont des constantes définies par les conditions aux limites suivantes :

$$\psi_{s1}(z) \Big|_{z=0} = V_{bi} \text{ (Côté source)} \quad (3.7.8)$$

$$\psi_{s1}(z) \Big|_{z=L_1} = V_p \text{ (Limite entre la région I et II)} \quad (3.7.9)$$

Où V_{bi} représente le potentiel aux jonctions source-canal et drain-canal, et V_p représente le potentiel développé à la limite des deux régions : la région libre et la région endommagée.

Finalement, à partir de ces conditions aux limites (i.e. (3.7.8) et (3.7.9)), nous obtenons les expressions des constantes : K_1 et K_2 sous la forme :

$$K_1 = \frac{\left[\frac{q \cdot N_A \cdot \lambda^2}{\epsilon_{Si}} + (V_p - V_g^*) \right] - \left[\frac{q \cdot N_A \cdot \lambda^2}{\epsilon_{Si}} + (V_{bi} - V_g^*) \right] \cdot e^{-L_1/\lambda}}{2 \cdot \sinh\left(\frac{L_1}{\lambda}\right)} \quad (3.7.10)$$

$$K_2 = \frac{\left[\frac{q \cdot N_A \cdot \lambda^2}{\epsilon_{Si}} + (V_{bi} - V_g^*) \right] \cdot e^{L_1/\lambda} - \left[\frac{q \cdot N_A \cdot \lambda^2}{\epsilon_{Si}} + (V_p - V_g^*) \right]}{2 \cdot \sinh\left(\frac{L_1}{\lambda}\right)} \quad (3.7.11)$$

Lorsque l'on prend en compte ces coefficients dans (3.7.7), nous aboutissons à l'expression du potentiel de surface aux interfaces $Si-SiO_2$ ($r = \pm \frac{t_{Si}}{2}$) dans la région libre.

Elle est présentée de la manière suivante :

$$\psi_{s1}(z) = -\lambda^2 \cdot D_1 + \frac{\phi_{D1} \cdot \sinh\left(\frac{z}{\lambda}\right) - \phi_{s1} \cdot \sinh\left(\frac{z - L_1}{\lambda}\right)}{\sinh\left(\frac{L_1}{\lambda}\right)} \quad (3.7.12)$$

Avec :

$$\phi_{D1} = V_p + \lambda^2 \cdot D_1 \quad (3.7.13)$$

$$\phi_{s1} = V_{bi} + \lambda^2 \cdot D_1 \quad (3.7.14)$$

Région II (Région endommagée) $L_1 \leq z \leq L$

L'équation (3.5) prend l'expression suivante :

$$\frac{d^2 \psi_{s2}(z)}{dz^2} - \frac{1}{\lambda^2} \cdot \psi_{s2}(z) = D_2 \quad (3.7.15)$$

Avec :

$$D_2 = D_1 - \left(\frac{e \cdot N_f}{C_{ox}} \right) \cdot \left(\frac{1}{t_{oxeff}^2} \right) \quad (3.7.16)$$

N_f : est un coefficient introduit pour mettre en évidence l'effet des porteurs chauds (hot-carriers). Ce coefficient est appelée : *densité de charge d'interface localisée par unité de surface induite par les porteurs chauds (Hot-carriers)*.

Les conditions aux limites dans cette région sont données par :

$$\psi_{s2}(z) \Big|_{z=L_1} = V_p \text{ (Limite entre la région I et II)} \quad (3.7.17)$$

$$\psi_{s2}(z) \Big|_{z=L} = V_{bi} + V_{DS} \text{ (Côté Drain)} \quad (3.7.18)$$

D'une façon analogue à celle suivie dans le calcul du potentiel de surface $\psi_{s1}(z)$, nous aboutissons à une expression analytique du potentiel de surface $\psi_{s2}(z)$ dans la région endommagée :

$$\psi_{s2}(z) = -\lambda^2 \cdot D_2 + \frac{\phi_{s2} \cdot \sinh\left(\frac{z-L_1}{\lambda}\right) - \phi_{D2} \cdot \sinh\left(\frac{z-L}{\lambda}\right)}{\sinh\left(\frac{L_D}{\lambda}\right)} \quad (3.7.19)$$

Avec:

$$\phi_{D2} = V_p + \lambda^2 \cdot D_2 \quad (3.7.20)$$

$$\phi_{s2} = V_{bi} + V_{DS} + \lambda^2 \cdot D_2 \quad (3.7.21)$$

$$L_D = L - L_1 : \text{est la longueur de la région endommagée.} \quad (3.7.22)$$

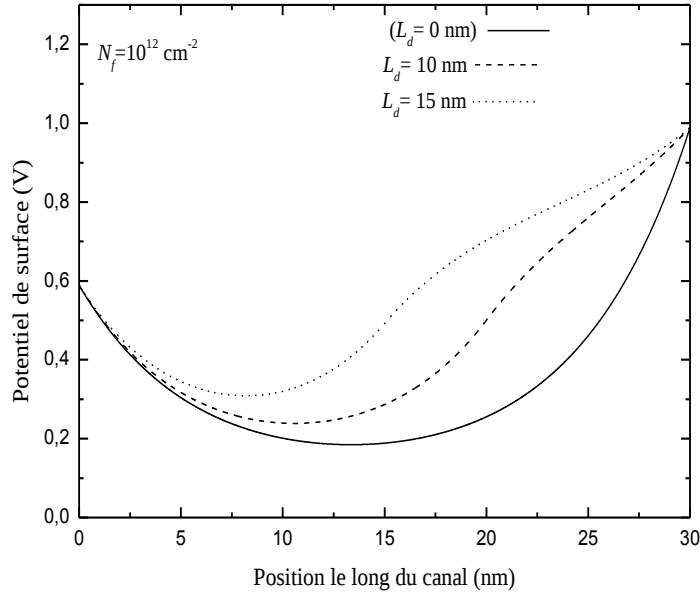


Figure III. 2 Variation du potentiel de surface à travers le canal pour différentes valeurs de L_D [14]

La figure III.2 représente la variation du potentiel de surface $\psi_s(z)$ de la structure conventionnelle GAA MOSFET calculé à travers le canal pour différentes valeurs de L_D et pour $N_f = 10^{12} \text{ cm}^{-2}$, $V_{DS} = 0.4 \text{ V}$ et $V_{GS} = 0.1 \text{ V}$. Les calculs ont été effectués à la température $T = 300^\circ \text{ K}$.

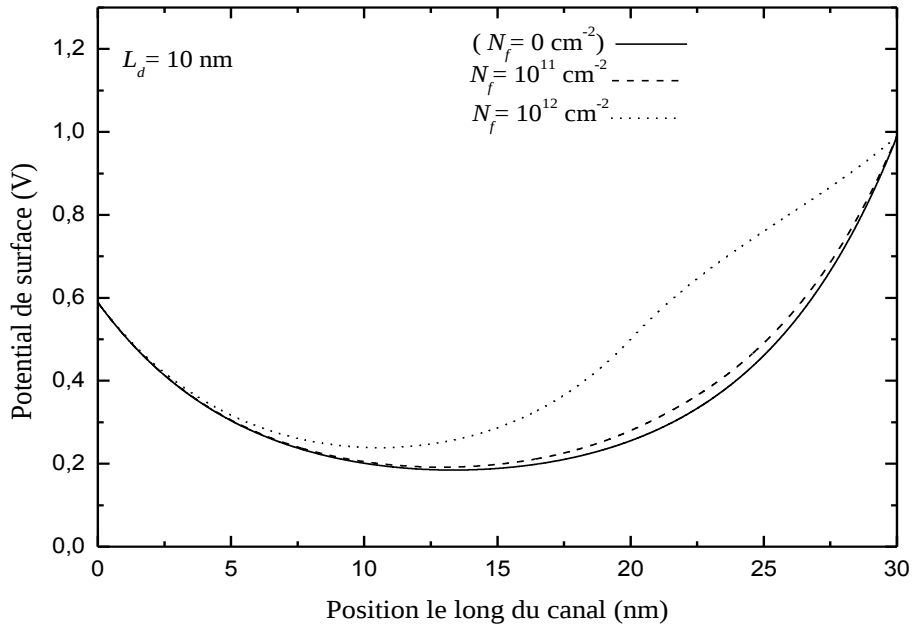


Figure III. 3 Variation du potentiel de surface $\psi_s(z)$ à travers le canal pour différentes valeurs de N_f [14]

La figure III.3 représente la variation du potentiel de surface $\psi_s(z)$ de la structure GAA MOSFET conventionnelle calculé à travers le canal pour différentes valeurs de N_f et pour $L_d = 10\text{nm}$, $V_{DS} = 0.4\text{V}$ et $V_{GS} = 0.1\text{V}$. Il est observé que le potentiel de surface du dispositif endommagé subit une déviation importante par rapport à celui du dispositif sans défauts. Il est a noté aussi que le potentiel de surface augmente considérablement au fur et à mesure que l'on se rapproche du côté drain.

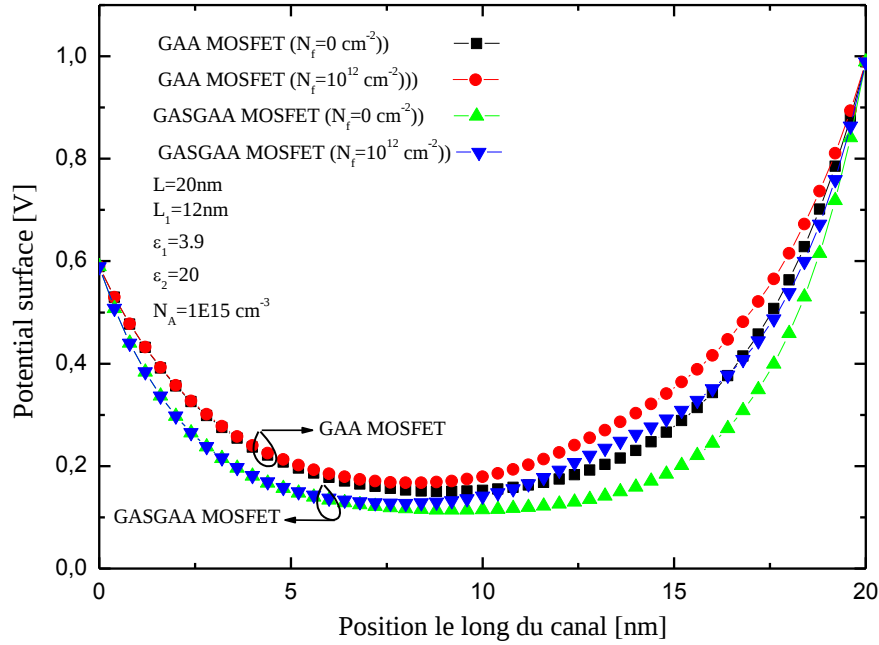


Figure III. 4 Variation du potentiel de surface $\psi_s(z)$ à travers le canal pour différentes valeurs de N_f des structures GAA et GASGAA MOSFETs ($L_1 = 12\text{nm}$, $t_1 = 1\text{nm}$, $t_2 = 1.5\text{nm}$, $t_{si} = 5\text{nm}$ [13]).

La figure III.4 montre la variation du potentiel de surface calculé le long du canal d'une longueur de 20 nm, pour un MOSFET GASGAA avec différentes densités de charges d'interface N_f , à la condition de polarisation $V_{gs} = 0,1\text{ V}$ et $V_{ds} = 0,4\text{ V}$. Pour explorer de meilleures performances du MOSFET GASGAA, le potentiel calculé de la structure MOSFET GAA conventionnelle est également inclus pour comparaison.

On peut voir que l'incorporation de la conception de GASGAA introduit un décalage (barrière de potentiel croissante) dans le profil de potentiel de surface le long du canal en fonction du paramètre de couche high-k. Le décalage du profil de potentiel filtre la région

proche de l'extrémité source des variations de la tension de drain et assure ainsi une réduction de l'effet de canal court par rapport aux MOSFET GAA conventionnels. Par conséquent, l'oxyde d'empilement de grille agit comme un oxyde de grille de commande.

On voit que le MOSFET GASGAA présente un champ électrique proche du drain, ce qui est beaucoup moins important que celui produit par le MOSFET GAA conventionnel et réduit donc efficacement les effets des porteurs chauds.

III.3.2.2.2 Modélisation du potentiel V_p :

V_p est le potentiel développé à la limite de la région libre et la région endommagée.

On considère E_1 le champ électrique dans la région libre, et E_2 le champ électrique dans la région endommagée tels que :

$$\vec{E}_1 = -\vec{\text{grad}} \psi_{s1} \Rightarrow E_1 = -\frac{d\psi_{s1}}{dz} \quad (3.8)$$

$$\vec{E}_2 = -\vec{\text{grad}} \psi_{s2} \Rightarrow E_2 = -\frac{d\psi_{s2}}{dz} \quad (3.9)$$

Le champ électrique E_1 dans la région libre est donné par :

$$E_1 = \frac{1}{\lambda} \cdot \frac{\phi_{D1} \cdot \cosh(z/\lambda) - \phi_{s1} \cdot \cosh((z - L_1)/\lambda)}{\sinh(L_1/\lambda)} \quad (3.10)$$

Au point $z = L_1$ (limite entre la région libre et la région endommagée), E_1 a pour expression :

$$E_1 = \frac{1}{\lambda} \cdot \frac{\phi_{D1} \cdot \cosh(L_1/\lambda) - \phi_{s1}}{\sinh(L_1/\lambda)} \quad (3.11)$$

De même, le champ électrique E_2 dans la région endommagée est donné par :

$$E_2 = \frac{1}{\lambda} \cdot \frac{\phi_{s2} \cdot \cosh((z - L_1)/\lambda) - \phi_{D2} \cdot \cosh((z - L)/\lambda)}{\sinh(L_D/\lambda)} \quad (3.12)$$

Au point $z = L_1$ (limite entre la région libre et la région endommagée), E_2 a pour expression :

$$E_2 = \frac{1}{\lambda} \cdot \frac{\phi_{s2} - \phi_{D2} \cdot \cosh(L_D/\lambda)}{\sinh(L_D/\lambda)} \quad (3.13)$$

En utilisant la continuité du champ électrique au point $z = L_1$, i.e.

$$E_1|_{z=L_1} = E_2|_{z=L_1} \Rightarrow \left. \frac{d\psi_{s1}}{dz} \right|_{z=L_1} = \left. \frac{d\psi_{s2}}{dz} \right|_{z=L_1} \quad (3.14)$$

Après le développement de (3.14), ceci conduit finalement à :

$$V_P = \frac{\phi_{s2} \cdot \sinh\left(\frac{L_1}{\lambda}\right) + \phi_{s1} \cdot \sinh\left(\frac{L-L_1}{\lambda}\right) - \alpha \cdot \lambda^2 \cdot D_2 - \beta \cdot \lambda^2 \cdot D_1}{\sinh\left(\frac{L}{\lambda}\right)} \quad (3.15)$$

Avec :

$$\alpha = \sinh\left(\frac{L_1}{\lambda}\right) \cdot \cosh\left(\frac{L_1-L}{\lambda}\right) \quad (3.16)$$

$$\beta = \sinh\left(\frac{L-L_1}{\lambda}\right) \cdot \cosh\left(\frac{L_1}{\lambda}\right) \quad (3.17)$$

III.2.2.3 Modélisation du Potentiel de surface minimal

$\psi_{s\min}$ En cas d'absence de défauts ou « pièges » (c'est le cas d'un *fresh device*) dans la région 2, on a :

$N_f = 0\text{cm}^{-2}$, $L_D = 0\text{nm}$ et $L = L_1$. L'équation (3.15) prend la forme suivante :

$$V_P = V_{bi} + V_{DS}$$

(3.18)

l'expression du potentiel de surface se réduit à :

$$\psi_s(z) = \frac{(V_{bi} + V_{DS} + \lambda^2 \cdot D_1) \cdot \sinh(z/\lambda) - \phi_{s1} \cdot \sinh((z-L)/\lambda)}{\sinh(L/\lambda)} - \lambda^2 \cdot D_1 \quad (3.19)$$

En cas de présence des défauts dans la région 2, on a :

$N_f \neq 0\text{cm}^{-2}$ et $L_D \neq 0\text{nm}$. Dans ce cas, on a deux expressions différentes du potentiel de surface :

$\psi_{s1}(z)$ dans la région libre, et $\psi_{s2}(z)$ dans la région endommagée.

Une fois $\psi_{s1}(z)$ et $\psi_{s2}(z)$ obtenus, nous allons évaluer la valeur minimale de chaque potentiel ainsi que la position à laquelle ce minimum de potentiel est atteint. Nous noterons le minimum du potentiel de surface dans la région libre par $\psi_{s1\min}$ et la position à laquelle $\psi_{s1\min}$

est obtenu, $z_{1\min}$. De même, le minimum du potentiel de surface dans la région endommagée est noté par $\psi_{S2\min}$ et la position à laquelle $\psi_{S2\min}$ est obtenu, $z_{2\min}$.

$\psi_{S\min}$ est le minimum du potentiel de surface dans le canal :

$$\psi_{S\min} = \begin{cases} \psi_{S1\min} & \text{si } \psi_{S1\min} < \psi_{S2\min} \\ \psi_{S2\min} & \text{si } \psi_{S2\min} < \psi_{S1\min} \end{cases} \quad (3.20)$$

Ainsi, $z_{1\min}$ et $\psi_{S1\min}$ sont déterminés en calculant respectivement :

$$\left. \frac{d\psi_{S1}(z)}{dz} \right|_{z=z_{1\min}} = 0 \quad (3.21)$$

$$\text{et } \psi_{S1\min} = \psi_{S1}(z_{1\min}) \quad (3.22)$$

Ceci conduit à la solution de $z_{1\min}$ et $\psi_{S1\min}$ sous la forme :

$$z_{1\min} = \frac{1}{2} \cdot \left[L - \lambda \cdot \ln \left(\frac{\phi_{s1} - \phi_{D1} \cdot e^{\frac{L_1}{\lambda}}}{\phi_{D1} - \phi_{s1} \cdot e^{\frac{L_1}{\lambda}}} \right) \right] \quad (3.34)$$

$$z_{1\min} \approx \left(\frac{1}{2} \right) \cdot \left[L_1 - \lambda \cdot \ln \left(\frac{\phi_{D1}}{\phi_{S1}} \right) \right] \quad (3.23)$$

$$\psi_{S1\min} = -\lambda^2 \cdot D_1 + \frac{\phi_{D1} \cdot \sinh\left(\frac{z_{1\min}}{\lambda}\right) - \phi_{s1} \cdot \sinh\left(\frac{z_{1\min} - L_1}{\lambda}\right)}{\sinh\left(\frac{L_1}{\lambda}\right)} \quad (3.24)$$

De même pour $z_{2\min}$ et $\psi_{S2\min}$:

$$\left. \frac{d\psi_{S2}(z)}{dz} \right|_{z=z_{2\min}} = 0 \Rightarrow$$

$$z_{2\min} = \left(\frac{L + L_1}{2} \right) + \frac{\lambda}{2} \cdot \ln \left(\frac{\phi_{D2} \cdot e^{\frac{L}{\lambda}} - \phi_{s2} \cdot e^{\frac{L_1}{\lambda}}}{\phi_{s2} \cdot e^{\frac{L}{\lambda}} - \phi_{D2} \cdot e^{\frac{L_1}{\lambda}}} \right) \quad (3.25)$$

$$z_{2\min} \approx \left(\frac{L + L_1}{2} \right) + \left(\frac{\lambda}{2} \right) \cdot \ln \left(\frac{\phi_{D2}}{\phi_{S2}} \right) \quad (3.26)$$

$$\text{et } \psi_{S2\min} = -\lambda^2 \cdot D_2 + \frac{\phi_{s2} \cdot \sinh\left(\frac{z_{2\min} - L_1}{\lambda}\right) - \phi_{D2} \cdot \sinh\left(\frac{z_{2\min} - L}{\lambda}\right)}{\sinh\left(\frac{L - L_1}{\lambda}\right)} \quad (3.27)$$

Il est à noter que le minimum du potentiel de surface peut être localisé dans les deux régions (libre et endommagée). Cependant, il est observé que le potentiel de surface minimal $\psi_s(z)$ est toujours obtenu dans la région libre $0 \leq z \leq L_1$ quelle que soit la valeur et le signe de N_f .

$$\psi_{S1\min} < \psi_{S2\min} \quad \forall N_f \quad (3.28)$$

$$\text{et } \psi_{S\min} = \psi_{S1\min} = -\lambda^2 \cdot D_1 + \frac{\phi_{D1} \cdot \sinh\left(\frac{z_{1\min}}{\lambda}\right) - \phi_{s1} \cdot \sinh\left(\frac{z_{1\min} - L_1}{\lambda}\right)}{\sinh\left(\frac{L_1}{\lambda}\right)} \quad \forall N_f \quad (3.29)$$

III.2.2.4 Modélisation du courant sous seuil

Le modèle de potentiel 2-D développé (expression 3.3) peut être utilisé pour obtenir une équation de courant analytique explicite dans le régime sous-seuil. Pour cela, nous suivons la procédure proposée pour les MOSFET à double grille 4-T et 3-T [12]. Dans le domaine de faible inversion, le courant sous-seuil est principalement dominé par la diffusion et proportionnel à la concentration d'électrons à la cathode virtuelle [1]. Par conséquent, le courant sous-seuil dérivé pour notre structure GASGAA peut être exprimé comme suit :

$$J_n(r) = qD_n \frac{n_{\min}(r)}{L} (1 - e^{-V_{ds}/V_t}) \quad (3.30)$$

Avec :

D_n : est la constante de diffusion.

V_t : est la tension thermique.

$n_{\min}(r)$: représente la densité d'électrons à la cathode virtuelle donnée comme suit :

$$n_{\min}(r) = (n_i^2 / N_A) e^{\psi_{\min}(r) / V_t} \quad (3.31)$$

Avec :

$$\psi_{\min}(r) = \psi_s(r, z_{\min}) \quad (3.32)$$

$z_{\min}$: représente l'emplacement du potentiel de surface minimum le long du canal qui dépend de la densité de charge de l'interface des porteurs chauds localisée dans la région I (Figure III.1).

L'emplacement du potentiel de surface minimum pour la première région peut être obtenu analytiquement en résolvant $\frac{d\psi_{s1}(r,z)}{dz} = 0$. Cet emplacement peut être trouvé à partir de :

$$z_{\min} = \frac{1}{2} \left[L - \lambda \ln \left(\frac{\phi_{s1} - \phi_{D1} e^{\frac{L_1}{\lambda_{(DG/GAA)}}}}{\phi_{D1} - \phi_{s1} \cdot e^{\frac{L_1}{\lambda_{(DG/GAA)}}}} \right) \right] \quad (3.33)$$

En intégrant la densité de courant $J_n(r)$ à travers la section transversale circulaire, le courant sous-seuil pour le MOSFET GASGAA peut être exprimé comme suit :

$$I_{sub} = 2K \int_0^{t_{si}} e^{\frac{\psi_{\min}(r)}{V_t}} dr = 2 \frac{KV_t}{E_s} (e^{\frac{\psi_{\min}}{V_t}} - e^{\frac{\psi_{\min}^s}{V_t}}) \quad (3.34)$$

Avec :

E_s : représente le champ électrique constant.

$$E_s = \frac{t_{si}}{2} (\psi_{\min} - \psi_{\min}^s) \quad (3.35)$$

K : est une constante définie comme suit :

$$K = (q\mu_n t_{si} \pi V t n_i^2 / L N_A) (1 - e^{-V_{ds}/V_t}) \quad (3.36)$$

Avec :

μ_n : est la mobilité des électrons.

$\psi_{\min}^s$: est le potentiel minimum à l'interface (Si/SiO_2) donnée par $\psi_{\min}^s = \psi(t_{si}/2, z_{\min})$.

$\psi_{\min}$: représente le potentiel minimum dans le film de silicium. Dans le cas d'une structure symétrique, la valeur de ce potentiel peut être trouvée au centre du film de silicium

($\psi_{\min} = \psi(0, z_{\min})$).

Sur la figure III.5, la variation du courant sous-seuil avec la tension de grille pour différentes densités de charges d'interface N_f a été comparée avec celle du MOSFET GAA conventionnel. Il est clairement montré que pour le MOSFET GAA conventionnel, le courant correspondant position ouverte d'état OFF n'est plus négligeable et contribue à la mise en veille

lorsque le rapport, I_{on}/I_{off} , calculé dans ce cas est égal à $1.2 \cdot 10^9$. Pour la structure de MOSFET GASGAA, nous avons constaté que le courant sous-seuil est considérablement réduit et le rapport, I_{on}/I_{off} , augmenté à $8.3 \cdot 10^9$. On observe également que les caractéristiques sous-seuil se dégradent lorsque la densité des pièges augmente pour le MOSFET GASGAA, et une dégradation sérieuse se produit avec l'augmentation de la densité des pièges peut être observée dans le cas de la structure conventionnelle (GAA). Ainsi, le MOSFET GASGAA présente une supériorité sur la structure GAA pour réduire les effets des porteurs chauds.

Les résultats obtenus et qui sont illustrés dans la figure III.5a et la figure III.5b montrent clairement montré que les caractéristiques du sous-seuil de manière substantielle au fur et à mesure que les épaisseurs de silicium et d'oxyde augmentent. Pour des valeurs élevées d'épaisseurs de silicium et d'oxyde, le courant correspondant à l'état OFF est augmenté est conduit à une certaine dégradation des performances du circuit en régime sous-seuil. Cette dégradation peut s'expliquer par l'effet du confinement du champ électrique des canaux et des effets de canaux courts. Il est important de noter que le transistor GAS GAA MOSFET avec un faible courant de fuite et un rapport élevé, I_{on}/I_{off} , peut fournir au circuit une commutation de haute qualité de l'état OFF à l'état ON lorsqu'il est en mode numérique pour une application ULSI.

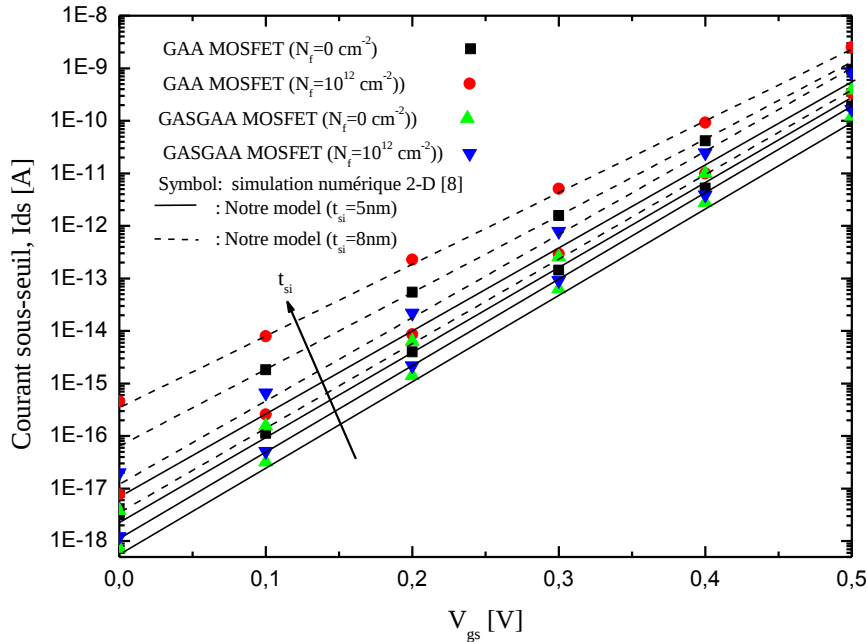


Figure III. 5a Variation de courant sous-seuil pour les MOSFET GAA et GASGAA avec tension de grille en fonction de la densité des pièges interfaciaux et différentes épaisseurs de silicium avec ($L = 20\text{nm}$, $L_1 = 12\text{nm}$, $t_2 = 1.5\text{nm}$, $\epsilon_2 = 20$, $N_A = 10^{15}\text{cm}^{-3}$)[13]

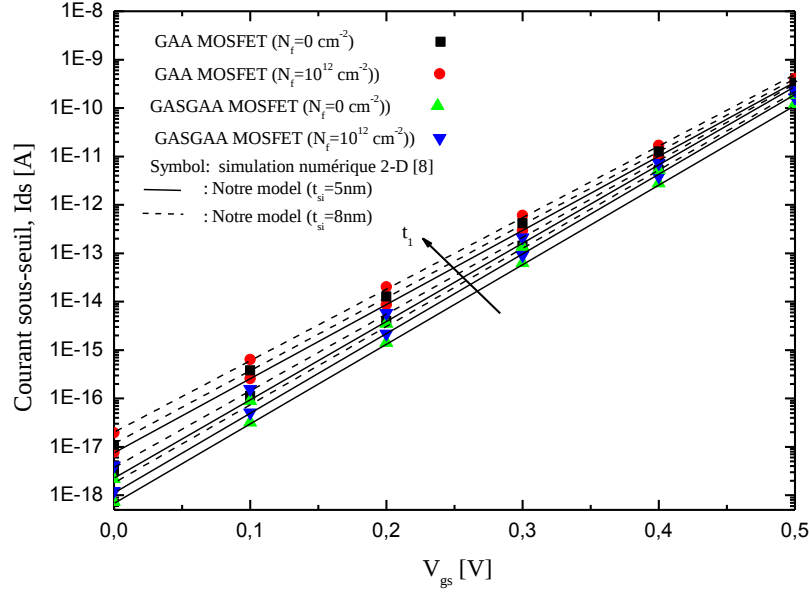


Figure III.5b Variation de courant sous-seuil pour les MOSFET GAA et GASGAA avec tension de grille en fonction de la densité des pièges interfaciaux et différentes épaisseurs d'oxyde avec ($L = 20\text{nm}$, $L_1 = 12\text{nm}$, $t_2 = 1.5\text{nm}$, $\varepsilon_2 = 20$, $N_A = 10^{15}\text{cm}^{-3}$)[13]

III.2.2.5 Modélisation de la dégradation de la pente sous le seuil

La pente sous le seuil (S) est définie comme étant la variation de polarisation de grille nécessaire pour augmenter le courant d'une décade, elle s'exprime en mV/dec . Pour trouver une expression de l'inverse de la pente sous-seuil, nous supposons que le courant sous-seuil est proportionnel à la quantité totale d'électrons libres diffusant dans la cathode virtuelle $z_{\min}$ [2].

L'inverse de la pente sous-seuil, S , peut être exprimé comme suit :

$$S = \frac{\partial V_{gs}}{\partial \log I_{ds}} \cong Vt \ln(10) \left[\frac{\partial \psi_{s \min}}{\partial V_{gs}} \right]^{-1} \quad (3.37)$$

En remplaçant l'équation (3.33) dans (3.7.12), l'inverse de la pente sous-seuil finale est obtenue :

$$S = \frac{Vt \ln(10)}{1 + \alpha_{sch}} \quad (3.38)$$

Avec:

$$\alpha_{sch} = \frac{1}{\sinh\left(\frac{L_1}{\lambda}\right)} \left[\begin{aligned} & \left\{ -1 + \frac{1}{\sinh\left(\frac{L}{\lambda}\right)} \left(\sinh\left(\frac{L_1}{\lambda}\right) + \sinh\left(\frac{L-L_1}{\lambda}\right) + \alpha + \beta \right) \right\} \sinh\left(\frac{L_1}{2\lambda} - \frac{1}{2} \ln\left(\frac{\Phi_{D1}}{\phi_{S1}}\right)\right) \\ & + \sinh\left(\frac{-L_1}{2\lambda} - \frac{1}{2} \ln\left(\frac{\Phi_{D1}}{\phi_{S1}}\right)\right) + \\ & \frac{1}{2} \left\{ \frac{-1}{\Phi_{S1}} + \frac{1}{\Phi_{D1} \sinh\left(\frac{L}{\lambda}\right)} \left(\sinh\left(\frac{L}{\lambda}\right) + \sinh\left(\frac{L_1}{\lambda}\right) + \sinh\left(\frac{L-L_1}{\lambda}\right) + \alpha + \beta \right) \right\} \cdot \\ & \left[\left(V_p + \frac{qN_A \lambda^2}{\epsilon_{Si}} - V_g^* \right) \cosh\left(\frac{L_1}{2\lambda} - \frac{1}{2} \ln\left(\frac{\Phi_{D1}}{\phi_{S1}}\right)\right) - \right. \\ & \left. \left(V_{bi} + \frac{qN_A \lambda^2}{\epsilon_{Si}} - V_g^* \right) \cosh\left(\frac{L_1}{2\lambda} + \frac{1}{2} \ln\left(\frac{\Phi_{D1}}{\phi_{S1}}\right)\right) \right] \end{aligned} \right] \quad (3.39)$$

Avec:

$$\alpha = \sinh\left(\frac{L_1}{\lambda}\right) \cosh\left(\frac{L_1-L}{\lambda}\right) \quad (3.40)$$

$$\beta = \sinh\left(\frac{L-L_1}{\lambda}\right) \cosh\left(\frac{L_1}{\lambda}\right) \quad (3.41)$$

Il est important de noter que la longueur du canal est beaucoup plus longue que 100 nm, les dispositifs à canaux longs, $\left(\sinh\left(\frac{L_1}{\lambda}\right)\right)^{-1} \ll 1$, le terme de α_{sch} affecté par les effets des canaux courts devient négligeable, l'inverse de la pente sous-seuil sera réduit à la valeur idéale de 60mV / dec qui est la valeur de l'inverse de la pente sous-seuil pour les dispositifs à canal long.

La figure III.6 montre le modèle et les valeurs simulées de l'inverse de la pente sous-seuil tracée par rapport à la longueur du canal, L, pour des valeurs fixes de $L_1 = 12nm$, $t_1 = 1nm$ et $t_2 = 1.5nm$. On constate qu'en augmentant la constante diélectrique de la couche diélectrique supérieure, l'introduction de la conception de GASGAA, l'inverse de la pente sous-seuil et l'effet de des porteurs chauds sont considérablement réduits, ce qui confirme encore une fois que les immunités des canaux courts et des porteurs chauds peuvent être améliorées en incorporant la structure GASGAA.

En outre, on remarque que les résultats de l'analyse illustrée sur les figures III.6a et III.6b suggèrent que toute augmentation des épaisseurs de canaux et / ou d'oxydes conduit inévitablement à l'augmentation de l'inverse de la pente sous-seuil.

Le paramètre de l'inverse de la pente sous-seuil devient plus prononcé avec l'augmentation des épaisseurs de canal et / ou d'oxyde. Cependant, pour des films de silicium et d'oxyde plus minces, la dégradation du paramètre l'inverse de la pente sous-seuil devient moins sévère en raison du meilleur contrôle de grille du canal.

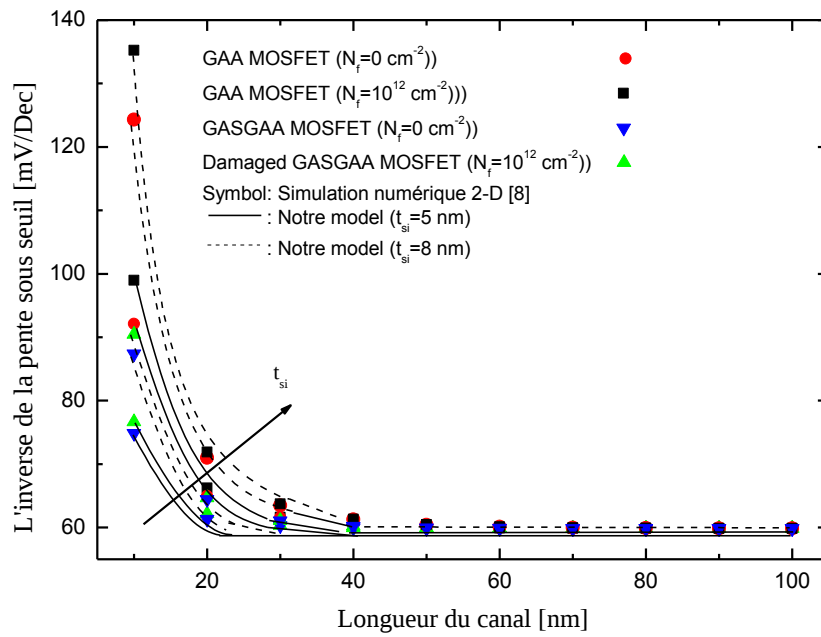


Figure III. 6 a Variation l'inverse de la pente sous-seuil pour les MOSFET GAA et GASGAA avec tension de grille en fonction de la densité des pièges interfaciaux et différentes épaisseurs de silicium avec ($L_d = L/3$, $t_2 = 1.5 \text{ nm}$, $\varepsilon_2 = 20$, $N_A = 10^{15} \text{ cm}^{-3}$)[13]

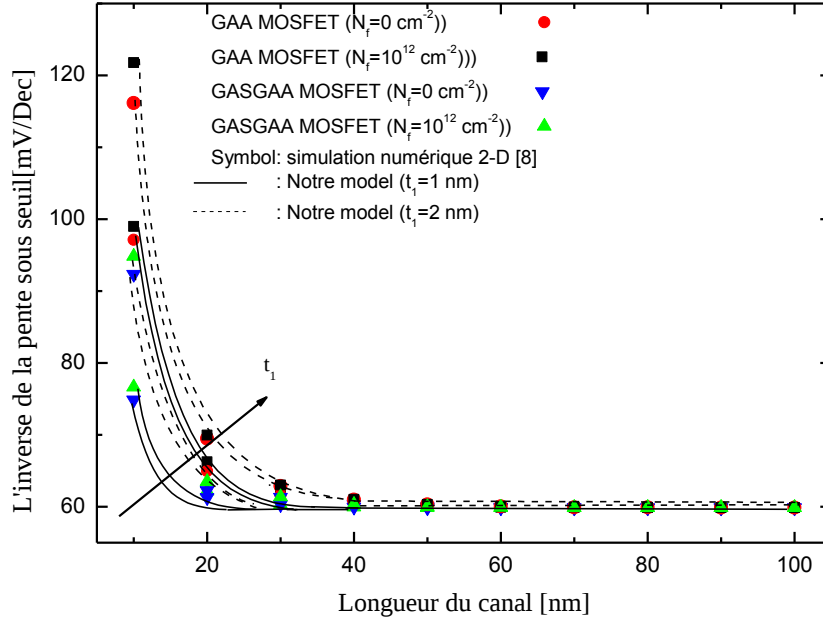


Figure III.6 b Variation l'inverse de la pente sous-seuil pour les MOSFET GAA et GASGAA avec tension de grille en fonction de la densité des pièges interfaciaux et différentes épaisseurs d'oxyde avec ($L_d = L/3$, $t_2 = 1.5 \text{ nm}$, $\epsilon_2 = 20$, $N_A = 10^{15} \text{ cm}^{-3}$) [13]

III.3 Modélisation analytique du courant de drain en incluant l'effet des pièges à l'interfaces du transistor GAA MOSFET

III.3.1 Modélisation analytique de la densité de charge d'inversion

Pendant la durée de vie du dispositif, les dommages sous forme de pièges d'interface créés par l'injection de porteurs chauds dans l'oxyde de grille se traduisent par une augmentation de la tension de seuil et par une baisse de la mobilité des électrons dans le canal [15]. La tension de seuil dans le MOSFET GAA peut être écrite en termes de paramètres du transistor séparément pour chaque région comme suit :

$$V_{th}(x) = \begin{cases} \phi_{MS} - \frac{Q_{ox}}{C_{ox}} + 2\phi_B + \frac{qN_A\lambda^2}{\epsilon_{Si}} = V_{th1} & 0 \leq x \leq L_1 \\ \phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_f}{C_{ox}} + 2\phi_B + \frac{qN_A\lambda^2}{\epsilon_{Si}} = V_{th2} & L_1 \leq x \leq L \end{cases} \quad (3.42)$$

Avec:

ϕ_{MS} : est le travail de sortie de grille référencé au silicium intrinsèque.

Q_{ox} : la densité de charge d'interface d'oxyde positif indépendante de l'injection des porteurs chauds.

$$\phi_B = (kT/q) \ln(N_A/n_i)$$

n_i : la densité de silicium intrinsèque.

$$C_{ox} = \frac{2\varepsilon_1}{t_{si} \ln(1 + 2t_1/t_{si})} \quad (3.43)$$

C_{ox} : capacité d'oxyde de grille.

D'après l'équation (3.42), il est clair que l'augmentation de la densité de charge des pièges d'interface donne lieu à une augmentation de la tension de seuil du dispositif étudié. Un autre effet des charges d'interface localisées est la chute de la mobilité des électrons après l'application des conditions de stress. Ceci est dû à la charge piégée à l'interface affectant la mobilité des porteurs de canaux par diffusion coulombienne. Cette réduction de mobilité peut être représentée par la loi de Mathiessen comme suit :

$$\mu(x) = \begin{cases} \mu_0 & 0 \leq x \leq L_1 \\ \frac{\mu_0 \mu_{ox}}{\mu_0 + \mu_{ox}} & L_1 \leq x \leq L \end{cases} \quad (3.44)$$

Avec:

μ_0 : est défini comme la mobilité globale

μ_{ox} : est la mobilité de diffusion de charge d'oxyde d'interface donnée par [16] :

$$\mu_{ox} = 1000 \left(\frac{3 \times 10^{11} T}{80 N_f} \right) \quad (3.45)$$

$V(x)$: indique le potentiel du canal.

$dV(x)/dx$: le champ électrique du canal.

Afin de déduire une expression compacte pour le courant de drain dans la région linéaire, les expressions pour le courant de drain dans les régions fraîches et endommagées sont

obtenues séparément. Ces expressions sont simplifiées pour obtenir l'équation du deuxième degré suivante qui ne traite que de la tension à la limite V_p .

$$\alpha V_p^2 + \beta V_p + \delta = 0 \quad (3.46)$$

Avec:

$$0 \leq V_p \leq V_{ds}$$

$$\alpha = - \left[\frac{\mu_{ox}}{2(\mu_0 + \mu_{ox})(L - L_1)} + \frac{1}{2L_1} \right] \quad (3.47)$$

$$\beta = \left[\frac{\left(V_{gs} - \phi_{MS} - \frac{Q_{ox}}{C_{ox}} + 2\phi_B + \frac{qN_A \lambda^2}{\epsilon_{si}} \right)}{L_1} + \frac{\mu_{ox} \left(V_{gs} - \phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_f}{C_{ox}} + 2\phi_B + \frac{qN_A \lambda^2}{\epsilon_{si}} \right)}{(\mu_0 + \mu_{ox})(L - L_1)} \right] \quad (3.48)$$

$$\delta = - \frac{\mu_{ox}}{(\mu_0 + \mu_{ox})(L - L_1)} \left[\left(V_{gs} - \phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_f}{C_{ox}} + 2\phi_B + \frac{qN_A \lambda^2}{\epsilon_{si}} \right) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (3.49)$$

Lorsque V_p est déterminé, les expressions valides du courant de drain dans les deux régions deviennent comme suit :

Région I (région libre) $0 \leq z \leq L_1$:

$$I_{ds} = \frac{C_{ox} \pi_{si} \mu_0}{L_1} \left[(V_{gs} - V_{th1}) V_p - \frac{V_p^2}{2} \right] \quad (3.50)$$

Région II (Région endommagée) $L_1 \leq z \leq L$

$$I_{ds} = \frac{C_{ox} \pi_{si} \mu_0 \mu_{ox}}{(L - L_1)(\mu_0 + \mu_{ox})} \left\{ \left[(V_{gs} - V_{th2}) V_{ds} - \frac{V_{ds}^2}{2} \right] - \left[(V_{gs} - V_{th2}) V_p - \frac{V_p^2}{2} \right] \right\} \quad (3.51)$$

Dans la région de saturation, la description complète du courant de drain nécessite la détermination de la tension de saturation du drain. Ce dernier peut être obtenu en utilisant l'équation suivante [17] :

$$Q_n(L) = 0 \quad (3.52)$$

La résolution de l'équation précédente donne :

$$V_{dsat} = V_{gs} - \phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_f}{C_{ox}} - 2\phi_B - \frac{qN_A\lambda^2}{\epsilon_{si}} \quad (3.53)$$

Les caractéristiques I-V analytiques et numériques des MOSFET GAA et GSGAA avec l'effet des porteurs chauds sont données dans la Figure III.7. Comme prévu, en incluant la couche high-k, le courant de drain est amélioré et l'ensemble du dispositif devient moins vulnérable à la dégradation par injection des porteurs chauds. On peut voir que le dispositif GSGAA a un courant plus élevé par rapport au dispositif GAA et les résultats analytiques sont en bon accord étroit avec les résultats numériques simulés. Il est clair qu'une réduction du courant de drain peut être observée dans le cas de dispositifs endommagés. Cette réduction peut être expliquée par l'effet des électrons piégés dans la région endommagée sur la densité de courant de drain.

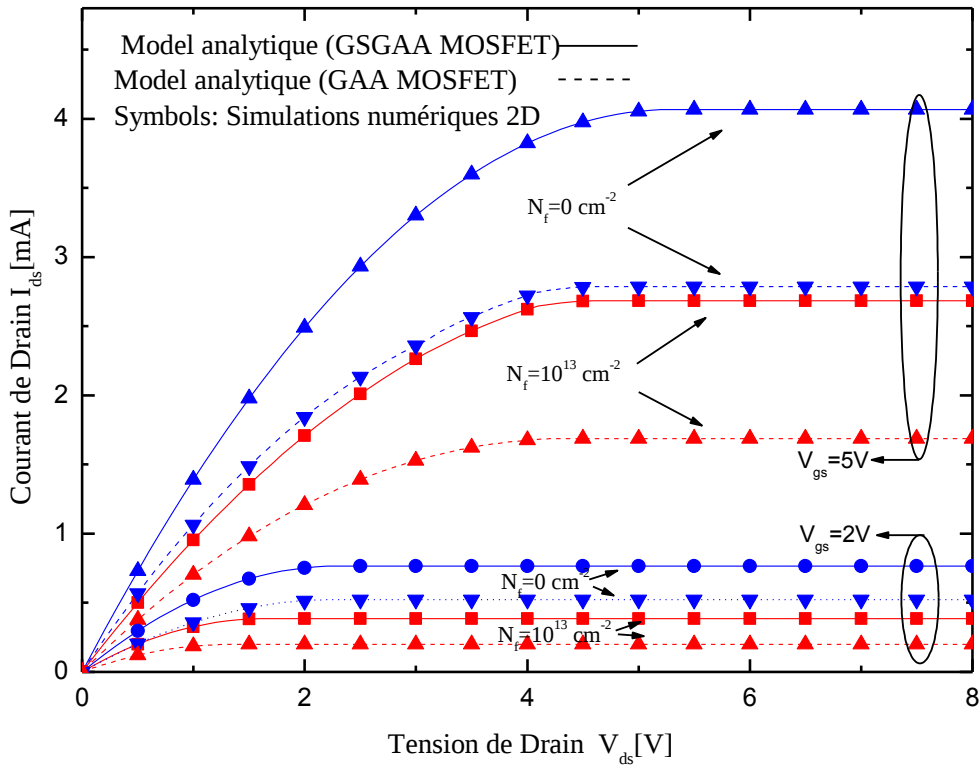


Figure III. 7 Caractéristiques I_{ds} - V_{ds} pour les MOSFET GAA et GASGAA (en présence des porteurs chauds)[18]

III.3.2 Modèle de dégradation de la transconductance

Le paramètre de transconductance, g_m , peut être facilement déduit des modèles de courant de drain. La transconductance d'un dispositif représente l'amplification délivrée est donnée comme suit :

$$g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=\text{constant}} \quad (3.54)$$

En dérivant (3.50) et (3.51) par rapport à V_{gs} , l'expression de la transconductance est obtenue comme suit :

$$g_m = \frac{C_{ox} W \mu_0}{L_1} \left[V_p + (V_{gs} - V_{th1}) \frac{\partial V_p}{\partial V_{gs}} - V_p \frac{\partial V_p}{\partial V_{gs}} \right] \quad (3.55)$$

Pour étudier la fréquence de coupure, la dégradation de la transconductance pour les deux conceptions (avec et sans couche high-k) a été également représentée sur la Figure III.8, Cette figure montre la dégradation de la transconductance simulée par rapport à la transconductance initiale, dispositif libre, en fonction des densités de pièges. On peut remarquer que la transconductance diminue à mesure que la densité des pièges augmente, et atteint une faible valeur de transconductance lorsque la densité des pièges $N_f > 10^{12} \text{ cm}^{-2}$ dans les deux structure (MOSFET GSGAA et GAA). On observe également qu'une amélioration de la transconductance dans le cas des MOSFET GSGAA, pour une large gamme de densités de pièges interfaciaux.

III.3.4 Modèle de dégradation de la fréquence de coupure et du gain

Le gain et la fréquence de coupure d'un seul amplificateur à transistors sont également modélisés en condition de contrainte (stress) en fonction des densités de pièges. L'amplificateur se compose d'un MOSFET GAA submicronique profond et d'une source de courant constant comme le montre la Figure III.9. La source de courant constant réglée sur $I_{bais} = 1 \text{ mA}$ et la tension de grille était réglée pour donner le gain maximum pour le nouveau dispositif.

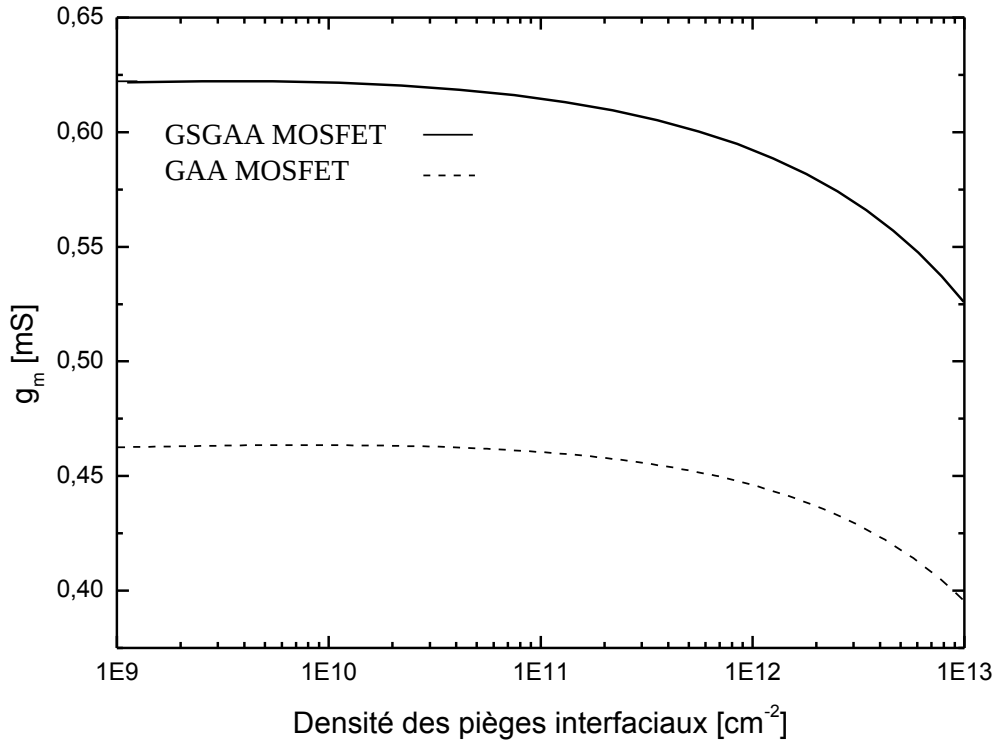


Figure III. 8 la dégradation de transconductance du MOSFET GAAet GASGAA en fonction de densités de pièges d'interface pour $V_{gs} = 3\text{V}$, $V_{ds} = 4\text{V}$ (en présence des porteurs chauds)[18]

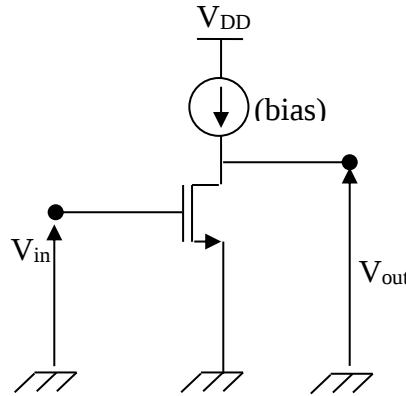


Figure III. 9 Schéma électrique d'un seul amplificateur MOSFET GAA

Les dégradations de fréquence de gain et de coupure d'un amplificateur de MOSFET GAA submicronique profond avec des densités de pièges sont montrées sur la Figure III.10 Le gain initial et la fréquence de coupure, pour le nouveau dispositif sans couche high-k, étaient respectivement d'environ 46,54 et 0,74 GHz. Cependant, le gain et la fréquence de coupure se sont dégradés à environ 39,56 et 0,62 GHz, respectivement, pour $N_f = 10^{13} \text{ cm}^{-2}$.

Le gain et la fréquence de coupure sont donnés par :

$$\text{Gain} = g_m / r_o. \quad (3.56)$$

$$f_T = g_m / 2\pi C_{ox}. \quad (3.57)$$

Avec:

Gain : Le gain.

f_T : la fréquence de coupure.

r_o : représente la conductance de sortie de l'amplificateur, qui est considérée comme constante dans la région de saturation (Fig.2).

A partir de la figure III.10, il a été également observé qu'une amélioration du gain et de la fréquence de coupure peut être obtenue en introduisant la couche high- k dans la conception du dispositif.

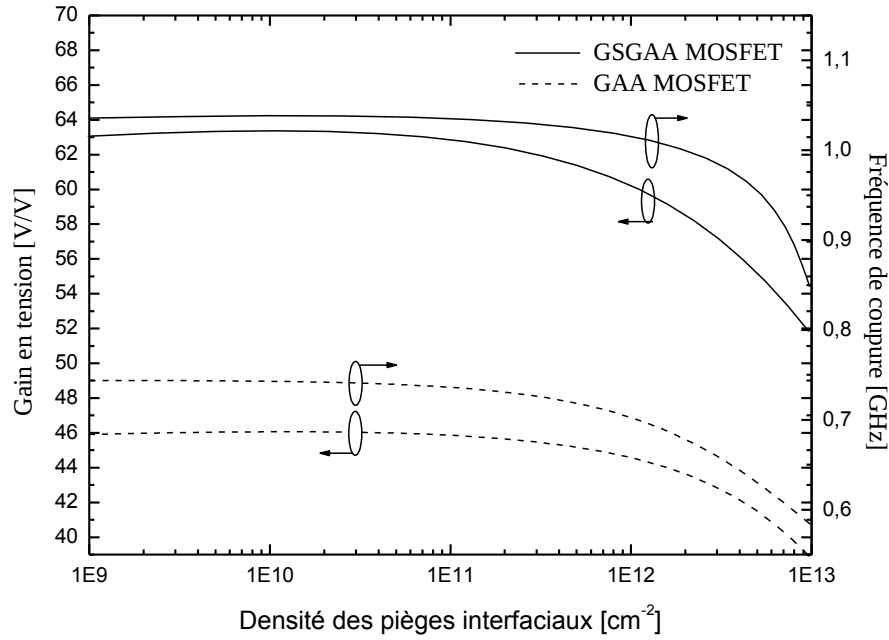


Figure III. 10 Dégradations du gain et de la fréquence de coupure de l'amplificateur MOSFET GAA en fonction des densités de pièges interfaciaux pour $V_{gs} = 3V$, $V_{ds} = 4V$ et $I_{bais} = 1mA$ (en présence des porteurs chauds)[18]

III.4 Conclusion

Un modèle comportemental sous-seuil analytique bidimensionnel comprenant l'effet des porteurs chauds interfacial, un potentiel de canal 2D, un courant sous-seuil et l'inverse de la pente sous-seuil pour le MOSFET GASGAA a été développé. Il a été trouvé que l'incorporation d'une fine couche high-k entre la grille et la couche d'oxyde conduit à une amélioration du comportement sous-seuil et à une immunité aux porteurs chauds tout en

améliorant la contrôlabilité de la grille et fournit ainsi de meilleures performances par rapport aux MOSFET GAA conventionnels.

Des expressions analytiques explicites de la charge d'inversion, du courant de drain, de la transconductance et la fréquence de coupure ont été développées pour tous les modes de fonctionnement du transistor. Ces modèles sont utilisés pour prédire et comparer les performances et l'immunité contre l'effet des porteurs chauds des MOSFET GASGAA et GAA, où la comparaison des architectures montre que le MOSFET GASGAA présente une performance supérieure et une immunité aux porteurs chauds par rapport au MOSFET GAA conventionnelle pour les deux cas (endommagés et libre).

Références

- [1] M.A. Abdi, F. Djeflal, D. Arar, and M.L. Hafiane, “ Numerical analysis of double gate and gate all around MOSFETs with bulk trap states”, J. Mater Sci: Mater Electron, vol. 19, 2008.
- [2] M. Saxena, S. Haldar, M. Gupta, and R.S. Gupta, “Modeling and simulation of asymmetric gate stack , Solid-State Electronics”, vol. 7, no.2131, 2003.
- [3] A. K. Singh, Euro. J. Applied physics, “An analytical study of hot-carrier degradation effects in sub-micron MOS devices”, vol.42 ,no. 87, 2008.
- [4] I. Kurachi, N. Hwang, and L. Forbes, “ Physical Model of Drain Conductance, gd, Degradation of NMOSFET's Due to Interface State Generation by Hot Carrier Injection”, IEEE Trans. Electron Devices, vol. 41,no.6, pp. 964, 1994.
- [5] C. Ho, K. Huang, T. Ming, J. Liou, “An analytical threshold voltage model of NMOSFETs with hot-carrier induced interface charge effect, Microelec Reliability”, vol. 45,pp. 1144, 2005.
- [6] Atlas User's manual, SILVACO TCAD, 2008.
- [7] KK. Young, “Analysis of conduction in fully depleted SOI MOSFETs”, IEEE Trans. Electron Devices, vol. 36, pp.504, 1989.
- [8] A. Tsompatzoglou, C.A. Dimitriadis, R. Clerc, Q. Rafhay, G. Pananakakis, G.Ghibaudo, IEEE Trans Electron Devices, 54(2007)1943.
- [9] J-W. Han, C-J. Kim, Y-K. Choi, IEEE Trans Electron Devices, 55(2008)1472.
- [10] C. P. Auth, J.D. Plummer, “ Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFET's”, IEEE Electron Device Lett, vol. 18, pp. 74, 1997.

- [11] A. Dey, A. Chakravorty, N. Das Gupta, and A. Das Gupta, “ Analytical Model of Subthreshold Current and Slope for Asymmetric 4-T and 3-T Double-Gate MOSFETs”, IEEE Trans Electron Devices, vol. 55, pp.3442, 2008.
- [12] H. A. El-Hamid, J. Roig and B. Iñíguez, “Analytical predictive modeling for the study of the scalability limits of multiple gate MOSFETs, Solid-State Electronics”, vol. 51, pp.414,2007.
- [13] M. A. Abdi, F. Djeflal, Z. Dibi and D. Arar, “ A two-dimensional analytical subthreshold behavior analysis including hot-carrier effect for nanoscale Gate Stack Gate All Around (GASGAA) MOSFETs, Journal of Computational Electronics”, Vol. 10, no.1-2 , pp.179-185,2011.
- [14] Z. Ghoggali, F. Djeflal ,M. A. Abdi, D. Arar, N.Lakhdar and T.Bendib, “An analytical threshold voltage model for nanoscale GAA MOSFETs including effects of hot-carrier induced interface charges”, The 3rd IEEE International Design and Test Workshop IDT08, December 20-22, 2008, Monastir, Tunisia.
- [15] H. A. El-Hamid, J. Roig, and B. Iniguez, “Analytical predictive modelling for the study of the scalability limits of multiple gate MOSFETs”, Solid State Electron, vol. 51, pp. 414, 2007.
- [16] Y. Leblebici and S. M. Kang, “Modeling of nMOS transistors for simulation of hot-carrier induced device and circuit degradation, ” IEEE Trans. Computer-Aided Design, vol.11, pp. 235-246, 1992.
- [17] B. Iñiguez, T. A. Fjeldly, A. Lázaro, F. Danneville, and M. J. Deen, “Compact-Modeling Solutions For Nanoscale Double-Gate and Gate-All-Around MOSFETs”, IEEE Trans On Electron Dev, vol. 53, pp. 2128,2006.
- [18] M. A. Abdi1, F. Djeflal, T. Bentrchia, and D. Arar, “An Explicit Continuous Analytical Model for Gate All Around (GAA) MOSFETs Including the Hot-Carrier Degradation Effects”, Journal of Nanoscience and Nanotechnology Vol. 11, pp. 9316–9320, 2011.

Chapitre IV

IV.1 Introduction

Une nouvelle approche est présentée pour étudier le comportement de charge d'inversion dans l'échelle nanométrique ultra-mince du transistor MOSFET à double grille en utilisant l'approximation de canal graduel (GCA) et la technique d'optimisation par l'algorithme génétique (GA).

Notre approche analytique proposée combine l'optimisation universelle et la capacité d'ajustement des algorithmes génétique et le concept d'optimisation économique de la correction quantique, pour réaliser des modèles compacts précis et simples pour la conception de circuits à l'échelle nanométrique.

Un modèle de courant de drain complet intégrant l'effet de dégradation induit par les transporteurs chaud est développé, la dérivation est réalisée sur la base de certaines hypothèses concernant la tension de seuil et la mobilité. En utilisant le modèle obtenu, nous avons étudié l'utilité d'ajouter une couche haute-k dans la structure du dispositif pour laquelle une amélioration est détectée, la précision et l'efficacité rendent notre modèle analytique de courant-tension pour un MOSFET DG adapté aux programmes de simulation de circuit.

IV.2 Modèle de charge compact pour les MOSFET à double grille ultra-minces nanométriques

IV.2.1 Présentation de la structure MOSFET DG

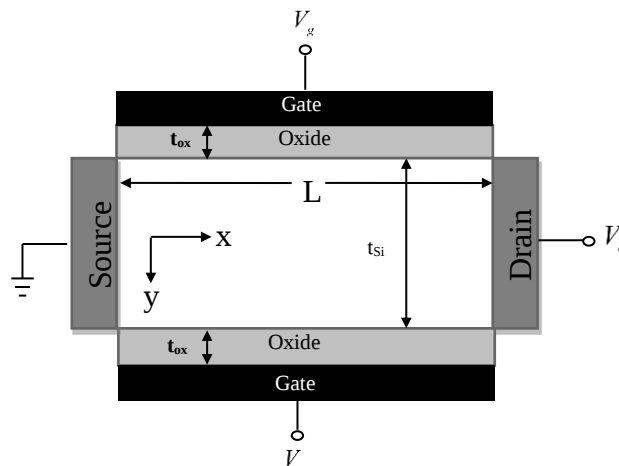


Figure IV. 1 Structure du MOSFETDG [11]

Lorsque la longueur de la grille du MOSFET entre dans le domaine nanométrique, des effets de canaux courts tels que la tension de seuil et l'inverse de la pente sous-seuil deviennent

de plus en plus importants, ce qui limite la capacité de mise à l'échelle du dispositifs MOSFET [1, 2]. Pour surmonter ces limitations et réaliser des transistors de haute performance, un nouveau transistor MOSFET à double grille (DG) (figure IV.1) a été proposé comme candidat potentiel à la conception des circuits à base de CMOS [1, 2]. Ceci est principalement dû au contrôle supérieur des effets de canal court (SCE) en raison de l'influence réduite de la tension de drain sur le comportement de la charge d'inversion du canal. Pour extraire des informations précises sur le profil d'inversion de charge, il est nécessaire de résoudre l'équations couplées Schrödinger-Poisson basées sur le formalisme de Green (NEGF), en supposant que les effets quantiques doivent être pleinement pris en compte [3].

Mais du point de vue de la conception des circuits CMOS à l'échelle nanométrique, le formalisme de green est complexe et nécessite un temps de calcul long de même qu'une grande mémoire de stockage. Cependant, pour les simulations de circuits haute vitesse de calcul est nécessaire si le modèle doit être implémenté dans des simulateurs de circuits (PSPICE, CADENCE, ...). Par conséquent, des modèles analytiques précis sont nécessaires pour étudier et simuler les dispositifs à l'échelle nanométrique.

Dans ce travail, nous présentons des techniques efficaces et systématiques pour la modélisation à l'échelle nanométrique des MOSFETs DG, où des modèles de dispositifs simples et précis peuvent être automatiquement obtenus à partir d'un processus de calcul pour réduire au maximum les efforts humains d'essais et d'erreurs. En outre, les modèles devraient être formulés de manière à être commodément incorporé dans les simulateurs de circuit existants pour la simulation de circuit de haut niveau et conception de rendement. Contrairement aux modèles numériques utilisés pour étudier la structure à l'échelle nanométrique, tels que les modèles numériques 2D, le formalisme de la fonction de green (NEGF), complexe et exigeant un temps de calcul et une grande la mémoire de stockage, l'approche proposée a moins de complexité et moins de temps de simulation.

IV.2.1 Méthodologie de modélisation

Récemment, les techniques d'intelligence artificielle (IA) ont été reconnues comme une approche importante pour la conception assistée par ordinateur des dispositifs à semi-conducteurs afin de relever les défis croissants de la conception de dispositifs de prochaine génération, de circuits et de systèmes nanoélectroniques [3,4]. Les méthodes basées sur l'IA représentent des étapes importantes vers l'automatisation du processus de modélisation du dispositif. Cependant, parce que les algorithmes génétiques doivent apprendre le comportement

du dispositif à partir de bases de données numériques ou expérimentales sans utiliser les modèles physiques de la structure existante tels que : le model de diffusion et de dérive- (DD), et l'approximation hydrodynamique à canal graduel (HGCA), ce qui remet en cause la fiabilité du modèle -IA. En GA, les variables d'un problème sont représentées comme des gènes dans un chromosome, et les chromosomes (population) sont évalués en fonction de leurs valeurs de fitness. Étant donné une population initiale aléatoire, l'AG fonctionne selon des cycles appelés générations. Le problème à être résolu est défini en fonction d'une fonction d'évaluation (fonction de fitness), qui est utilisée pour évaluer les chromosomes. Un chromosome évalué comme ayant une valeur de fitness élevée est susceptible d'être une bonne solution du problème.

La mise en œuvre de l'AG nécessite la détermination de : la fonction de sélection, la représentation des chromosomes, les opérateurs génétiques, l'initialisation et la fonction d'évaluation [5, 6].

Sur la base de l'efficacité prouvée de la fonction de green (NEGF) pour la modélisation des MOSFETs DG à l'échelle nanométrique et la difficulté imposée actuellement par les contraintes de la nanotechnologie (sous-50 nm) pour former une base de données expérimentale [3,4], nous avons utilisé le formalisme NEGF comme modèle précis.

L'approximation du canal progressive (ACG), qui suppose que le potentiel quasi-Fermi reste constant le long de la direction perpendiculaire au canal, est utilisée dans notre étude comme modèle approximatif. Des modèles ont été développés en approches conventionnelles du MOSFET à double grille à canal long, montrant un bon accord avec les simulations numériques 2D. L'inclusion des effets de canal court dans des modèles MOS à portes multiples non dopés, utilisant des équations physiques et sans diminuer l'ordre de continuité des appareils, reste un défi de modélisation.

IV.2.2 Modélisation de la charge d'inversion

La caractéristique principale d'un MOSFET DG est la couche de silicium mince qui est bénéfique mise à l'échelle du périphérique. Les effets quantiques résultent du confinement du mouvement des électrons dans le mince film de silicium contrairement au confinement par le potentiel de surface (ou champ) dans les dispositifs classiques. Pour obtenir les caractéristiques électriques quantiques d'une structure DG MOS, il faut résoudre l'équation de Poisson donnée par :

$$\Delta\phi(x, y) = \frac{qn_i}{\epsilon_{si}} e^{(\phi(x,y)-\phi_F)/V_{th}} \quad (4.1)$$

Avec :

q est la charge d'électrons, n_i est la concentration intrinsèque de silicium, ε_{si} est la permittivité du silicium, V_{th} est la tension thermique, $\phi(x, y)$ représente la distribution du potentiel électrostatique 2-D dans la région de canal, et ϕ_f est le niveau quasi-Fermi référencé au niveau de Fermi dans la source, satisfaisant les conditions aux limites suivantes :

$$\phi_F(0, y) = 0, \quad (4.2a)$$

$$\phi_F(L, y) = V_{ds} \quad (4.2b)$$

Avec :

V_{ds} étant la tension de drain.

ϕ_f peut être approchée par une fonction polynomiale du second ordre, en utilisant [7], comme suit :

$$\phi_F(x) = \frac{V_{ds}}{L^2} x^2 \quad (4.3)$$

Dans notre approche, l'algorithme génétique (AG) génère la distribution optimale et corrigée de ces paramètres, qui sont insérés dans le modèle approximatif (ACG) pour produire des résultats de simulation proches du modèle précis (NEGF). L'algorithme d'approche basé sur AG proposé est donné comme suit :

Etape 1: Résolution du modèle approximatif CG (4.3).

Etape 2: Modèle de charge d'inversion classique (4.5).

Etape 3: Modèle de capacité d'oxyde corrigé (4.6a).

Etape 4: Modèle de tension de seuil corrigé (4.6b et 4.6c).

Etape 5: Modèle de charge d'inversion corrigé (4.6) dans (4.5).

Etape 6: Optimisation du modèle de charge d'inversion corrigée en utilisant le Gas.

Etape 7: Critère d'arrêt (4.4). Si non nous avons la reproduction des opérateurs Gas et retournez à l'étape 3 sinon passez à l'étape 8.

Etape 8: Modèle de charge d'inversion quantique (4.7)

Ces distributions de paramètres électriques ont été utilisés pour la formation et l'optimisation de AG pour générer et optimisé un modèle analytique précis afin d'étudier les MOSFETs DG à l'échelle nanométrique. Dans la présente étude, une erreur quadratique moyenne de chaque paramètre, Par , la $J^{ème}$ génération est prise comme fonction de fitness :

$$f = \frac{1}{M} \sum_{V_{ds}} \sum_{V_{gs}} \sum_{T_{si}} \sum_{T_{ox}} \sum_L \left[\frac{Par_{NUM} - Par_{GA-ANA}}{Par_{NUM}} \right]^2 \quad (4.4)$$

Avec :

f : est la valeur de fitness.

Par_{GA-ANA} : est le paramètre prédit basé sur l'AG et les calculs analytiques.

Par_{NUM} : représente la fonction cible (résultats numériques basés sur la simulation numérique 2D, NEGF,).

M : représente le nombre d'échantillons (taille de la base de données). Il vise à minimiser la fonction fitness, pour chaque paramètre, afin de développer un modèle de courant de drain compact simple et précis pour les DG MOSFETs à l'échelle nanométrique.

Taur dans [8], a introduit un long modèle de canal pour la charge d'inversion du dispositifs DG MOSFET non dopé basés sur une solution analytique à 1-D de l'équation Poisson incorporant uniquement le terme de charge mobile comme suit :

$$Q_i = C_{ox} \left[-2C_{ox} \frac{V_{th}^2}{Q_0} + \sqrt{\left(2C_{ox} \frac{V_{th}^2}{Q_0} \right)^2 + 4V_{th}^2 \ln \left(1 + e^{\frac{V_{gs} - V_{fb} - \phi_F + V_T}{2V_{th}}} \right)} \right] \quad (4.5)$$

Avec :

$C_{ox} = \epsilon_{ox} / t_{ox}$: représente la capacité d'oxyde par unité de surface.

V_{fb} : est la tension de bande plate.

V_T : est la tension de seuil.

Q_0 : est le coefficient de charge donné [8] par :

$$Q_0 = (8V_{th}\epsilon_{si} / t_{si})$$

Pour les films de silicium de moins de 5 nm d'épaisseur, le confinement quantique doit être considéré ; cela conduit à une réduction de la densité de charge du canal et une augmentation de la tension de seuil.

De (4.5), nous pouvons voir qu'un modèle précis de la charge d'inversion dépend principalement de la capacité d'oxyde et de la tension de seuil. Par conséquent, afin de développer un modèle de charge précis, de nouveaux modèles de capacité d'oxyde et de tension de seuil, qui incluent les effets quantiques, devraient être introduits dans (4.5).

La figure IV.2 montre la variation de la capacité d'oxyde quantique, C_{oxq} , en fonction de l'épaisseur du canal. Cette capacité peut être définie comme la combinaison en série de la C_{ox} et la capacité d'inversion par unité de surface, et il est donné par l'expression approximée suivante :

$$C_{oxq} = \frac{C_{ox}}{1 + \xi_1 C_{ox} T_{si}} \quad (4.6a)$$

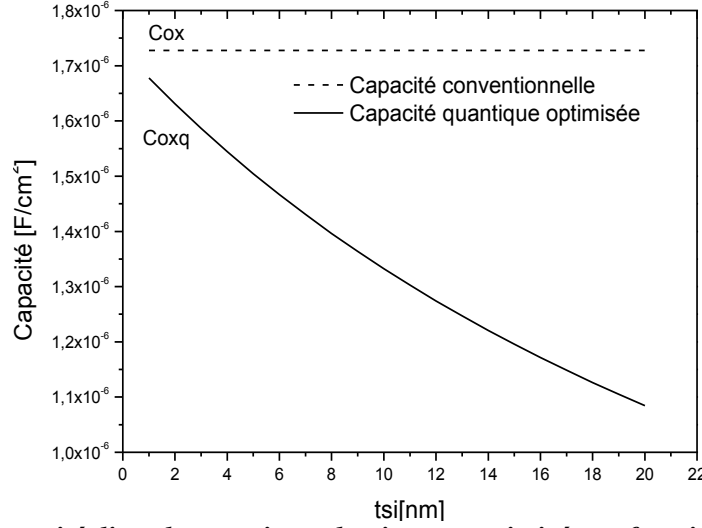


Figure IV. 2 Capacité d'oxyde quantique classique et optimisée en fonction de l'épaisseur du film [11]

La figure IV.3 montre la variation de la tension de seuil quantique, V_{Tq} , en fonction de l'épaisseur du canal. Cette variation peut être donnée comme :

$$V_{Tq} = V_T + \delta V_{Tq} \quad (4.6b)$$

$$\delta V_{Tq} = \frac{\xi_2}{T_{si}^2} \quad (4.6c)$$

Avec :

δV_{Tq} : représente le décalage de tension de seuil dû aux effets quantiques.

ξ_1 et ξ_2 : sont des paramètres d'ajustement.

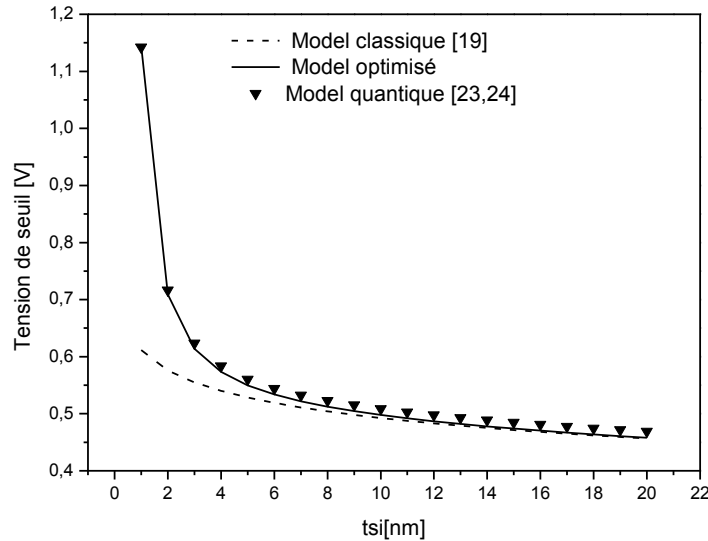


Figure IV. 3 Tension de seuil classique et quantique en fonction de l'épaisseur du film [11]

Maintenant, en remplaçant la capacité d'oxyde quantique, C_{oxq} , (4.6a) et la tension de seuil quantique, V_{Tq} , (4.6b) en (4.5), un nouveau modèle de charge d'inversion peut être donné comme suit :

$$Q_{iq} = C_{oxq} \left[-2C_{oxq} \frac{V_{th}^2}{Q_0} + \sqrt{\left(2C_{oxq} \frac{V_{th}^2}{Q_0} \right)^2 + 4V_{th}^2 \ln \left(1 + e^{\frac{V_{gs} - V_{fb} - \phi_p + V_T + \delta V_{Tq}}{2V_{th}}} \right)} \right] \quad (4.7)$$

Les paramètres d'ajustement (ξ_1 et ξ_2) dans (4.7) peuvent être extraits en utilisant (4.4).

IV.2.3 Résultats et discussion

Dans le but de l'optimisation basée sur l'algorithme génétique de (7), les routines et les programmes pour le calcul de l'AG ont été développés en utilisant MATLAB 6.5 et toutes les simulations sont effectuées sur un ordinateur Pentium IV, 3GHz, 1 Go de RAM. Pour la mise en œuvre de l'AG, la sélection des tournois est utilisée pour sélectionner chaque parent en choisissant des individus au hasard, puis en choisissant la meilleure personne de cet ensemble pour être un parent. Le croisement dispersé crée un vecteur binaire aléatoire. Il sélectionne ensuite les gènes où le vecteur est l'unité du premier parent, et les gènes où le vecteur est nul du second parent, et combine les gènes à former l'enfant. Un processus d'optimisation a été effectué pour une taille de population égale à 20 et le nombre maximum de générations égales à 100, pour lesquelles la stabilisation de la fonction de fitness a été obtenue. Les résultats obtenus de l'approche proposée sont présentés pour le dispositif étudié en deux dimensions. La longueur du transistor est de 20 nm avec 20 points de mailles et son épaisseur est de 5 nm avec 5 points de mailles. Par conséquent, les données de simulation 2D sont des matrices de 20×5 . Les simulations quantiques, calculs auto-cohérents, ont été réalisés en utilisant les simulateurs 2D numériques Silvaco et nonoMOS2.5 [9,10].

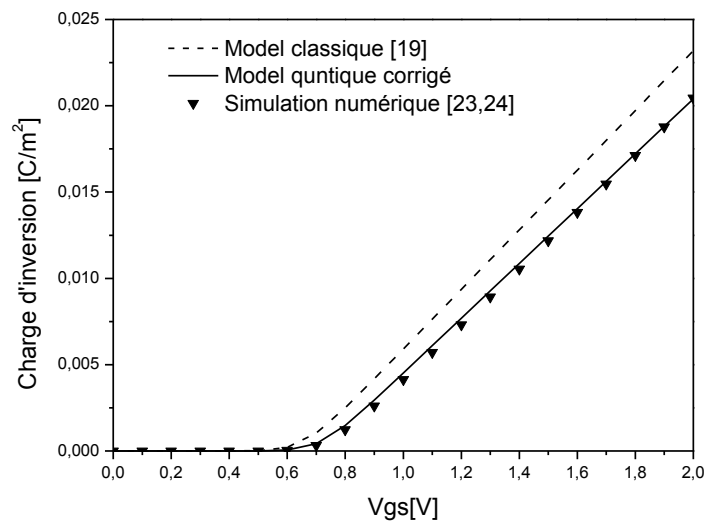


Figure IV. 4 Charge d'inversion quantique classique et corrigée par rapport à la tension grille-source [11]

La figure IV.4 montre la densité de charge d'inversion par rapport à la tension grille-source pour une structure DG MOSFET non dopée à l'échelle nanométrique. L'augmentation et

le décalage de la densité de charge d'inversion due à l'effet QM sont bien prédit par notre modèle, donné en (4.7). Pour la tension de seuil ci-dessous et dans le régime sous-seuil, les densités de charge d'inversion classiques et quantique sont proches les unes des autres. Cependant, pour une tension de grille-source élevée, les électrons sont fortement confinés dans la direction perpendiculaire à l'interface Si-SiO₂ en raison de l'influence croissante de la composante verticale du champ électrique. Dans la figure IV.5, un excellent accord a été trouvé entre notre modèle de charge d'inversion et la simulation numérique auto-cohérente de Poisson-Schrödinger (NEGF).

Dans notre approche, le modèle développé est une expression fermée analytique simple et précise avec 2 paramètres d'ajustement optimisés ($\xi_1 = 1,72 \times 10^{11}$ et $\xi_2 = 5,32 \times 10^{-15}$). Par conséquent, le modèle proposé peut être facilement utilisé par les programmes de simulation de circuits tels que PSPICE pour des prédictions plus précises des caractéristiques de la structure DG MOSFET nanométrique.

IV.3 modélisation analytique de la pente sous-seuil pour étudier les limites d'extensibilité du transistor MOSFET à double grille, en incluant les effets des pièges en volume

IV.3.1 Introduction

Un modèle compact basé sur la physique de la pente sous seuil (S), en incluant les effets des pièges en volume est présenté pour le transistor double-grille symétrique non dopée (ou légèrement dopée) MOSFET (DG) sur la base d'une analyse analytique à deux dimension (2D) de l'équation de Poisson dans laquelle les effets des pièges ont été considéré. En utilisant ce modèle compact, nous avons étudié l'effet des défauts sur les limites d'extensibilité des MOSFETs DG. Nous avons constaté que la capacité de mise à l'échelle de la structure MOSFET DG sera améliorée à mesure que l'épaisseur de silicium du dispositif est réduite. Expressions compactes et explicites d'une longueur d'échelle incluant le volume d'états de piégeage sont dérivés, qui accélère les projections d'évolutivité des DG MOSFET et ses exigences. Les résultats analytiques donner un bon accord avec les simulations numériques confirmant que notre modèle étudié peut fournir une base théorique et des perspectives physiques pour la conception de la DG MOSFET.

Le MOSFET à double grille (DG) est considéré comme l'une des structures les plus prometteuses pour étendre la mise à l'échelle CMOS dans le régime nanométrique. Les avantages préconisés pour les MOSFETs DG comprennent : une pente sous-seuil idéale ; un dopage léger du canal réduisant la dégradation de la mobilité due à l'élimination de la diffusion

des impuretés ;un bon contrôle des effets de canal court dus à une influence réduite de la tension de drain sur la charge du canal ;une pente sous seuil idéal en raison de l'élimination du dopage du substrat ;etc [12-15].L'emploi de cette structure pour les applications numériques peut être plus bénéfiques si le dispositif est fabriqué dans un Silicium recristallisé grâce à l'option d'intégration de processus très flexible [16],[17]. Il y a eu plusieurs rapports sur les nano-MOSFETs fabriqués en silicium recristallisé pour des circuits intégrés numériques de haute densité [16]. Il a également été rapporté qu'un grand nombre de défauts cristallins tels que les dislocations et défauts d'empilement sont observées dans la structure de colonne de silicium cristallisé à la place de joints de grains larges [17]. Cela est dû à la procédure de fabrication unique basée sur un motif de silicium amorphe suivi d'un recuit de recristallisation à faible Température. Par conséquent, il est raisonnable de supposer que le dispositif contient des défauts uniformément répartis [18]. Un des paramètres électriques clé pour les applications numériques qui indique l'impact des effets de canal court sur un MOSFET est la pente sous seuil (S).

Dans ce chapitre, nous étudions les MOSFETs DG à la limite de la miniaturisation compatibles avec le nœud ITRS 45 nm [21] en incluant les effets des pièges en volume. Plus précisément, nous résolvons l'équation de Poisson 2D qui comprend la densité des pièges en volume. En supposant un concept de conduit conducteur efficace [19], le modèle compact explique la dépendance de la pente sous-seuil (S) selon l'épaisseur du silicium, l'épaisseur d'oxyde et la longueur du canal pour divers densités d'état de pièges. Nous utilisons notre modèle pour étudier la capacité de mise à l'échelle du MOSFET DG afin d'avoir une valeur souhaitable de la pente sous seuil (S) et un courant conducteur élevé.

IV.3.2 Présentation de la structure du MOSFET DG

La Figure IV.5a montre la section transversale de la structure MOSFET DG symétrique considéré dans ce travail. Afin d'illustrer le comportement du modèle compact, nous avons supposé que la source et le drain sont fortement dopés n^+ ($\cong 10^{20} \text{ cm}^{-3}$), le canal est pratiquement non-dopé ($\cong 10^{16} \text{ cm}^{-3}$), la structure est homogène le long de la direction z . Par conséquent, nous obtenons une invariance des paramètres électriques dans la direction z (conditions limites infinies), de sorte que le problème est étudié dans un domaine - (x, y) [14], [19]. Tous les calculs ont été effectués à température ambiante. Le diagramme de bande d'énergie utilisé dans le l'analyse est montrée sur la FigureIV.5b, où les zones ombrées dans le diagramme de bande représente deux types de densité de pièges, le diagramme de charge de piège variable en fonction du potentiel du canal (zone sombre), et la charge de piège fixe

déterminée par des pièges en volume uniformes (région gris). Sous la tension faible de drain source (domaine sous-seuil), les porteurs mobiles libres peuvent être négligés [19], [20].

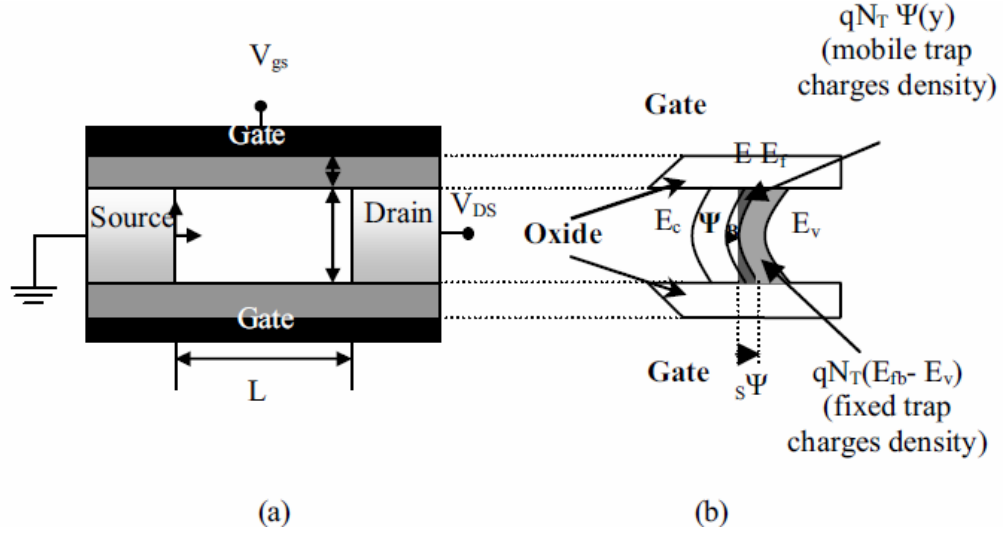


Figure IV. 5 DG MOSFET a considéré dans ce travail : (a) la section transversale (b) diagramme de bande d'énergie utilisé dans cette étude [25]

IV.3.3 Modélisation de la distribution du potentielle en deux dimensions

Le potentiel électrostatique du canal $\psi(x,y)$ est régi par l'équation de Poisson en incluant la densité des états de piège :

$$\frac{\partial^2 \psi}{\partial x^2} + \frac{\partial^2 \psi}{\partial y^2} = \frac{q(N_{A,eff} + N_T \Psi_{1D})}{\epsilon_{Si}} \quad (4.8)$$

Avec :

$\psi(x,y)$: le potentiel électrostatique référencé au niveau de Fermi.

ϵ_{Si} : représente la permittivité du silicium.

N_A : est le dopage du canal.

N_T : est la densité des états des pièges.

q : représente la charge électronique.

Les conditions aux limites pour le potentiel ψ doivent satisfaire la continuité du potentiel et la continuité de la composante normale du vecteur de déplacement électrique aux interfaces Si/SiO_2 , et la continuité du potentiel sur les côtés source / drain.

$$\epsilon_{ox} \frac{V_{F,eff} - \psi(x,t_0)}{t_{ox}} = \epsilon_{si} \frac{\partial \psi(x,y)}{\partial y} \Big|_{y=t_0} \quad (4.9a)$$

$$\varepsilon_{ox} \frac{V_{B,eff} - \psi(x, -t_0)}{t_{ox}} = \varepsilon_{si} \frac{\partial \psi(x, y)}{\partial y} \Big|_{y=-t_0} \quad (4.9b)$$

$$\psi(0, y) = V_{bi} \quad (4.9c)$$

$$\psi(L, y) = V_{bi} + V_{DS} \quad (4.9d)$$

Avec :

V_{bi} : La tension de jonction : Source / Canal ou Drain / Canal.

$$V_{bi} = \frac{K \cdot T}{q} \cdot \ln \left(\frac{N_{D/S}}{n_i} \right) \quad (4.9e)$$

ε_{ox} : la permittivité d'oxyde.

t_{ox} : l'épaisseur de la couche d'oxyde effective.

$t_{si} = 2t_0$: épaisseurs de canal.

$N_{D/S}$: la concentration du dopage de la source et du drain.

n_i : est la densité de silicium intrinsèque.

V_{DS} : la tension drain-source.

$V_{F,eff}$ et $V_{B,eff}$ appelées tentions de grilles efficaces (F : Front, B : Bottom). Elles sont

introduites pour simplifier les notations, telles que :

$$V_{eff} = V_{F,eff} = V_{B,eff} = V_{gs} - \phi_{MS} \quad (4.10)$$

Où :

V_{gs} : la tension grille-source.

ϕ_{MS} : est le travail de sortie de la grille référencé au silicium intrinsèque

Pour la structure symétrique, le champ électrique dans la direction verticale (y) est symétrique par rapport à $y = 0$.

La détermination du potentiel ψ nécessite la résolution de l'équation (4.8). Ainsi, c'est un problème bidimensionnel du second ordre défini à l'intérieur du canal par les équations (4.8) et les conditions aux limites au Si / SiO₂ interfaces (condition de Cauchy) et la continuité du potentiel au côtés source / drain (condition de Dirichlet). Comme supposé dans [18], pour l'analyse des MOSFET poly-Si classiques, nous supposons que les états de pièges neutres sont uniformément répartis dans la bande interdite du silicium (figure IV. 1b). Par conséquent, la densité de charge de piège en volume n_T est exprimé comme suit :

$$n_T = - \int_{E_v}^{E_c} N_T f(E) dE \quad (4.11)$$

Avec :

$f(E)$: est la fonction d'occupation de Fermi-Dirac.

N_T : est la densité d'état du piège (supposée être un type d'accepteur).

En supposant que les pièges sont entièrement occupés en dessous du niveau de Fermi E_f et entièrement vide au-dessus du niveau de Fermi [18], [22], (4.11) devient :

$$n_T = N_T(E_{fb} - E_v).$$

Cette densité de charge de piège peut être divisé en deux termes :

$$n_T = N_T(E_{fb} - E_v) - qN_T\Psi(y) \quad (4.12)$$

Avec :

E_{fb} : représente le niveau de Fermi à l'état de bande plate.

$\Psi(y)$: est le potentiel électrique le long de l'épaisseur du canal.

Le deuxième terme dans l'équation (4.12) est la densité de charge de piège proportionnelle au potentiel du dispositif et le premier terme représente la densité de charge uniforme due aux pièges en vrac. Ces deux composantes peuvent être représentés par les zones du diagramme de bande de la Figure (IV. 1b), où la charge du piège variable dépend du potentiel de canal (zone sombre) et la charge du piège fixe déterminée par des pièges en volume uniformes (zone grise). La charge de pièges uniforme peut être considérée en l'incorporant dans la concentration de dopage et au niveau de Fermi en vrac correspondant [18]. Ce dernier est obtenu à partir de l'équation de neutralité de charge comme suit :

$$N_V e^{(\frac{E_{fb}-E_v}{KT})} = N_a^{in} + N_T(E_{fb} - E_v) \quad (4.13)$$

Avec :

N_a^{in} : est la concentration de dopage canal initial $N_a^{in} = N_A$.

N_V : est la densité d'états dans la bande de valence.

La concentration de dopage efficace $N_{A,eff}$, peut être obtenu à partir de : $N_{A,eff} = n_i \ln(q^{\psi_B} / KT)$, ou ψ_B représente le potentiel de Fermi en vrac (figure IV.1b).

La modélisation de la pente sous-seuil commence par le calcul de la distribution de potentiel 2D dans le dispositif. Dans ce but plusieurs méthodes ont été proposées, la plus complète étant l'analyse de la méthode de superposition, où le potentiel est divisé en deux parties différentes [9] :

$$\psi(x, y) = \psi_{1D}(y) + \psi_{2D}(x, y) \quad (4.14)$$

$\psi_{1D}(y)$ est la solution de l'équation de Poisson à 1D :

$$\frac{d \psi_{1D}}{dy} = \frac{q(N_{A,eff} + N_T \psi_{1D})}{\epsilon_{Si}} \quad (4.15)$$

Les conditions aux limites de la composante verticale, $\psi_{1D}(y)$ est :

$$\left. \frac{d\psi_{1D}}{dy} \right|_{y=0} = 0 \quad (4.16a)$$

$$\varepsilon_{ox} \frac{V_{eff} - \psi_{1-Surface}}{t_{ox}} = \varepsilon_{si} \left. \frac{\partial \psi_{1D}}{\partial y} \right|_{Surface} \quad (4.16b)$$

$\psi_{1-Surface}$: est la valeur du potentiel à la surface ($y \pm t_0$).

La solution 1-D $\psi_{1D}(y)$ peut être exprimé comme suit :

$$\psi_{1D}(y) = \frac{1}{2} \left(\psi_0 + \frac{N_{A,eff}}{N_T} \right) \left(\cosh \left(\sqrt{\frac{qN_T}{\varepsilon_{si}}} y \right) \right) - \frac{N_{A,eff}}{N_T} \quad (4.17)$$

Avec :

ψ_0 : représente le potentiel au centre du film de silicium ($y=0$), à résoudre plus tard en fonction de V_{gs} .

Le potentiel de surface $\psi_{1-Surface}$ est alors donné par :

$$\psi_{1-Surface} = \frac{1}{2} \left(\psi_0 + \frac{N_{A,eff}}{N_T} \right) \left(\cosh \left(\sqrt{\frac{qN_T}{\varepsilon_{si}}} t_0 \right) \right) - \frac{N_{A,eff}}{N_T} \quad (4.18)$$

$\psi_{1-Surface}$ est également liée à V_{gs} et t_{ox} a travers les condition limites aux interfaces S_i / S_iO_2 (4.16b). Pour des valeurs de V_{gs} , l'équations (4.18) et (4.16b) sont des équations couplées qui peuvent être résolues pour $\psi_{1-Surface}$ et ψ_0 .

$\psi_{2D}(x, y)$ est la solution de l'équation de Poisson résiduel 2-D:

$$\frac{\partial^2 \psi_{2D}}{\partial x^2} + \frac{\partial^2 \psi_{2D}}{\partial y^2} - \frac{qN_T}{\varepsilon_{si}} \psi_{2D} = 0 \quad (4.19)$$

En utilisant (4.14), les conditions aux limites de $\psi_{2D}(x, y)$ peut-être écrit comme :

$$\psi_{2D}(0, y) = V_{bi} - \psi_{1D}(y) \quad (4.20a)$$

$$\psi_{2D}(L, y) = V_{bi} - V_{DS} - \psi_{1D}(y) \quad (4.20b)$$

$$\varepsilon_{ox} \frac{\psi_{2D}(x, \pm t_0)}{t_{ox}} = \varepsilon_{si} \left. \frac{\partial \psi_{2D}(x, y)}{\partial y} \right|_{y=\pm t_0} \quad (4.20c)$$

En utilisant la méthode de séparation de variables avec $\psi_{2D}(x, y) = G(y).H(x)$, la solution de (4.18) avec les conditions aux limites (4.20) est comme suit :

$$\psi_{2D}(x, y) = \cos(\lambda_1 \cdot y_n) \cdot \left[C_0 \cdot e^{\lambda_2 \frac{x-L}{t_0}} + C_1 \cdot e^{\lambda_2 \frac{x-L}{t_0}} \right] \quad (4.21)$$

Où $y_n = y/t_0$, C_0 et C_1 sont des coefficients qui dépendent de paramètres électriques et géométriques du dispositif donné comme suit:

$$C_0 = S_1 \left[V_{DS} + V_{bi} (1 - e^{-\lambda_2 \frac{L}{t_0}}) \right] - S_2 \cdot \psi_{1-Surface} \quad (4.22a)$$

$$C_1 = S_1 \left[V_{bi} (1 - e^{-\lambda_2 \frac{L}{t_0}}) - V_{DS} \cdot e^{-\lambda_2 \frac{L}{t_0}} \right] - S_2 \cdot \psi_{1-Surface} \quad (4.22b)$$

$$S_1 = \frac{4 \cdot \sin(\lambda_1)}{[2\lambda_1 + \sin(2\lambda_1)] \left[1 - e^{-\lambda_2 \frac{L}{t_0}} \right]} \quad (4.22c)$$

$$S_2 = \frac{4\lambda_1 \cdot \sin(\lambda_1 / 2) \cdot \left[1 - e^{-\lambda_2 \frac{L}{t_0}} \right]}{[2\lambda_1 + \sin(2\lambda_1)] \left[1 - e^{-\lambda_2 \frac{L}{t_0}} \right]} \quad (4.22d)$$

Avec:

$$r = \frac{\varepsilon_{ox} \cdot t_0}{\varepsilon_{Si} \cdot t_{ox}}, \quad \lambda_1 \tan(\lambda_1) = r \text{ et } \lambda_2 = \sqrt{\lambda_1^2 + \frac{qN_T}{\varepsilon_{Si}} t_0^2}.$$

Un bon accord a été obtenu entre le modèle que nous avons présenté et les résultats de la simulation numérique 2D, utilisant un simulateur numérique domestique, pour une tension de drain-source de faibles valeurs [19], [23], comme le montre la Figure IV.6. Pour un canal long, le potentiel électrostatique du dispositif suit la composante du potentiel à $\psi_{1D}(y)$ pour différentes densités d'états de pièges N_T comme le montré la Figure IV.6a, alors que comme nous avons réduit la longueur de du dispositif, le potentiel électrostatique suit les distributions du potentiel $\psi_{2D}(x, y)$ pour différentes densités d'états de pièges comme indiqué sur la Figure IV.6b.

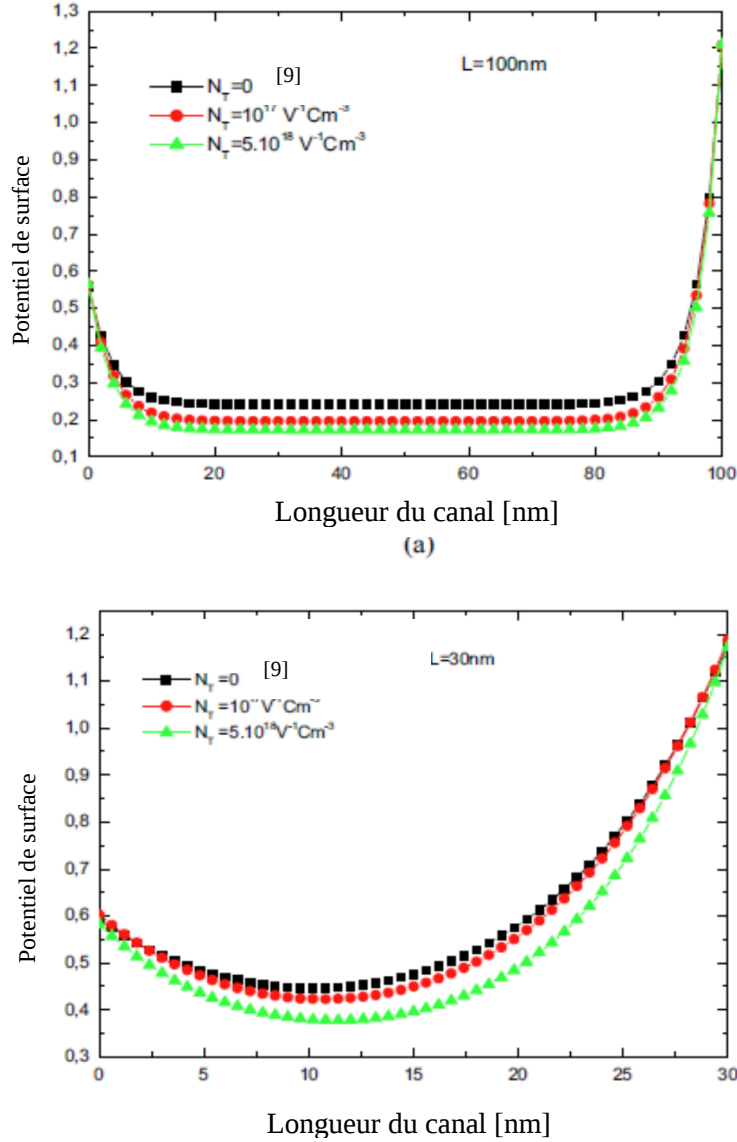


Figure IV. 6 La répartition du potentiel de surface le long du canal, pour a) $L = 100 \text{ nm}$, b) $L = 30 \text{ nm}$, pour $V_{DS} = 0,6 \text{ V}$, $V_{gs} = 0,1 \text{ V}$, $t_{si} = 5 \text{ nm}$ et $t_{ox} = 1,5 \text{ nm}$ [25]

IV.3.4 La pente sous seuil

La pente sous seuil est défini comme le changement de tension de grille nécessaire pour un changement d'ordre de grandeur du courant de drain sous-seuil, s'exprime comme suit :

$$S = \frac{\partial V_{gs}}{\partial \log I_D} \quad (4.23)$$

En supposant que le courant de drain (I_D) est proportionnel à la quantité totale de porteurs libres à la cathode virtuelle, où le potentiel du canal atteint son minimum $\psi_{\min}(y)$. Par

conséquent, la clé du développement d'un modèle de (S) est de découvrir le potentiel du canal minimum et sa dépendance aux tensions de grille et les densités des états de pièges.

Le potentiel minimum peut être calculé à partir du potentiel total comme suit :

$$\psi_{\min}(x, y) = \psi_{1D}(y) + \psi_{2D}(x, y) \Big|_{\min} \quad (4.24)$$

$\psi_{2D}(x, y) \Big|_{\min}$: est le potentiel minimum le long de la direction longitudinale, et peut être obtenue à partir de :

$$\psi_{2D}(x, y) \Big|_{\min} = \psi_{2D}(x_{\min}, y) \quad (4.25)$$

Où : $x_{\min}$ est la valeur de position minimale et peut être exprimé comme suit :

$$\left. \frac{d\psi_{2D}(x, y)}{dx} \right|_{x_{\min}} = 0 \quad (4.26a)$$

Nous avons trouvé que :

$$x_{\min} = \frac{L}{2} - \frac{t_0}{2\lambda_2} \cdot \ln\left(\frac{C_1}{C_0}\right) \quad (4.26b)$$

La pente sous-seuil qui comprend les effets de défauts, S_T , peut être exprimé comme :

$$S_T = \left[\frac{\int_0^{t_0} \exp(\psi_m / V_{th}) \left(\frac{\partial \psi_m}{\partial V_{gs}} \right) dy}{\int_0^{t_0} \exp(\psi_m / V_{th}) dy} \right]^{-1} V_{th} \ln(10) \quad (4.27)$$

Avec :

$V_{th} = KT / q$ représente la tension thermique, K est la constante de Boltzmann et T est la température. Le dernier intégrale peut être approchée par sa valeur à $0.5t_0$ [19], [20]. Donc, un modèle général compact de S_T est obtenu :

$$S_T = \left[\frac{\partial \psi_m}{\partial V_{gs}} \right]_{y=t_0/2}^{-1} \cdot V_{th} \ln(10) \quad (4.28)$$

$$S_T = \left[\frac{\cosh(\alpha \cdot t_0) \cdot \left[1 + \frac{\epsilon_{Si} \cdot t_{ox} \cdot \alpha}{\epsilon_{ox}} \cdot \tanh(\alpha \cdot t_0) \right]}{\cosh(\alpha \cdot t_0) - S_2 \cdot \cos(\lambda_1 / 2) \cdot \cosh(\alpha \cdot t_0) \cdot \left[e^{\frac{\lambda_2 (x_{\min} - L)}{t_0}} + e^{-\frac{\lambda_2 x_{\min}}{t_0}} \right]} \right] \cdot V_{th} \ln(10)$$

Ou $\alpha = \sqrt{\frac{qN_T}{\epsilon_{Si}}}$ est un nouveau paramètre peut être défini comme coefficient de défauts donné

en $[\text{cm}^{-1}]$ qui dépend des densités pièges. Par conséquent, une forme fermée pour la pente sous-

seuil qui comprend les effets des défauts a été introduit dans l'expression (4.28) pour étudier la capacité d'échelle de la structure MOSFET DG en fonction des paramètres du dispositif (longueur du canal, épaisseur, dopage, ...) et les densités de défauts.

IV.3.5 résultats et discussion

Récemment le modèle S_T compact est comparé à des simulations numériques 2D ainsi qu'à des modèles S précédents sur les figures (IV.6 et IV.7) pour une tension de source drain faible avec différentes densités d'états de pièges. La pente sous-seuil d'un canal long MOSFET DG entièrement dépeuplé sans pièges à une valeur idéale ($S = 60\text{mV} / \text{déc}$). Pour avoir une performance acceptable, la pente sous-seuil doit être proche de la valeur idéale. La Figure (IV.7) trace la pente sous seuil en fonction de la longueur du canal calculée à partir de notre modèle compact. On peut voir que la pente sous-seuil augmente rapidement lorsque les longueurs de canaux diminuent, la valeur idéale de la pente sous-seuil ($S = 60\text{mV} / \text{dec}$) est atteint pour $L > 100\text{nm}$ avec $N_T = 0$ (sans pièges). En pleine condition de déplétion avec $N_T = 0$, la charge totale est constituée d'un accepteur ionisé et ne change pas avec le potentiel. Par conséquent, la capacité de déplétion devient zéro résultant en $S_T = 60\text{mV} / \text{dec}$ de notre modèle compact. Dans le cas d'un dispositif avec des pièges, le terme $(N_A + N_T \psi_{1D})$ est augmenté ce qui change la barrière de potentiel (Figure IV.6) résultant en une augmentation de la capacité de déplétion. On remarque que la pente sous-seuil n'atteint pas sa valeur idéale lorsque $N_T \neq 0$ contrairement au dispositif sans pièges (Figure IV.7). Pour les valeurs élevées de la densité des états des pièges ($N_T > 10^{18} \text{ V}^{-1} \text{ Cm}^{-3}$) la pente sous-seuil devient plus sensible à N_T lorsque la longueur du canal est inférieure à 40 nm, dans ce cas, notre MOSFET DG est fortement dégradé. Ainsi, le dispositif ne peut pas être utilisé comme un interrupteur pour les applications numériques. À déplétion complète, la pente sous-seuil continue de diminuer avec l'épaisseur décroissante du canal (t_{si}). Le nombre de charges de pièges est proportionnel à l'épaisseur du canal, ce qui entraîne la baisse de la pente sous-seuil avec l'épaisseur de silicium comme il est montré sur la Figure IV.8.

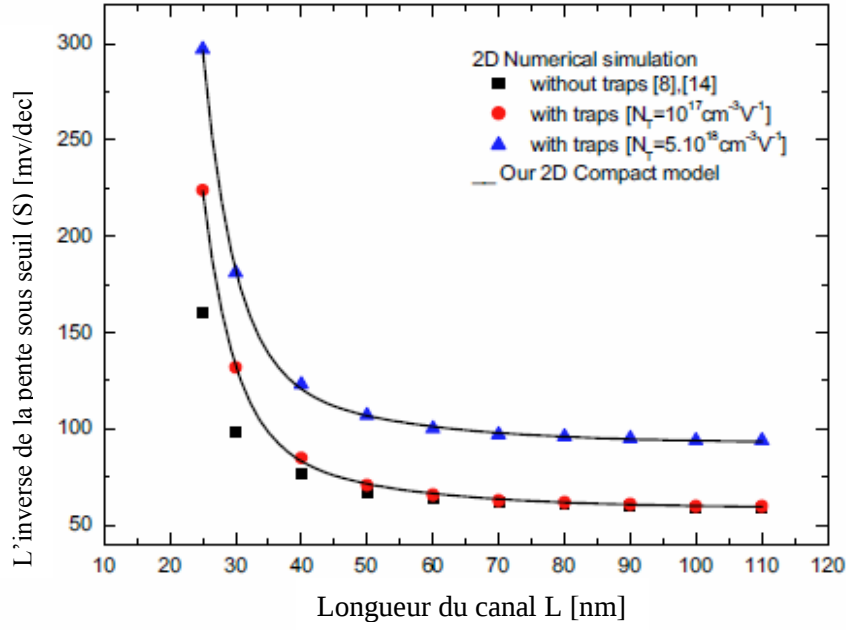


Figure IV. 7 La pente sous seuil en fonction de la longueur du canal, pour différentes densités d'états de défauts ($t_{si} = 20$ nm, $t_{ox} = 1,5$ nm et $V_{DS} = 0,8$ V)[25].

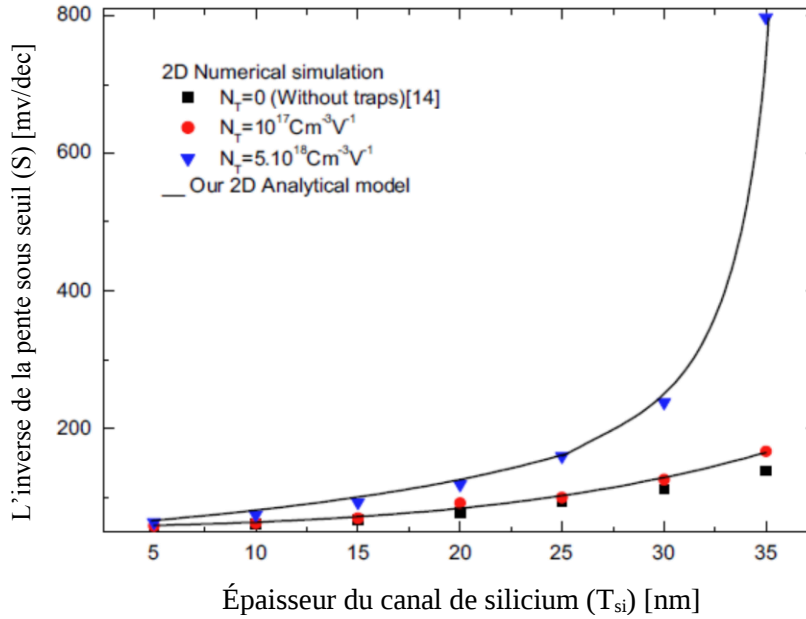


Figure IV. 8 La pente sous seuil en fonction de l'épaisseur de silicium, pour différentes densités d'état de pièges ($L = 40$ nm, $t_{ox} = 1,5$ nm et $V_{DS} = 0,4$ V) [25].

Comme dans les études d'échelle précédentes, [19], [20], [24], les expressions sont souhaitées pour la longueur d'échelle. Donc, une nouvelle longueur d'échelle qui comprend les effets de défauts (λ_T) peut être défini comme suit :

$$\lambda_T = t_0 / \lambda_2 = 1 / \sqrt{\left(\frac{\lambda_1}{t_0}\right)^2 + \alpha^2} \quad (4.29)$$

Étant une solution à une équation transcendante (4.22), λ_1 en général ne peut pas être trouvé explicitement. Cependant, une expression approximative est possible comme :

$$\lambda_1 = 0.15 + \frac{1 + \pi/2}{2 \cdot (0.91 + 1/r)} = 0.15 + \frac{(1 + \pi/2) \cdot \epsilon_{ox} \cdot t_{si}}{1.82 \cdot \epsilon_{ox} \cdot t_{si} + 2 \epsilon_{si} \cdot t_{ox}} \quad (4.30)$$

Pour les nanodispositifs, concevoir une gamme pratique de valeurs r à partir de 1.1 à 11.1 (elle correspond, par exemple, à t_{si} de 5nm à 50nm pour $t_{ox} = 1.5$ nm) a été considéré afin d'étudier l'effet des défauts sur la capacité d'échelle des MOSFETs DG.

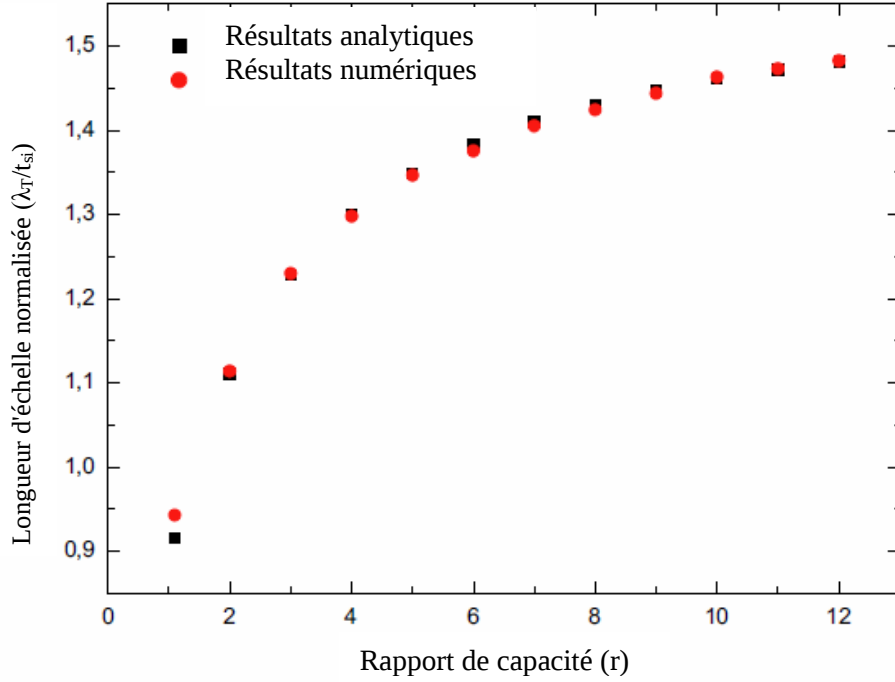


Figure IV. 9 Comparaison de l'expression approximative de (λ_T / t_{si}) avec la solution numérique [25].

La Figure IV.9 trace la comparaison entre les valeurs des solutions exactes (numériques) et analytiques de λ_T / t_{si} en fonction du rapport de capacité (r), où un bon accord a été obtenu. En utilisant (4.29) et (4.30), le modèle compact S_T peut être transformé en :

$$S_T = \left[\frac{\cosh(\alpha \cdot t_0) \cdot \left[1 + \frac{\epsilon_{si} \cdot t_{ox} \cdot \alpha}{\epsilon_{ox}} \cdot \tanh(\alpha \cdot t_0) \right]}{\cosh(\alpha \cdot \frac{t_0}{2}) - S_2 \cdot \cos(\lambda_1 / 2) \cdot \cosh(\alpha \cdot t_0) \cdot \left[e^{\frac{\lambda_2 (x_{min} - L)}{\lambda_T}} + e^{-\frac{\lambda_2 x_{min}}{\lambda_T}} \right]} \right] \cdot V_{th} \ln(10) \quad (4.31)$$

Les résultats prévus de notre modèle compact sont utilisés pour former une abaque graphique pour étudier la capacité d'échelle du MOSFET DG symétrique incluant les effets de

défauts tels qu'ils sont illustrés à la Figure IV. 10, où la longueur minimale du canal par rapport à t_{si} est projeté pour $S = 100\text{mV} / \text{dec}$ et $S = 70\text{mV} / \text{dec}$ (t_{ox} est supposé être 1.5nm). Clairement, un MOSFET DG symétrique de 12nm avec une densité de pièges $N_T = 5.10^{17} \text{ V}^{-1} \text{ Cm}^{-3}$ sont susceptibles de trouver leurs premières applications en place où $S_T = 100\text{mV} / \text{dec}$ est tolérable. En outre, l'effet de canal court, y compris l'effet des défauts s'améliore car l'épaisseur de silicium est étroite en raison d'un couplage plus élevé de grille au canal par rapport au couplage source /drain au canal. Cela rend le MOSFET DG (avec des densités de pièges inférieures à $10^{18} \text{ V}^{-1} \text{ Cm}^{-3}$, une architecture du dispositif intéressante pour les applications numériques.

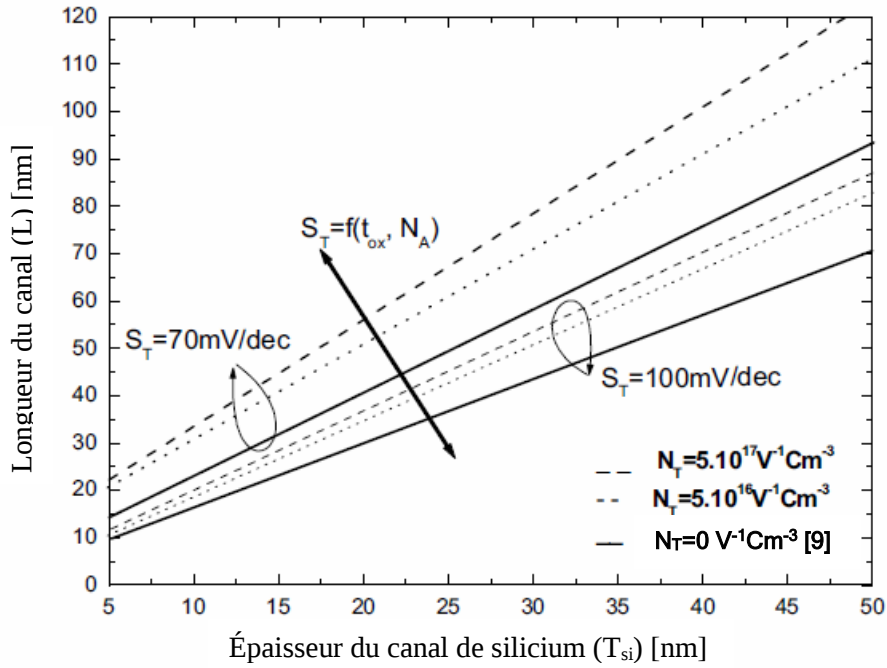


Figure IV. 10 Abaque graphique proposé pour étudier la capacité d'échelle du MOSFET DG en fonction de la densité des états des pièges (t_{ox} est supposé égal à $1,5 \text{ nm}$ et $N_A = 10^{16} \text{ cm}^{-3}$) [25].

IV.4 Modèle de courant de drain pour MOSFET Gate Stack Double Gate (GSDG) non dopé en incluant l'effet de dégradation des porteurs chauds

IV.4.1 Introduction

Un autre facteur important affectant les caractéristiques du DG MOSFET réside dans le fait que la dégradation induite par les transporteurs chaud devient encore plus critique dans les puces à échelle réduite en raison de la non mise à l'échelle de la tension d'alimentation [26]. Ce type de dégradation est fondamentalement lié à l'injection d'électrons de haute énergie dans la région d'oxyde de grille près du drain où le dommage est exprimé par une génération de pièges d'interface conduisant à la dégradation de la performance du dispositif dans le temps. Par

conséquent, des modèles précis pour les paramètres principaux sont requis d'urgence, de sorte que de futurs circuits intégrés utilisant ces dispositifs puissent être facilement conçus [27].

Notre objectif est de développer un modèle de courant de fuite DG MOSFET endommagé par les transporteurs chaud et d'étudier son influence sur la modélisation et la conception des circuits.

IV.4.2 Présentation de la structure du MOSFET GSDG

Figure IV.11 montre la vue en coupe schématique d'une structure DG symétrique considérée dans cette étude. Pour calculer le courant de drain endommagé par les transporteurs chaud, nous supposons que la distribution spatiale de la densité de charge de piégeage d'oxyde négatif induite par les transporteurs chaud $Q_f (\cong 10^{11} \text{cm}^{-3})$ avec une longueur de $(L_d = L - L_1)$, où L représente la longueur du canal et L_1 est la longueur de la région fraîche. N_A et $N_{D/S}$ sont le niveau de dopage des régions canal ($\cong 10^{15} \text{cm}^{-3}$) et drain / source ($\cong 10^{20} \text{cm}^{-3}$), respectivement.

L'épaisseur et la permittivité du canal de silicium de la structure DG MOSFET sont notées t_{si} et ϵ_{si} respectivement.

L'épaisseur efficace de la couche d'oxyde de la couche d'isolant t_{oxeff} est calculée en combinant l'épaisseur de la couche de SiO_2 avec la permittivité ϵ_1 et l'épaisseur de la couche high-k t_2 ayant la permittivité ϵ_2 comme suit :

$$t_{oxeff} = t_1 + (\epsilon_1 / \epsilon_2) t_2 \quad (4.32)$$

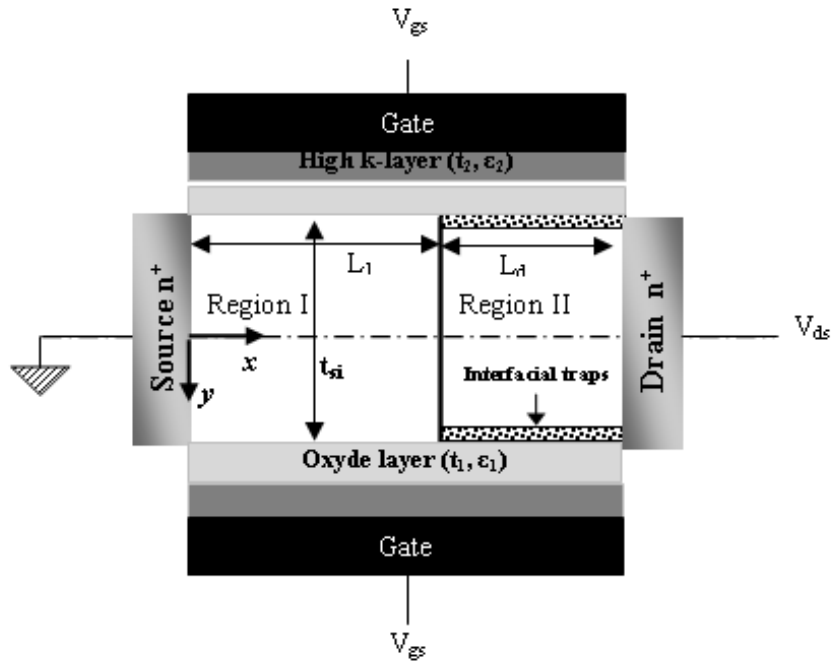


Figure IV. 11 DG MOSFET considéré dans ce travail, où la région II est la région avec des charges d'interface induites par un transporteur chaud.

IV.4.3 Méthodologie de modélisation

La présence d'une charge d'interface d'oxyde induite par un transporteur chaud a deux circonstances importantes de base [28], d'abord une augmentation de la tension de seuil du dispositif, puis une modification de la mobilité des électrons. Le dispositif considéré peut-être perçu comme deux sous-dispositifs connectés en série et chacun ayant ses propres caractéristiques.

De manière similaire à [29], nous pouvons définir une expression de seuil pour les régions fraîches et endommagées considérées comme sous-régions. Sur la base de certains résultats donnés dans [2], nous déduisons la formule détaillée suivante :

$$V_{th}(x) = \begin{cases} \phi_{MS} - \frac{Q_{ox}}{C_{ox}} + 2\phi_B + \frac{qN_A\lambda^2}{\epsilon_{Si}} & 0 \leq x \leq L_1 \\ \phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_f}{C_{ox}} + 2\phi_B + \frac{qN_A\lambda^2}{\epsilon_{Si}} & L_1 \leq x \leq L \end{cases} \quad (4.33)$$

ϕ_{MS} est la fonction de travail de grille, Q_{ox} la densité de charge d'interface d'oxyde positif fixe, $\phi_B = (kT/q)\ln(N_A/n_i)$ est le potentiel en vrac (bulk) global de silicium avec n_i la densité de silicium intrinsèque et C_{ox} indique la capacité de l'oxyde de grille.

Un paramètre structurel pour le MOSFET DG est introduit et défini comme suit :

$$\lambda = \sqrt{\frac{t_1 t_{si} \epsilon_{si}}{2\epsilon_1}} \quad (4.34)$$

La loi d'augmentation de la tension de seuil indique une sensibilité moindre pour la structure altérée, donc la tension de seuil de l'ensemble du dispositif peut être identifiée à celle de la région endommagée.

Comme proposé dans [30], nous adoptons la règle de Mathiessen pour exprimer la réduction de la mobilité des électrons de canal près du côté du drain à cause des pièges d'interface :

$$\frac{1}{\mu(x)} = \frac{1}{\mu_0} + \frac{1}{\mu_{ox}} \quad (4.35)$$

où la mobilité des électrons causée par la diffusion de charge est donnée par:

$$\mu_{ox} = 1000 \left(\frac{3 \times 10^{11} T}{80 N_f} \right) \quad (4.36)$$

Lorsque le DG MOSFET est dans une région linéaire en supposant que la charge nette dans les pièges d'interface est des charges fixes négatives pour le dispositif fonctionnant en forte inversion, alors la charge d'inversion en un point x dans le canal est définie par :

$$Q_n(x) = -2C_{ox}(V_{gs} - V_{th}(x) - V(x)) \quad (4.37)$$

Le courant de drain est principalement donné par la tendance de la dérive et peut être exprimé comme :

$$I_{ds} = 2C_{ox}W\mu(x)(V_{gs} - V_{th}(x) - V(x))\frac{dV(x)}{dx} \quad (4.38)$$

Où W est la largeur du dispositif, V (x) désigne le potentiel du canal, dV(x)/dx désigne le champ électrique du canal.

La solution de cette équation peut être trouvée dans deux zones de canal adjacentes, en intégrant les deux côtés (4.38) depuis la source jusqu'à la limite de la zone endommagée L1, alors à partir de la limite au drain, les expressions valides de courant de drain dans ces régions sont effectuées comme suit :

$$I_{ds} = \frac{2C_{ox}W\mu_0}{L_1} \left[(V_{gs} - V_{th1})V_p - \frac{V_p^2}{2} \right] \quad (4.39)$$

Et pour la région endommagée :

$$I_{ds} = \frac{2C_{ox}W\mu_0\mu_{ox}}{(L - L_1)(\mu_0 + \mu_{ox})} \left\{ \left[(V_{gs} - V_{th2})V_{ds} - \frac{V_{ds}^2}{2} \right] - \left[(V_{gs} - V_{th2})V_p - \frac{V_p^2}{2} \right] \right\} \quad (4.40)$$

La description complète du courant de drain nécessite la détermination de la tension à la limite Vp, en égalisant les équations, nous obtenons l'équation du second ordre suivante traitant uniquement la tension limite :

$$\alpha V_p^2 + \beta V_p + \delta = 0 \quad (4.41)$$

Avec :

$$\alpha = - \left[\frac{\mu_{ox}}{2(\mu_0 + \mu_{ox})(L - L_1)} + \frac{1}{2L_1} \right]$$

$$\beta = \left[\frac{\left(V_{gs} - \phi_{MS} - \frac{Q_{ox}}{C_{ox}} + 2\phi_B + \frac{qN_A\lambda^2}{\epsilon_{si}} \right)}{L_1} + \frac{\mu_{ox} \left(V_{gs} - \phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_f}{C_{ox}} + 2\phi_B + \frac{qN_A\lambda^2}{\epsilon_{si}} \right)}{(\mu_0 + \mu_{ox})(L - L_1)} \right]$$

$$\delta = - \frac{\mu_{ox}}{(\mu_0 + \mu_{ox})(L - L_1)} \times \left[\left(V_{gs} - \phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_f}{C_{ox}} + 2\phi_B + \frac{qN_A\lambda^2}{\epsilon_{si}} \right) V_{ds} - \frac{V_{ds}^2}{2} \right]$$

La solution correcte de l'équation est sélectionnée en utilisant la formule quadratique familière en plus de la condition élémentaire ($0 \leq V_p \leq V_{ds}$) est donné par :

$$V_p = \frac{-\beta - \sqrt{\beta^2 - 4\alpha\delta}}{2\alpha} \quad (4.42)$$

Dans la région linéaire, on suppose qu'une couche d'inversion existe le long du canal du source au drain, ce qui est vrai au-delà du seuil et pour de petites tensions de drain. Cependant, lorsque la tension de drain atteint une certaine valeur, la charge d'inversion à l'extrémité du drain chute à zéro. C'est-à-dire que le canal est pincé près de l'extrémité de drain, la tension de drain qui entraîne la disparition du canal est appelée tension de saturation, et le courant correspondant est approximativement constant. L'expression de la tension de saturation est obtenue en résolvant l'équation suivante [31] :

$$Q_n(L) = 0 \quad (4.43)$$

La combinaison des équations (4.37) et (4.43) donne :

$$V_{dsat} = V_{gs} - \phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_f}{C_{ox}} - 2\phi_B - \frac{qN_A \lambda^2}{\epsilon_{si}} \quad (4.44)$$

IV.4.4 Résultats et discussion

Comme expliqué dans la formulation du modèle, une baisse de la mobilité et une augmentation de la tension de seuil conduisent à un courant de drain plus faible dans le dispositif. Sur la figure IV.12, un schéma typique $I_{ds} - V_{ds}$ est représenté pour les MOSFET DG vierges et endommagés dans les deux cas avec et sans couche high-k, où le bénéfice de l'inclusion d'une telle couche est bien prouvé par le calcul de la variation normalisée du courant de drain $\frac{\Delta I_{ds}}{I_{ds0}}$ comme représenté sur la figure IV.13.

Paramètre	Valeur
L	$2 \times 10^{-5} cm$
L_1	$3L/5 \text{ cm}$
W	$3 \times 10^{-6} cm$
t_{si}	$2 \times 10^{-6} cm$
t_1	$2 \times 10^{-7} cm$
t_2	$3 \times 10^{-7} cm$
ϵ_1	3.9
ϵ_2	10
N_{ox}	$10^9 cm^{-2}$
n_i	$1.45 \times 10^{10} cm^{-3}$
N_A	$10^{15} cm^{-3}$
μ_0	$800 \text{ cm}^2/V.s$
ϕ_{MS}	-0.8385 V

Tableau IV.1 Valeurs des différents paramètres utilisés pour la simulation

Les données de la simulation sont résumées dans le tableau IV.1.

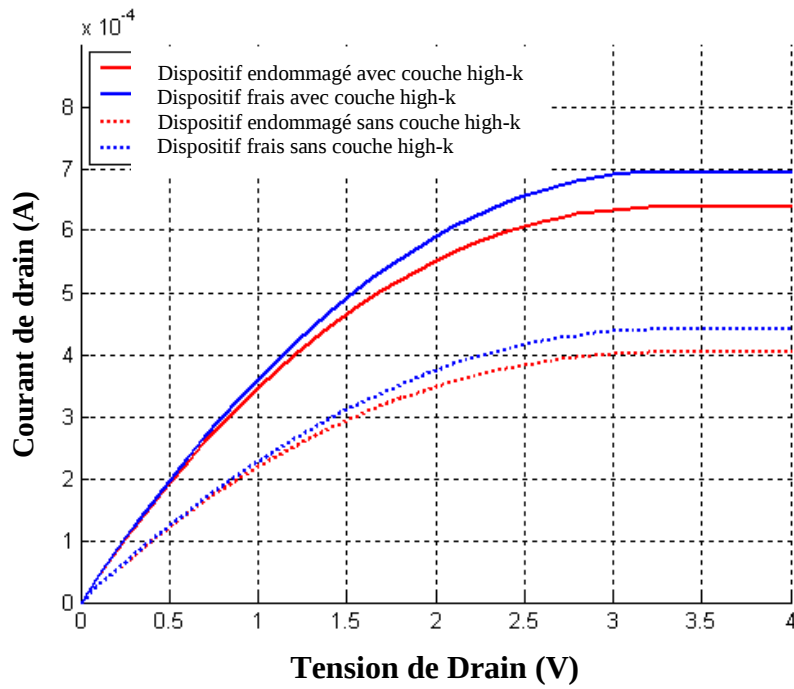


Figure IV. 12 caractéristiques I_{ds} - V_{ds} du MOSFET DG avant et après la contrainte pour les deux cas avec et sans couche haute-k

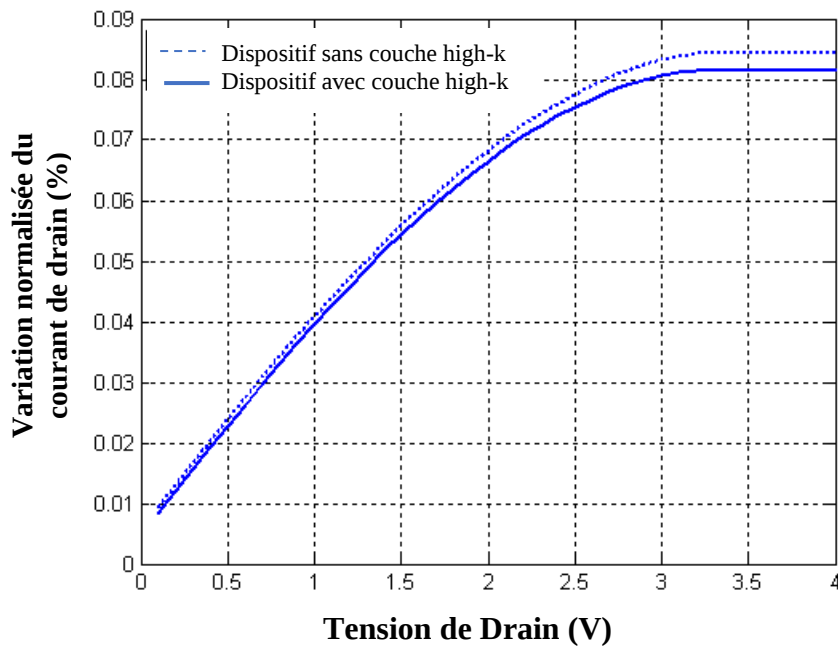


Figure IV. 13 Variation normalisée de la courbe de drainage du DG MOSFET pour les deux cas avec et sans couche haute-k

Afin de montrer l'efficacité du modèle compact développé sur la conception de circuits analogiques, nous avons proposé l'étude d'un amplificateur de tension qui est considéré comme un circuit important pour les applications CMOS analogiques submicroniques profondes (figure IV.14).

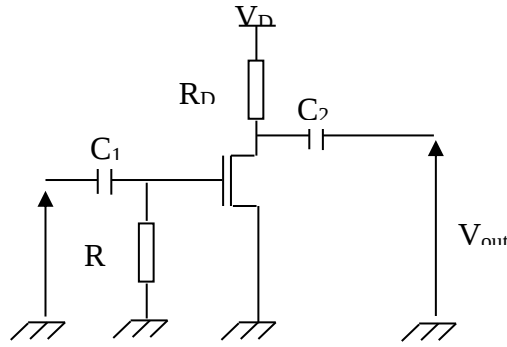


Figure IV. 14 Amplificateur de tension.

Le tableau IV.2 résume les résultats obtenus dans différentes conditions de travail. Il est montré qu'une dégradation du gain de tension dans le cas d'un dispositif endommagé peut être observée. Cette dégradation est principalement due à la diminution du courant de drain et de la transconductance en fonction des densités des pièges interfaciaux. De plus, l'incorporation d'une couche high- k supplémentaire sur l'isolant d'oxyde devient importante afin d'éviter la dégradation de la tension de gain (Tableau IV.2).

Dispositif	Tension de gain	Fréquence de coupure (GHz)
Dispositif frais sans couche <i>high-k</i>	-16,56	2,63
Dispositif endommagé sans couche <i>high-k</i>	- 13h30	2,11
Dispositif endommagé avec couche <i>high-k</i>	-20,52	3,26

Tableau IV.2 valeurs des gains de tension et de fréquence de coupure en fonction de la structure du dispositif

IV.5 Conclusion

Dans notre approche, le modèle développé dans la première partie de ce chapitre est une expression fermée analytique simple et précise avec 2 paramètres d'ajustement optimisés ($\xi_1 = 1,72 \times 10^{11}$ et $\xi_2 = 5,32 \times 10^{-15}$). Par conséquent, le modèle proposé peut être facilement utilisé par les programmes de simulation de circuits tels que PSPICE pour des prédictions plus précises des caractéristiques de la structure DG MOSFET nanométrique.

Un nouveau modèle compact simple et précis pour la pente sous-seuil, y compris les effets des défauts a été proposé pour la première fois dans la structure MOSFET DG, et des études de simulation ont été réalisées avec des paramètres géométriques et électriques afin d'étudier les limites d'extensibilité de ce dispositif lorsque des pièges répartis uniformément en vrac sont présentés. Nous avons observé une dégradation de la pente sous-seuil lorsque le nombre de pièges en vrac augmente, et l'effet de canal court y compris les effets des défauts s'améliore quand l'épaisseur du silicium est étroite. Le modèle compact a été utilisé pour prédire les performances des MOSFET DG mis à l'échelle. Notre étude peut fournir une base théorique et physiques pour la conception du MOSFET DG.

Nous avons présenté un modèle compact de courant de drain pour la structure MOSFET GS DG avec effet de dégradation induit par un transporteur chaud, nous avons fourni une solution explicite pour la tension intermédiaire à la frontière des régions fraîches et endommagées. Pour déterminer les expressions courantes pour les deux régions. Le modèle obtenu tient compte du comportement du dispositif endommagé dans les régions linéaires ainsi que dans les régions de saturation. L'immunité contre la dégradation du transporteur chaud s'est révélée importante lorsqu'on considère la couche high-k, ce qui peut ralentir le processus de vieillissement du dispositif. Le modèle de courant de drain endommagé présenté dans ce travail offre une approche simple et précise pour la simulation de comportements de circuits plus complexes, y compris les effets de la porteuse inter faciale.

Références

- [1] The International Technology Roadmap for Semiconductors (2007), Available at: <http://public.itrs.net>.
- [2] F. Djeflal, Z. Ghoggali, Z. Dibi, N. Lakhdar, "Analytical analysis of nanoscale multiple gate MOSFETs including effects of hot carrier induced interface charges," *Microelectron. Reliab.* vol.49,pp.337, 2009.
- [3] F. Djeflal, M. Chahdi, A. Benhaya, M.L. Hafane, "An approach based on neural computation to simulate the nanoscale CMOS circuits: application to the simulation of CMOS inverter", *Solid-State Electron*, vol. 51, pp.48,2007.
- [4] F. Djeflal, M.A. Abdi, Z. Dibi, M.Chahdi and A.Benhaya, "A neural approach to study the scaling capability of the undoped double-gate and cylindrical gate all around MOSFETs", *Mater. Sci. Eng. B*, vol. 27, pp.1111, 2007.
- [5] Goldberg DE, *Genetic algorithms in search, optimization, and machine learning*, Addison-Wesley (1989).

- [6] Painton L, Campbell J, “Genetic algorithms in optimization of system”, IEEE Trans. Reliab, vol. 44, pp.172, 1995.
- [7] Q. Chen, E. M. Harrell, and J. D. Meindl, “A physical short-channel threshold voltage model for undoped symmetric double-gate MOSFETs”, IEEE Trans. Electron Devices, vol. 50, pp.1631, 2003.
- [8] Y. Taur, “An analytical solution to a double-gate MOSFET with undoped body”, IEEE Trans. Electron Devices, vol. 48, pp.2861, 2001.
- [9] ATLAS: 2D Device Simulator, SILVACO International (2008).
- [10] Z. Ren, R. Venugopal, S. Goasguen, S. Datta, M. Lundstrom, “ nanoMOS 2.5: A two-dimensional simulator for quantum transport in double-gate MOSFETs,”IEEE Trans. Electron Devices, vol. 50, pp.1914, 2003.
- [11] M. A. Abdi, F. Djeflal, T. Bendib, M. Chahdi , A. Benhaya, “ Compact charge model for ultra-thin nanoscale Double Gate MOSFETs,” ScienceJet 2012, 1: 8.
- [12] A. Kranti, T M. Chung, D. Flandre and J P. Raskin, “Analysis ofquasi double gate method for performance prediction of deep submicron double gate SOI MOSFETs,” Semicond. Sci. Technol, vol. 20, pp. 423– 429, 2005.
- [13] J G. Fossum, L. Ge and M H. Chiang, “Speed superiority of scaled double-gate CMOS,” IEEE Trans. Electron Devices, vol. 49, pp. 808– 811, 2002.
- [14] F. Djeflal, M. Chahdi, A. Benhaya and ML. Hafiane, “An approach based on neural computation to simulate the nanoscale CMOS circuits: Application to the simulation of CMOS inverter,” Solid State electronics, vol. 51, pp. 26-34, 2007.
- [15] F. Djeflal, MA. Abdi, Z. Dibi, M. Chahdi and A. Benhaya, “A neural approach to study the scaling capability of the undoped Double-Gate and cylindrical Gate All Around MOSFETs,” Materials Sci and Eng: B, vol. 147, pp. 239-244, 2008.
- [16] X. Lin, C. Feng, S. Zhang, WH. Ho and M. Chan, “Characterization of double gate MOSFETs fabricated by a simple method on a recrystallized silicon film,” Solid State Electronics, vol. 48, pp. 2315-2319, 2004.
- [17] X. Zeng, Z. Xu, JKO. Sin, Y. Dai and C. Wang, “A novel two step laser crystallization technique for low temperature poly-si TFTs,” IEEE Trans Electron Dev, vol. 48, pp. 1008-1010, 2001.
- [18] HJ. Cho and JD. Plummer, “Modeling of surrounding gate MOSFETs with bulk trap states,” IEEE Trans Electron Dev, vol. 54, pp. 166-169, 92007.
- [19] Q. Chen, B. Agrawal and JD. Meindl, “A comprehensive analyticalsubthreshold swing (S) model for double gate MOSFETs,” IEEE TransElectron Dev, vol. 49, pp. 1086-1090, 2002.

- [20] AH. Hamdy, J. Roig and B. Iniguez, “Analytical predictive modelling for the study of the scalability limits of multiple gate MOSFETs,” *Solid State electronics*, vol. 51, pp. 414-422, 2007.
- [21] ITRS 2005 International Technology Roadmap for semiconductors <http://www.itrs.org>.
- [22] HJ. Cho and JD. Plummer, “Modeling and fabrication of vertical pillar MOSFETs made in recrystallized Si,” *IEEE International SOI Conference*, 2000, pp 50-51.
- [23] M.A. Abdi, F. Djeflal, D. Arar, ML. Hafiane Numerical analysis of double gate and gate all around MOSFETs with bulk trap states *J Mater Sci: Mater Electron*, pp. 248-253, 2008.
- [24] SH. Oh, D. Monroe, M. Hergenrother, “Analytic description of short channel effects in fully-depleted double-gate and cylindrical surrounding-gate MOSFETs,” *IEEE Electron Device Lett*, vol. 21, pp. 397–399, 2000.
- [25] M.A. Abdi, F. Djeflal, D. Arar and T. Bendib, “An analytical subthreshold swing model to study the scalability limits of double-gate MOSFETs including bulk traps effects,” *IEEE International Conference on Design & Technology of Integrated Systems in Nanoscale Era*, 22-25 March 2010, Hammamat, Tunisia.
- [26] M.P. Pagey, “Characterization and modeling of hot-carrier degradation in sub-micron NMOSFETS,” *Msc Thesis, Electrical Engineering Department, Vanderbilt University, Nashville, Tennessee, USA*, Aug. 2002.
- [27] M.W. Seo, D.W. Kwak, W.S. Cho, C.J. Park, W.S. Kim and H.Y. Cho, “Charge traps and interface traps in non-volatile memory device with Oxide-Nitride-Oxide structures,” *Thin Solid Films*, 517, pp. 245-247, 2008.
- [28] S. Naseh, M. Jamal Deen, C-H. Chen, “Hot-carrier reliability of submicron NMOSFETs and integrated NMOS low noise amplifiers,” *Microelectronics Reliability*, Vol. 46, pp. 201-212, 2006.
- [29] H. Kaur, S. Kabra, S. Halder and R.S. Gupta, “An analytical threshold voltage model for graded channel asymmetric gate stack (GCASYMGAS) surrounding gate MOSFET,” *Solid-State Electronics*, Vol. 52, pp. 305-311, 2008.
- [30] Y. Leblebici, S.M. Kang, “Modelling of nMOS transistors for simulation of hot-carrier-induced device and circuit degradation,” *IEEE Transactions on Computer-Aided-Design*, Vol. 11, No. 2, pp. 235-246, 1992.
- [31] N. Arora, “MOSFET modeling for VLSI simulation theory and practice, *International Series on Advances in Solid State Electronics and Technology*,” World Scientific Publishing, Singapore, 2007.

- [32] T.Bentrcia, F.Djeffal, M.A. Abdi and D.Arar, “ A compact analytical current model including traps effects for GS DG MOSFETs,” XIth International Workshop on Symbolic and Numerical Methods, Modeling and Applications to Circuit Design (SM2ACD), Tunis-Gammarth 05-06 October 2010, Tunisia

Chapitre V

V.1 Introduction

Pour obtenir des informations fructueuses et fiables sur les caractéristiques électriques du transistor à effet de champ (FET) à base de graphène, une méthode de simulation efficace avérée a été développée du point de vue calcul pour la simulation atomistique d'un transistor à effet de champ graphène nanoruban dans les limites balistiques. Cette méthode consiste à résoudre un système d'équation couplées constitué de la fonction de Green et de l'équation de Poisson, est basé sur l'hamiltonien atomistique dans un espace de mode découplé. L'approche de l'espace de mode, qui ne traite que quelques modes (sous-bandes), réduit considérablement le temps de simulation. De plus, la relaxation de la liaison de bord est également incluse dans le mécanisme de transport quantique. L'analyse des résultats de calcul montre que l'approche de l'espace de mode peut réduire considérablement le coût de simulation d'environ un ordre de grandeur sans pour autant affecter le degré de précision.

V.2 Préparation du Graphène

Le développement de la technologie de graphène est confronté à plusieurs difficultés et défis. Le défi majeur est d'ordre technique, notamment le graphène de haute qualité. Il y a plusieurs limites et défis pour implanter des nanorubans de graphène dans la technologie actuelle. Le graphène de haute qualité à l'échelle d'une plaquette doit être synthétisé sur des substrats arbitraires, ce qui convient à la structuration sous la forme de canaux GNR. Différentes méthodes ont été introduites pour la production de graphène comme :

1. La croissance épitaxiale sur une plaquette de silicium,
2. L'épitaxie CVD directe sur des substrats métalliques,
3. L'oxydation chimique,
4. L'exfoliation mécanique,
5. L'exfoliation au solvant de pyrolyse hautement orientée graphite (HOPG),
6. Sublimation de silicium à partir de SiC.

Le graphène est préparé sous la forme de nanorubans GNR, ce qui peut conduire à l'introduction de liens pendants sur les bords. La rugosité des arêtes est un problème clé dans la fabrication des interconnexions GNR ; c'est cette propriété structurelle qui détermine le libre parcours moyen des porteurs de charge (LPM) et a des effets cruciaux sur le raccourcissement du chemin libre moyen des électrons dans le GNR. Par conséquent les propriétés de transport deviennent moins importantes de sorte qu'il peut rendre les propriétés moins attractives de

transport du graphène [1]. Il augmente la probabilité de rétrodiffusion des électrons due à la diffusion de la paroi latérale et diminue ainsi le rapport de la vitesse longitudinale à la vitesse transversale des électrons dans les GNRs. Yang et Murali [2] ont effectué des mesures de la mobilité et ont observé que la mobilité électronique dans ce cas dépend de la largeur de la structure GNR. Aussi ils ont observé que la mobilité électronique décroît lorsque la largeur la structure GNR diminue en dessous de 60 nm. Ainsi, les efforts consentis sur le plan technologique tendent à préparer des GNRs à bords lisses afin de préserver la qualité électronique supérieure du graphène. Yu et al. [3] dissolvent les atomes de carbone sur le substrat de nickel à des températures élevées et le recouvrent d'un film de silicium, de sorte qu'il puisse être structuré pour les interconnexions GNR et les transistors après élimination du substrat de nickel. Wang et al. [4] ont produit des GNR plus lisses jusqu'à 5 nm en utilisant la lithographie conventionnelle en conjonction avec une gravure en phase gazeuse. Dai et al. [5] ont montré une méthode simple basée sur une solution pour produire des GNR avec des largeurs inférieures à 10 nm.

Sprinkle et al. [6] ont produit du graphène sur un substrat de type SiC en utilisant une méthode de croissance auto-organisée, puis rétrécies à des nanoréseaux de largeur de l'ordre de 40 nm en utilisant la lithographie. Récemment, Baringhaus et al. [7] ont montré que les électrons dans un GNR de 40 nm de largeur peuvent avoir un transport balistique à température ambiante jusqu'à une longueur de 16 μm en contrôlant la géométrie du substrat. Les GNR sont épitaxiés sur les bords de structures tridimensionnelles gravées dans des plaquettes de carbure de silicium afin de produire des bords parfaitement lisses. Comme les électrons qui circulent sur les bords n'ont pas d'interaction avec les électrons dans la partie volumique (bulk) des nanorubans, ils peuvent contribuer beaucoup mieux que les autres électrons qui se déplacent au milieu et agir comme des guides d'ondes optiques qui transmettent sans diffusion. Il a été rapporté [8] que la mobilité électronique atteignant $10^6 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ avec une résistance de feuille de 1 ohm par mètre carré. Cependant, le défi relevé du GNR déposé sur les substrats conventionnels tels que le silicium et l'oxyde de silicium en tant que substrat de SiC sont coûteux et ne sont donc pas applicables pour une fabrication de circuit intégré rentable. De plus, la croissance de films minces de graphène nécessite un substrat de SiC monocristallin, qui ne convient pas pour les interconnexions du dépôt requis par rapport aux matériaux diélectriques. En outre, le bilan thermique d'arrière-plan dans la fabrication des circuits intégrés est faible et, par conséquent, la température élevée requise dans ces techniques les rend impropres à la production de GNR. Outre la qualité et la granulométrie du graphène produit par la méthode CVD, la température de croissance fait l'objet d'efforts de recherche pour abaisser la température au-dessous du niveau tolérable ($\sim 400^\circ \text{C}$).

Jin et al. [9] ont affirmé que l'utilisation de l'oxyde de graphène peut créer une petite bande interdite dans le graphène. La déformation de la couche de graphène par flexion ou contrainte physique est une autre possibilité d'ouvrir la bande interdite [10]. Le dopage chimique peut également ouvrir une petite bande interdite dans le graphène [11,12]. Yan et al. [13] ont montré qu'une bandgap stable peut être ouverte par dopage par des méthodes CVD avec des dopants comme l'or, le soufre, le bore et l'azote [11]. Un motif aléatoire d'atomes de nitrure de bore sur la surface du graphène est capable d'ouvrir une bande interdite dans le graphène [14]. Cependant, cela conduit à un défaut structurel, et diminue ainsi la mobilité du graphène [14,15]. Contrairement au FET à deux couches de graphène, l'ouverture de la bande interdite avec un champ électrique normal au plan du graphène ne peut pas fonctionner avec le graphène monocouche.

V.3 Dopage du Graphène

Le dopage est la méthode la plus appropriée pour contrôler les propriétés semi-conductrices pour la classe des semi-conducteurs classiques. Les principales techniques de dopage du graphène sont le dopage par hétéroatome, la modification chimique et le contrôle du champ électrostatique. Ce sont des moyens prometteurs d'ouvrir un band gap dans le graphène, faisant du graphène un excellent candidat pour les applications dans les circuits au-delà de la technologie CMOS conventionnelle et de nombreuses autres applications technologique.

- **Dopage d'un hétéroatome**

Les atomes de B et N sont les candidats naturels pour le dopage dans le graphène en raison de leur taille atomique similaire à celle de C et de leurs caractères accepteurs de trou et donneurs d'électrons pour le dopage B et N de substitution, respectivement. Le dopage de substitution est également une méthode utile pour ouvrir la bande interdite du graphène, cela a été montré par les travaux théoriques sur le dopage de B-, N- et Bi- dans le graphène [16,17]. Récemment, plusieurs groupes ont rapporté le dopage B et N du graphène dans le processus de synthèse du graphène. La méthode de décharge d'arc, par exemple, a été utilisée pour préparer du graphène dopé B et N en utilisant un courant élevé entre des électrodes de graphite en présence de $H_2 + B_2H_6$ et $H_2 + NH_3$, respectivement [18]. Le groupe de Liu a synthétisé du graphène dopé N par dépôt chimique en phase vapeur (CVD) en utilisant un film de Cu de 25 nm sur un substrat de Si comme catalyseur sous atmosphère de H_2 (20% dans Ar) et $CH_4 + NH_3$ comme source C et N, respectivement [19]. Les données de spectroscopie de photoélectrons X (XPS) confirment le dopage du graphène

- **Modification chimique**

En tant que matériau réduit à deux dimensions (2D) avec une seule couche d'épaisseur, le graphène a un maximum absolu du rapport surface / volume. Autrement dit, compte tenu de son ambipolarité électronique unique pour le FET, il serait sensible à la modification moléculaire, et la molécule de l'accepteur de trou ou du donneur d'électrons conduirait respectivement à des caractéristiques de type p ou n. Par conséquent, les propriétés électroniques du graphène deviennent facilement contrôlable par la modification chimique [20]. Certains chercheurs ont étudié les propriétés du graphène modifié par NO₂ et NH₃ et ont confirmé le signe opposé des porteurs générés par NO₂ et NH₃, avec un accepteur de trous induisant la conduction par les trous et la conduction par électrons, respectivement. De plus, la modification moléculaire a induit des impuretés et des dispersions, mais les propriétés électriques du GFET, telles que les mobilités des porteurs, ne se sont pas dégradées de manière significative. Cette propriété peut être utilisée pour la détection de molécules uniques à haute sensibilité [20].

- **Le contrôle du champ électrostatique**

Outre les deux méthodes mentionnées précédemment, le contrôle du champ électrostatique peut également être utilisé pour agir sur les propriétés électriques et magnétiques du graphène en contrôlant les changements réversibles de la concentration de porteurs et du niveau de Fermi sans augmenter le taux d'imperfections et de défauts du graphène [21,22]. Et l'application du principe FET au graphène pour réaliser le dopage électrostatique est un domaine de recherche relativement important. Les transistors à effet de champ (FET) de la partie supérieure et de la partie arrière sont les manières les plus répandues pour le contrôle du champ électrostatique [23]. En utilisant cette méthode, le niveau de Fermi du graphène intrinsèque peut être ajusté finement de la bande de conduction à la bande de valence, suite au changement de la tension de grille de négatif ou positif, correspondant au graphène de type p et n. De cette manière, la barrière de potentiel électrostatique peut être réalisée en utilisant une tension de grille supérieure ou de grille arrière. Comme illustré sur la figure V.1, le graphène est placé sur un substrat SiO₂ / p⁺⁺ Si, et l'électrode supérieure (porte supérieure) a été utilisée pour produire la zone dopée n, tandis que la grille arrière pour la région dopée p.

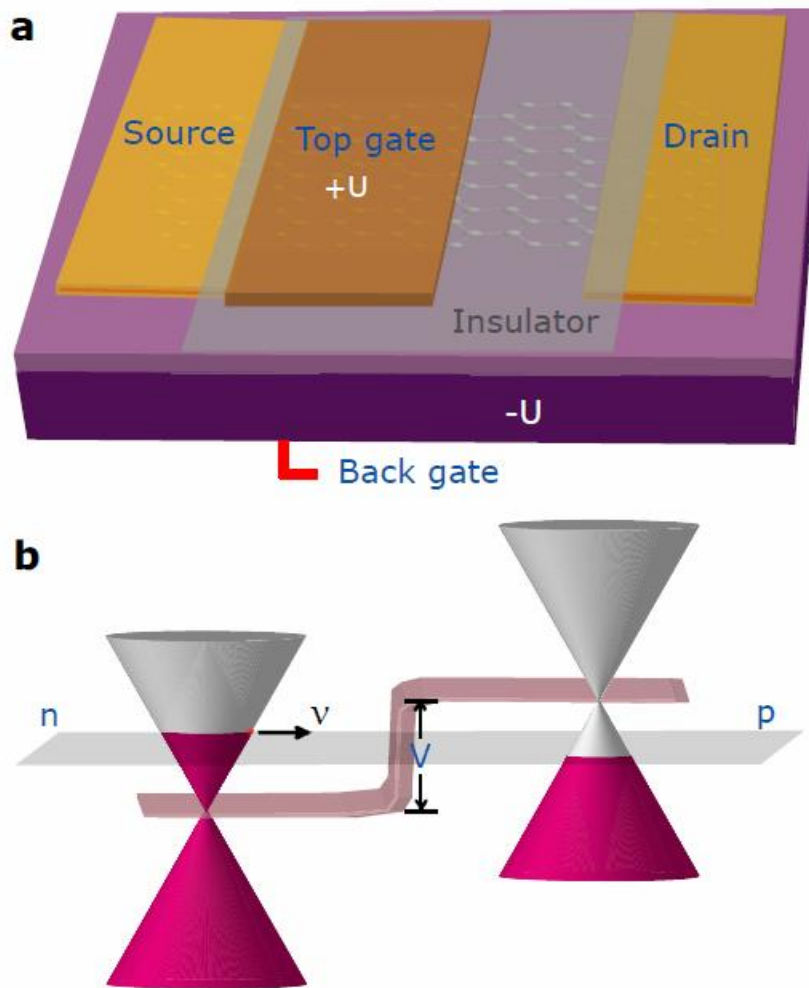


Figure V. 1 Jonction p-n à base de graphène. (a) Le schéma du dispositif FET à deux portes à base de graphène. (b) Le diagramme d'énergie montre une barrière de potentiel avec la hauteur V et la position du niveau de Fermi par rapport au point de contact des bandes de valence et de conduction [24].

V.4 Structure de bande de graphène monocouche

Le graphène est défini comme une couche unique d'atomes de carbone disposés dans un réseau hexagonal comme illustré à la figure V.2. Sa structure atomique peut également être utilisée comme base pour construire d'autres matériaux à base de carbone : (1) elle peut être pliée en fullerènes, (2) enroulée en nanotubes, (3) empilée en graphite [25].

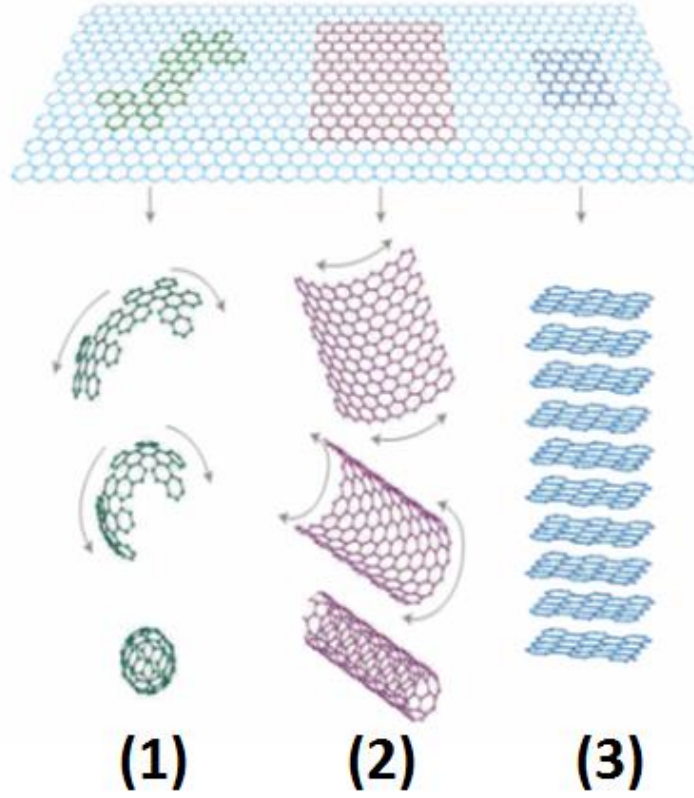


Figure V. 2 Le graphène comme matériau de construction 2D pour les matériaux carbonés de toutes autres dimensions. Il peut être enveloppé dans fullerènes 0D (1), et met en 1D nanotubes (2) ou empilés en graphite 3D (3) [26]

Le graphène est fabriqué à partir d'atomes de carbone disposés en structure hexagonale, comme représenté sur la Figure V.3. La structure peut être considérée comme un réseau triangulaire avec une base de deux atomes par cellule unitaire. La cellule primitive du graphène est composée de deux atomes non-équivalents, A et B, et ces deux sous-réseaux sont décalés l'un de l'autre d'une distance carbone-carbone $a_{c-c} = 1,44 \text{ \AA}$. Les vecteurs de réseau peuvent être écrits comme :

$$a_1 = \frac{a}{2}(3, \sqrt{3}), a_2 = \frac{a}{2}(3, -\sqrt{3}) \quad (5.1)$$

Les vecteurs du réseau réciproque sont donnés par :

$$b_1 = \frac{2\pi}{3a}(1, \sqrt{3}), b_2 = \frac{2\pi}{3a}(1, -\sqrt{3}) \quad (5.2)$$

D'une importance particulière pour la physique du graphène sont les deux points K et K' aux coins de la zone de Brillouin du graphène (ZB). Ceux-ci sont nommés points Dirac pour des raisons qui deviendront claires plus tard. Leurs positions dans l'espace de mouvement sont données par :

$$K = \left(\frac{2\pi}{3a}, \frac{2\pi}{3\sqrt{3}a} \right) \quad (5.3)$$

$$K' = \left(\frac{2\pi}{3a}, -\frac{2\pi}{3\sqrt{3}a} \right) \quad (5.4)$$

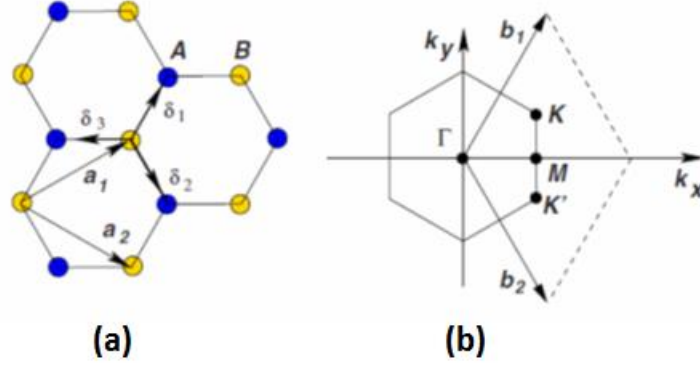


Figure V.3 Structure de réseau de graphène, b: zone de Brillouin [23]

Un seul atome de carbone a quatre électrons de valence avec une configuration d'enveloppe (coquille) électronique de l'état fondamental de $[\text{He}] 2s^2 2p^2$. Dans le cas du graphène, les liaisons chimiques carbone-carbone sont dues à des orbitales hybridées générées par la superposition de 2s avec des orbitales 2px et 2py. Les orbitales planaires forment les liaisons σ énergétiquement stables et localisées avec les trois atomes de carbone les plus proches voisins dans le réseau en nid d'abeille, et elles sont responsables de la plus grande partie de l'énergie de liaison et des propriétés élastiques de la feuille de graphène. Les orbitales 2pz libres restantes présentent une orientation de symétrie π et le chevauchement de ces états orbitaux entre atomes voisins joue un rôle majeur dans les propriétés électroniques du graphène [25]. Comme les orbitales π sont partiellement remplies d'électrons, elles forment une bande conductrice [27]. Ces bandes ont une coquille remplie formant une bande de valence profonde et sont responsables de la robustesse mécanique du graphène.

Pour cette raison, une bonne approximation pour décrire la structure électronique du graphène est d'adopter une approximation de liaison forte orthogonale du plus proche voisin en supposant que ses états électroniques peuvent être simplement représentés par une combinaison linéaire d'orbitales 2pz. En résolvant l'équation de Schrödinger, on peut obtenir la relation de dispersion d'énergie des bandes [25] :

$$E(k_x, k_y) = \pm \gamma \sqrt{1 + 4 \cos \frac{\sqrt{3}k_x a}{2} \cos \frac{k_x a}{2} + 4 \cos^2 \frac{k_x a}{2}} \quad (5.5)$$

Où k_x et k_y sont les composantes du vecteur k de la première zone de Brillouin hexagonale (représentée sur la Figure V.3) et $\gamma = 2.75 \text{ eV}$ est l'énergie de saut.

Sur la figure V.4, on peut voir la structure en bande du graphène obtenue à partir d'un modèle simple de liaison forte qui fournit des bandes de conduction et de valence symétriques par rapport à l'énergie de Fermi (aussi appelée point de neutralité de charge) obtenue à 0 eV.

Les bandes de valence et de conduction du graphène sont dégénérées en 6 points situés aux angles de la zone de Brillouin, également appelée vallées K et K'. La région hexagonale (zone Brillouin) a une longueur latérale de $4\pi / 3a$ et délimite la surface de Fermi du graphène comme il est montré dans la figure V.4.

Il est facile de voir que les propriétés électroniques du graphène sont invariantes en interchangeant les états K et K', ce qui signifie que les deux vallées sont liées par une symétrie d'inversion temporelle (le nombre de vallée est égale à deux). La dispersion de faible énergie près des vallées présente une forme conique circulaire, comme indiqué dans l'encadré de la figure V.4, contrairement à la relation énergie-moment quadratique imposée par des électrons aux bords de la bande dans les semi-conducteurs classiques (le graphène a une relation de dispersion d'énergie linéaire).

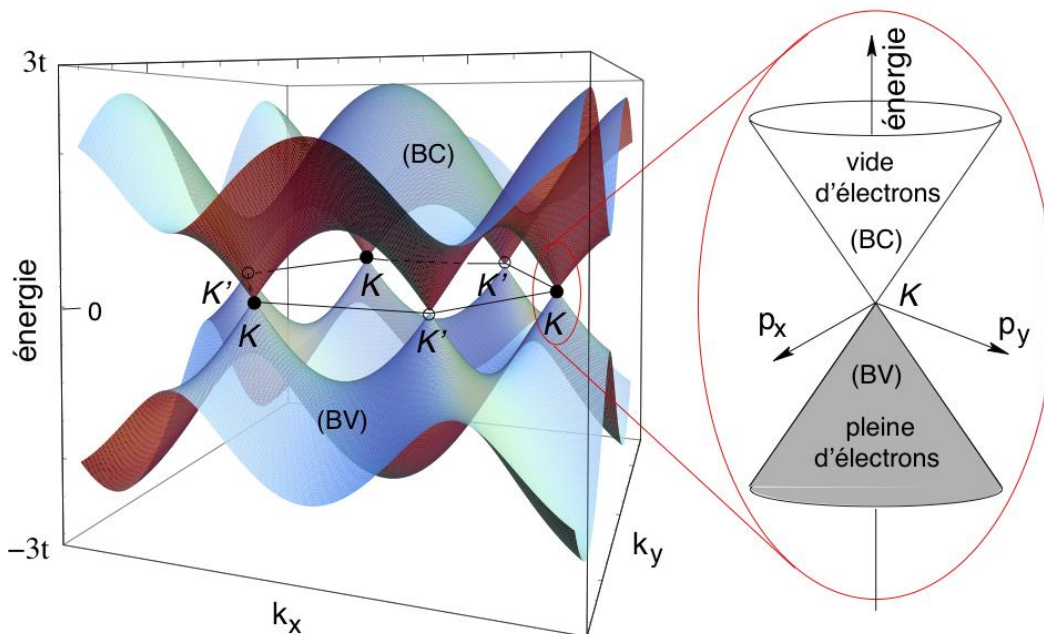


Figure V. 4 la structure en bande du graphène

Cependant, l'absence de bande interdite d'énergie limite fortement son utilisation sur les dispositifs numériques. Ainsi, des stratégies alternatives capables d'induire une bande interdite dans le graphène sont recherchées. Plusieurs stratégies ont déjà été adoptées avec succès pour modifier la structure électronique du graphène. Des couches de graphène empilées sous la forme de bicouches ou de structures en graphite [25] offrent également une voie prometteuse pour la manipulation de bande interdite. Des techniques lithographiques avancées [25] employées pour adapter des échantillons de graphène larges à des structures à l'échelle nanométrique ont montré que le confinement latéral des porteurs de charge peut fonctionner comme un paramètre efficace d'accord d'écart d'énergie. Ces structures étroites de graphène sont connues sous le nom de nanorubans de graphène (GNR) et il a été démontré que leur écart d'énergie est inversement proportionnel à la largeur.

V.4.1 Nanorubans de graphène

Les propriétés physiques des nanorubans de graphène dépendent fortement de leur largeur et du type des structures de bord. Il y a deux types canoniques de bords de graphène, appelés rubans de type 'armchair' (AGNR) et zigzag (ZGNR), et des exemples de leur structure atomique sont illustrées dans la figure V.5. W indique la largeur du ruban. La largeur d'un ruban de type 'armchair' peut être définie par:

- $W_a = (N_a - 1) a / 2$ pour les rubans de type 'armchair' ;
- $W_z = (N_z - 1) \sqrt{3}a / 2$ pour les rubans en zigzag;

N_a et N_z sont leur nombre respectif de chaînes carbonées.

Les flèches pointillées de la Figure V.5 montrent le vecteur $\vec{C}$ qui est défini comme suit :

$$\vec{C} = N \cdot \vec{a}_1 + M \cdot \vec{a}_2 \quad (5.6)$$

Où $\vec{a}_1$ et $\vec{a}_2$ sont les vecteurs de réseau du graphène, et n et m sont les indices chiraux. En tant que tel, les indices chiraux (n, m) définissent uniquement la "chiralité". Le GNR peut être défini suivant la valeur des indices chiraux de la manière suivante :

- Lorsque $m=0$ on obtient un GNR de type 'armchair'.
- Lorsque $m=n$ on obtient un GNR de type 'zigzag'.

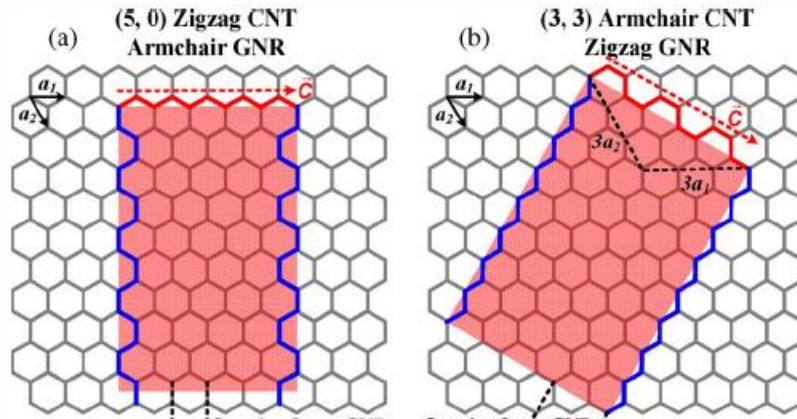


Figure V. 5 Vue schématique de CNT et GNR faite à partir d'une feuille de graphène. (a) zz-CNT et ac-GNR. (b) ac-CNT et zz-GNR [28]

V.4.1.1 Nanoruban de type "armchair"

Les GNR de type 'armchair' (ac-GNR) peuvent être métalliques ou semi-conducteurs, en fonction du nombre (N) d'anneaux de carbone hexagonaux (représentés sur la Figure V.5). Un nanoruban de type 'armchair' peut se comporter comme un métal ($N=8$, représenté sur la figure V.6 b) lorsque le nombre d'atomes le long de sa largeur est égal à $3j + 2$, où j est un entier. Cette catégorie de rubans de type 'armchair' présente un comportement semi-conducteur

lorsque des modèles de structure électronique plus sophistiqués sont appliqués ou que les atomes de bord sont paramétrés pour inclure les effets de la passivation par hydrogène. Les rubans de type 'armchair' restants dans les catégories $3j$ et $3j + 1$ sont tous des semi-conducteurs ($N=7$, représenté sur la figure V.6a) indépendants du modèle adopté.

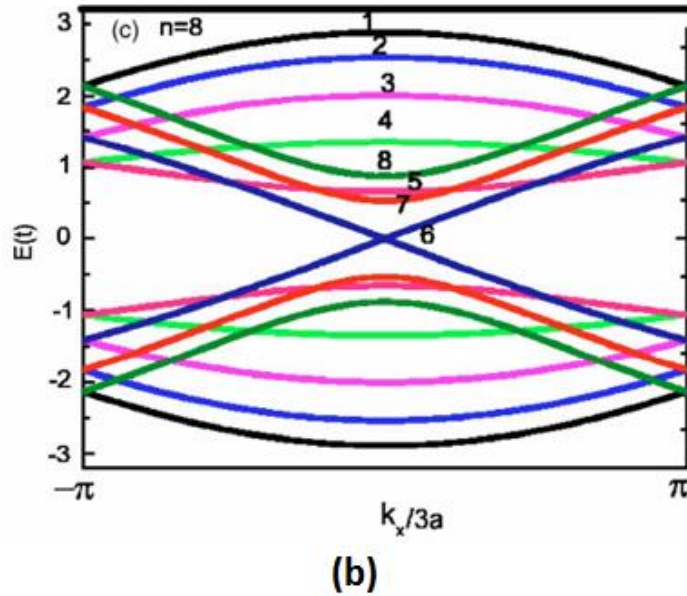
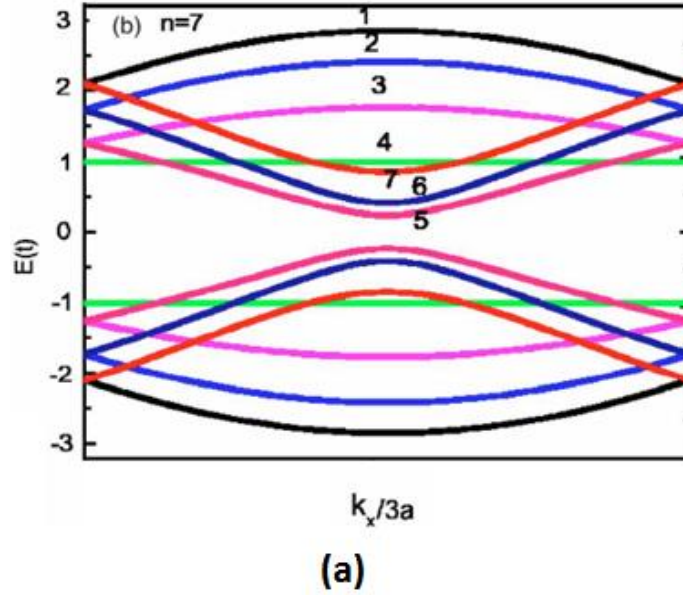


Figure V. 6 Structures électroniques du GNR de type 'armchair' parfait avec différentes largeurs, (a) $N = 7$ et (b) $N = 8$, respectivement. [29]

V.4.1.2 Nanoruban de type "zigzag"

Les GNR de type 'zigzag' (zz-GNR) sont toujours métalliques et indépendants de N (représenté sur la figure V.7). Alors que la structure en bandes des ac-GNR est similaire à celle des zz-CNT, les états électroniques des zz-GNR sont plus compliqués que ceux des ac-CNT. En particulier, les zz-GNR ont la "bande sans dispersion" ou "mode zéro".

Les GNR de type 'zigzag' de n'importe quelle largeur montrent un état de bord singulier qui décroît exponentiellement au centre du ruban. La densité d'états des GNR de type 'zigzag' est caractérisée par un pic prononcé situé au point de neutralité de charge. Bien qu'il existe encore des controverses concernant la valeur propre d'énergie associée de l'état de bord, la détection d'un tel pic a été accomplie par des mesures de microscopie à effet tunnel effectuées à proximité des sections de bord en zigzag du graphite [28].

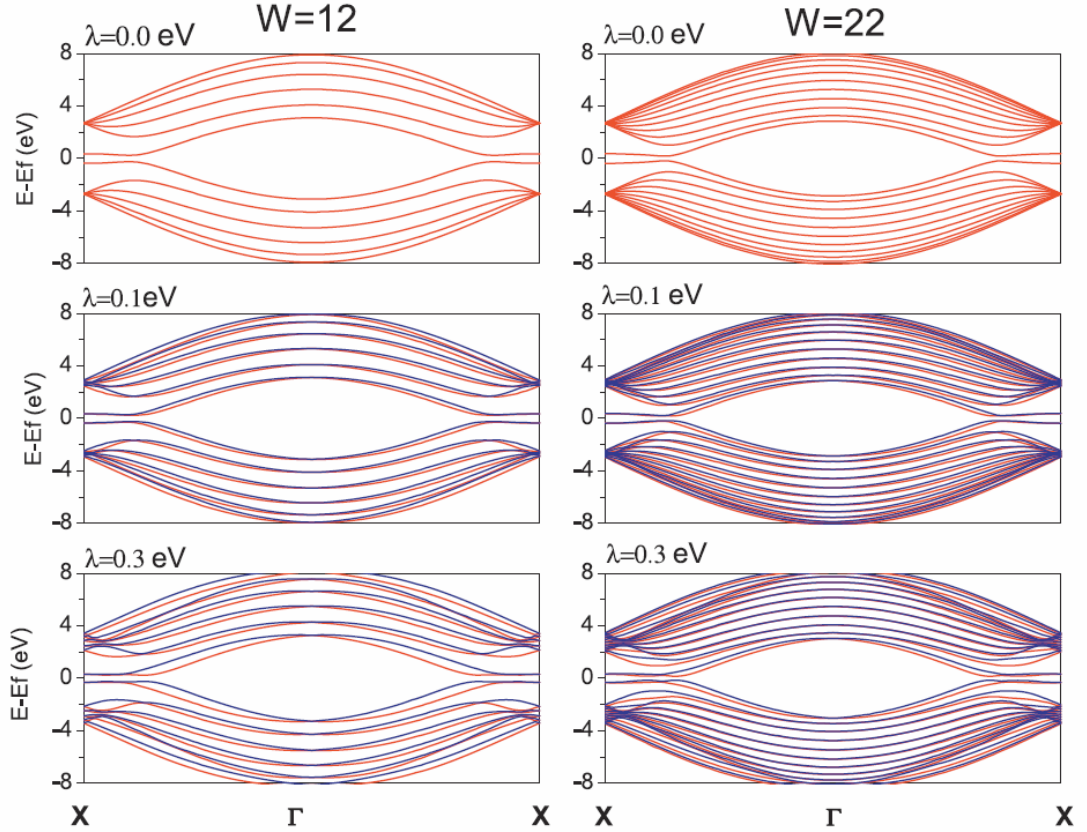


Figure V. 7 Structure de bande électronique du GNR de type 'zigzag' pour $w = 12$ et $w = 22$ [30]

V.5 Présentation de la structure GNR FET double grille

Pour explorer les performances du GNR FET de type 'armchair' comme le montre la Figure V.8. Le GNR est placé entre deux couches diélectriques en HfO_2 de 1,5 nm d'épaisseur avec une constante diélectrique relative $\epsilon_{\text{ox}}=16$. La région source / drain est supposée être dopée GNR avec 5×10^{-3} dopant / atomes. Le canal est intrinsèque et la longueur de la grille est égale à la longueur du canal qui est de 10 nm.

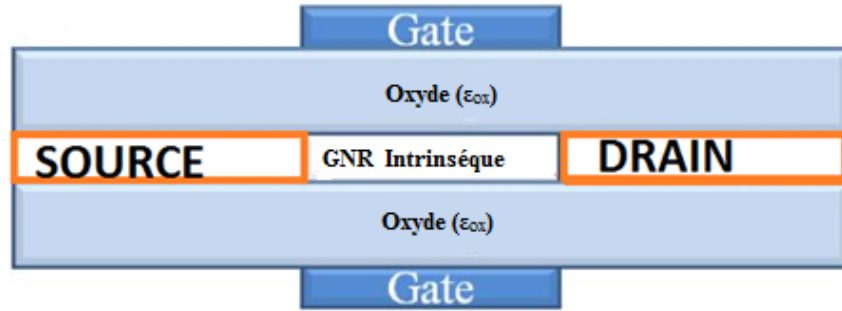


Figure V. 8 Structure du GNR FET double grille

V.6 Méthodologie de modélisation

V.6.1 Principe du formalisme de Green

Approche de modélisation de l'espace ('mode space approach')

La fonction de Green est résolue dans une représentation d'espace de mode. L'étape la plus importante consiste à déterminer la matrice de transformation de base. Parce que le nanoruban de graphène a une seule couche atomique, le matériau du canal est un problème en 2D. L'approche de l'espace de mode découple le réseau 2D en plusieurs réseaux 1D par une transformation de base dans le sens de la largeur du GNR.

La clé de ce problème est d'identifier les nouvelles fonctions de base (les modes) dans le sens de la largeur. Pour un nanotube de carbone, les modes doivent satisfaire la condition aux limites périodiques dans la direction circonférentielle [31].

Cependant, pour un nanoruban de graphène, la condition aux limites « particule-dans-une-boîte » est imposée aux bords du GNR, et la base d'espace de mode définie pour les lignes d'atomes de type A et de type B dans le sens de la largeur, comme indiqué sur la figure V.9 (a), les cercles sont le sous-réseau de carbone de type A, et les triangles sont le sous-réseau de carbone de type B.

Le système de coordonnées est également représenté : z est la direction de la largeur et x est la direction de transport. La relaxation des liaisons de bord (lignes pointillées) est illustrée. Les lignes pleines à travers l'hexagone montrent le deuxième couplage (2NN) et le troisième plus proche voisin (3NN).

La figure V.9 (b) illustre le réseaux 1D découplé de l'espace de mode, chaque réseau est découpé dans le carré plein de (a). Une transformation de base transforme le réseau 2D de

l'espace réel en un problème 1D. Les atomes de carbone dans la direction z n'ont aucune interaction.

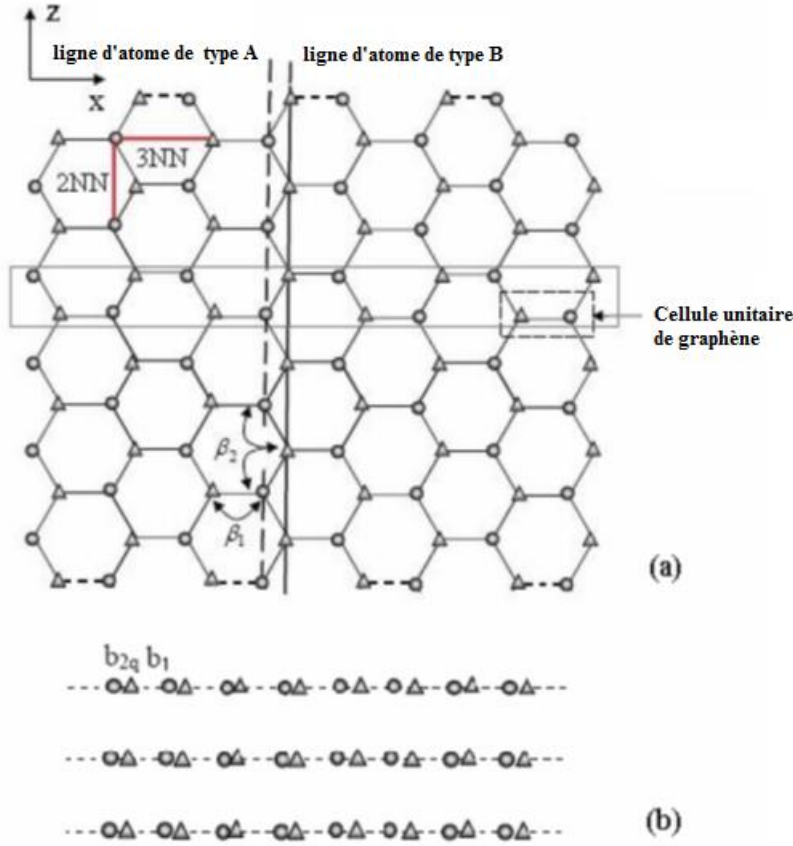


Figure V. 9 Le diagramme schématique d'un GNR de type 'armchair' pour $n = 12$ [32]

La fonction de Green retardée est alors déterminée par [33] :

$$G(E) = [(E + i0^+)I - H - \Sigma_S - \Sigma_D]^{-1} \quad (5.7)$$

Qui décrit comment le canal à base de graphène nanoruban se connecte aux deux contacts par les matrices d'auto énergie. La densité locale d'états résultant des états injectés source / drain est calculée en utilisant :

$$D_{S(D)} = G\Gamma_{S(D)}G^+ \quad (5.8)$$

Où $\Gamma_{S(D)} = i(\Sigma_{S(D)} - \Sigma_{S(D)}^+)$ est l'élargissement du niveau d'énergie dû aux contacts source / drain. La densité de charge est calculée par [32] :

$$Ne = \int dE - \text{sgn}[E - E_N] \{ D_S(E) f(\text{sgn}[E - E_N](E - E_{FS})) + D_D(E) f(\text{sgn}[E - E_N](E - E_{FD})) \} \quad (5.9)$$

Où E_{FS} , E_{FD} est le niveau de source et de drain de Fermi. La densité de charge est ensuite renvoyée à l'équation de Poisson pour des solutions auto-cohérentes. Une fois que l'auto-cohérence est atteinte, le courant source-drain est calculé à partir de [32] :

$$I = \frac{2e}{h} \int dE. T(E) [f(E - E_{FS}) - f(E - E_{FD})] \quad (5.10)$$

Où $T(E) = \text{Trace}(\Gamma_1 G \Gamma_2 G^+)$ est la transmission source / drain.

Si nous réordonnons la base selon la base des modes, la matrice hamiltonienne est :

$$[H] = \begin{bmatrix} H_1 & & & \\ & H_2 & & \\ & & \ddots & \\ & & & H_q & \\ & & & & \ddots \end{bmatrix}$$

où le H_q est la matrice hamiltonienne pour le mode q th:

$$[H_q] = \begin{bmatrix} U_1 & b_{2q} & & \\ b_{2q} & U_2 & b_{1q} & \\ & b_{1q} & U_3 & b_{2q} \\ & & \dots & \dots \end{bmatrix}$$

Le nombre de mode est égale au nombre d'atome de carbone dans le sens de la largeur (dans la direction z). L'énergie propre de la source pour le mode q th est $\Sigma_{sq} = (b_{1q})^2 g_{1q}$. Une expression similaire peut être trouvée pour le contact du drain avec le potentiel électrostatique différent à l'extrémité du drain. Lorsque la matrice hamiltonienne et les matrices d'auto-énergie sont déterminées, la fonction de Green a la même forme que l'équation (5.7).

Avec :

$$g_{1q} = \frac{(E - U_1)^2 + b_{1q}^2 - b_{2q}^2 + \sqrt{[(E - U_1)^2 + b_{1q}^2 - b_{2q}^2]^2 - 4(E - U_1)^2 b_{1q}^2}}{2b_{1q}^2(E - U_1)} \quad (5.11)$$

$$b_{2q} = t_0 \quad (5.12)$$

$$b_{1q} = 2t_0 + \Delta t_0 \cos^2(q\pi/(N + 1)) \quad (5.13)$$

Effets de la relaxation des liaisons de bord

L'existence de bords dans les GNRs fait l'effet de liaison de bord. Les effets de bord imposent de nouveaux défis pour la simulation des GNR-FETs. La relaxation de la liaison de bord peut être implémentée dans la matrice hamiltonienne introduisant des expressions analytiques de b_{1q} et b_{2q} qui tiennent compte de l'effet de relaxation des liaisons de bord comme suit [32] :

$$b_{2q} = 2t_0 \cos(q\pi/(N + 1)) \quad (5.14)$$

$$b_{1q} = t_0 + \Delta t_0 \sin^2(q\pi/(N + 1))/(N + 1) \quad (5.15)$$

V.6.2 Solution de l'équation de Poisson

L'équation de Poisson est essentiellement un problème à 2D le long du canal (direction x) et la direction radiale (direction z) comme le montre la figure 5.10. L'équation de Poisson est écrite comme :

$$\nabla^2 E_m(x, z) = -\frac{e}{\epsilon} \rho \quad (5.16)$$

Le domaine de solution est constitué de nœuds de réseau $N_x \times N_z$, où N_x et N_z sont le nombre de nœuds dans les directions x et z. Une solution numérique 2D à l'équation de Poisson est composée de $N_x \times N_z$ valeurs potentielles à chaque nœud du réseau. Pour atteindre les inconnues $N_x \times N_z$, le même nombre d'équations est nécessaire. Les équations sont obtenues soit en appliquant l'équation (5.16) aux nœuds internes (pour tous les nœuds internes), ou en utilisant les conditions aux limites (pour tous les nœuds de limites). Regardons d'abord les équations aux nœuds internes. Nous choisissons le nœud $[m, n]$ (m ligne et n colonne) pour illustrer la procédure. En utilisant une approximation de différence centrale pour les dérivées spatiales, nous exprimons E en termes de V (potentiel). La forme de différence finie linéarisée de l'équation (5.16) est [34] :

$$\frac{a}{b} V_{m-1,n} + \frac{b}{a} V_{m,n-1} - 2 \left(\frac{a}{b} + \frac{b}{a} \right) V_{m,n} + \frac{b}{a} V_{m,n+1} + \frac{a}{b} V_{m+1,n} = \frac{ab}{\epsilon} q (N_D - N_A - n)_{m,n} \quad (5.17.a)$$

Où a et b sont des espacements entre les mailles dans les directions x et z (voir Figure V.10). L'espacement, b, est généralement choisi plus petit que l'espacement, a, pour obtenir une grille plus fine dans le corps ultra-mince ou des couches d'oxyde pour des simulations précises.

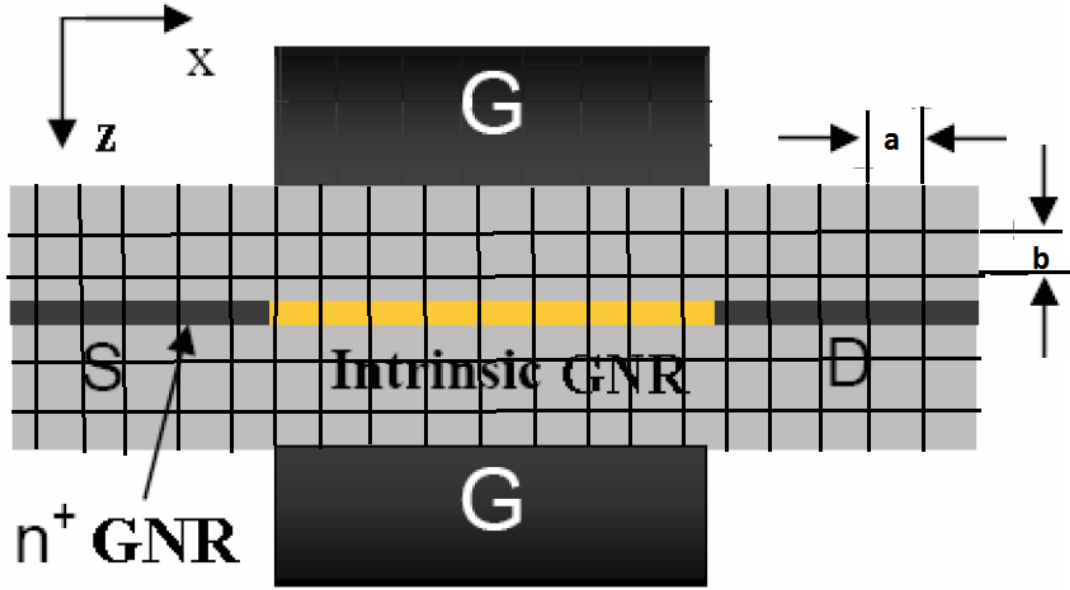


Figure V. 10 Le domaine de simulation 2D est le rectangle entouré par la ligne continue. Des grilles uniformément espacées sont utilisées dans les directions x et z , les constantes spatiales sont a et b respectivement.

Ensuite, nous examinons les équations pour tous les nœuds de frontière. Aux contacts de la grille, les conditions aux limites de Dirichlet sont spécifiées, signifiant $V = V_G$. Le potentiel de grille à vide V_G est déterminé à partir de la tension de polarisation de grille et de la fonction de travail des matériaux de contact. L'équation numérique à satisfaire peut-être facilement écrite comme suit :

$$V_{m,n} = V_G \quad (5.17.b)$$

Au niveau des contacts source / drain, des conditions aux limites de Neumann sont imposées, signifiant $\vec{n} \cdot \vec{\nabla} V = 0$. Ces conditions aux limites permettent aux potentiels de contact de flotter à toutes les valeurs nécessaires pour assurer la neutralité de la charge dans les régions de contact. Les conditions aux limites fixes communes deviennent inappropriées dans les simulations de transport balistique où les statistiques de non-équilibre prévalent aux contacts source / drain. Pour les autres limites sans contact d'électrode, les mêmes conditions de champ électrique nul sont supposées. Ces conditions aux limites sont accomplies numériquement comme suit :

$$V_{m,n} - V_{m\pm 1,n} = 0, \text{ pour les bords gauche et droit,}$$

$$V_{m,n} - V_{m,n\pm 1} = 0, \text{ pour les bords supérieur et inférieur,}$$

$$2V_{m,n} - V_{m+1,n} + V_{m,n\pm 1} = 0, \text{ pour les deux nœuds de coin le long du bord supérieur,}$$

$$2V_{m,n} - V_{m-1,n} + V_{m,n\pm 1} = 0, \text{ pour les deux nœuds de coin le long du bord inférieur. (5.17.c)}$$

Cette procédure conduit à la connaissance du nombre d'équations ($N_X \times N_Y$) nécessaires à la détermination de $V_{m,n}$. Cependant, lors de la résolution d'un ensemble couplé d'équations (l'équation de Poisson et l'équation de transport), il existe un meilleur algorithme de résolution pour résoudre l'équation de Poisson. Cet algorithme peut fournir une convergence plus efficace dans la boucle d'itération des équations de Poisson et de transport. Cet algorithme consiste à effectuer un changement de variable vers n , c'est-à-dire exprimer n en termes de potentiel et une énergie de quasi-Fermi, F_n . L'énergie potentielle quasi-Fermi est calculée en fonction de l'ancien potentiel,

$$(F_n)_{m,n} = -q(V_{old})_{m,n} + k_B T \cdot \mathfrak{I}_{\frac{1}{2}}^{-1} \left(\frac{n_{m,n}}{N_c} \right) \quad (5.18.a)$$

$\mathfrak{I}_{\frac{1}{2}}^{-1}$ signifie l'intégrale Fermi-Dirac inverse d'ordre 1/2 et N_c est la densité d'états effective dans la bande de conduction (un facteur de normalisation). Le terme de densité électronique dans équation (5.18.a) devient maintenant :

$$n_{m,n} = N_c \mathfrak{I}_{\frac{1}{2}} \left[\frac{(F_n)_{m,n} + qV_{m,n}}{k_B T} \right] \quad (5.18.b)$$

Avec ce changement de variable, l'équation (5.17.a) représente maintenant un ensemble d'équations non linéaires pour le potentiel. La raison de l'introduction du changement de variable peut être comprise comme suit :

la non-linéarité de l'équation (5.17) fournit en effet un mécanisme d'amortissement des mises à jour du potentiel V dans les itérations successives de solution du système d'équations couplées. Se référant aux équations (5.17.a-b) et (5.18.b), l'augmentation de $V_{m,n}$, du côté droit des équations (5.17.a-b) implique une augmentation de $n_{m,n}$ (par l'équation (5.18.b), ce qui réduira $V_{m,n}$, de l'autre côté des équations (5.17.a-b).

Puisque l'équation de Poisson est une équation non linéaire, elle est résolue par une boucle interne de Newton-Raphson. Nous dénotons les équations (5.17.a-d) par $F_\alpha(V) = 0$, où l'indice noté α va de 1 à $N_X \times N_Z$. La matrice jacobienne est obtenue comme suit :

$$F_{\alpha,\beta}(V) = \frac{\partial F_\alpha(V)}{\partial V_\beta} \quad (5.19.a)$$

Étant donné une hypothèse initiale ou une ancienne solution V_{old} , la solution projetée est :

$V_{new} = V_{old} + \Delta V$. En utilisant une expression de Taylor du premier ordre, nous avons :

$$F_\alpha(V_{new}) \approx F_\alpha(V_{old}) + F_{\alpha,\beta}(V_{old}) \cdot [\Delta V]_\beta \quad (5.19.b)$$

Il est très clair que les mises à jour peuvent être obtenues :

$$[\Delta V]_{\beta} = \frac{-F_{\alpha,\beta}(V_{old})}{F_{\alpha}(V_{old})} \quad (5.19.c)$$

Où l'équation (5.19) indique la division matricielle de $F_{\alpha,\beta}(V_{old})$ sur $F_{\alpha}(V_{old})$, qui est la même que la multiplication de la matrice inverse du jacobien, $[F_{\alpha,\beta}]^{-1}$, à $F_{\alpha}(V_{old})$ sauf qu'il est calculé de façon différente mais plus efficace (élimination gaussienne). Le processus est répété jusqu'à ce que le résidu de $F_{\alpha}(V)$ soit inférieur à la norme de convergence spécifiée. L'approche de Newton-Raphson fournit une convergence quadratique, de sorte que le nombre d'itérations soit petit [34].

V.7 Présentation et interprétation des résultats

V.7.1 Variation de la densité de charge le long du canal

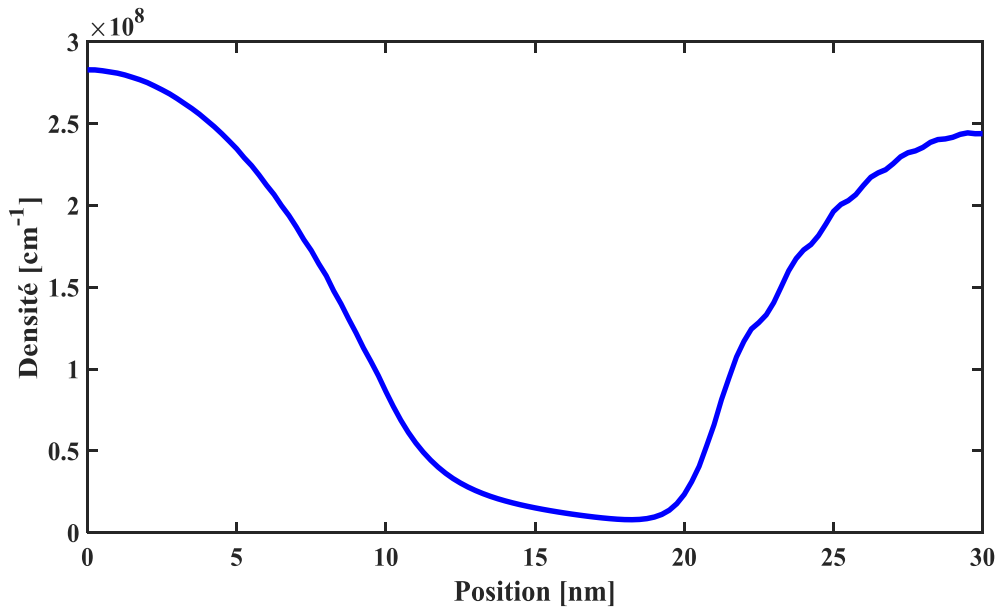


Figure V. 11 Variation de la densité de charge le long de la structure pour $V_{gs}=0.6$ V avec $L_g=10$ nm, $N=12$

La figure V.11 montre la variation de la densité de charge le long du canal pour une tension grille-source $V_{gs}=0.6$ V. La simulation est en 'mode space' qui réduit considérablement le temps de calcul, seulement la première sous-bande est prise en compte dans cette approche.

V.7.2 Variation de I_{DS} en fonction de V_G pour différentes valeurs de V_{DS}

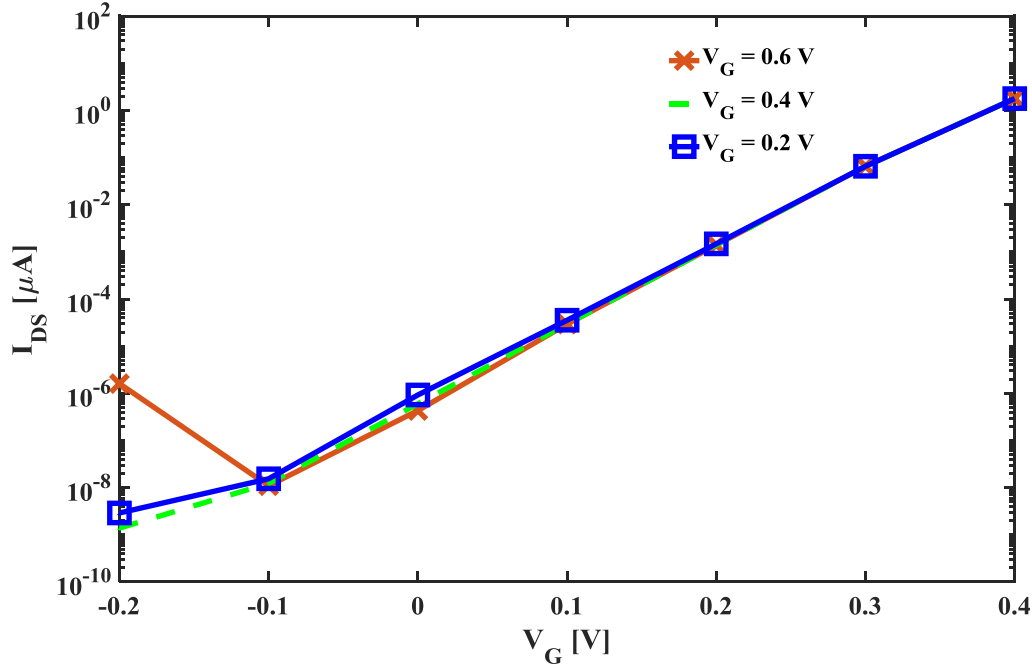


Figure V. 12 Variation de I_{DS} en fonction de V_G pour différentes valeurs de V_{DS} avec $L_g=15\text{nm}$ et $N=12$.

La figure V.12 montre la variation du courant I_{DS} en fonction de la tension V_G pour différentes valeurs de V_{DS} . L'augmentation de la tension de drain entraîne une augmentation exponentielle du courant de fuite minimal, ce qui indique l'importance d'une conception correcte de la tension d'alimentation afin d'obtenir un courant de fuite suffisamment faible.

V.7.3 Variation de I_{DS} en fonction de V_{DS} pour différentes valeurs de V_G

On remarque dans la figure V.13 les caractéristiques I_{DS} en fonction de V_{DS} , qui montrent des régimes linéaires et de saturation typique. Lorsque V_G augmente, le courant de saturation augmente en raison d'une chute de tension plus importante entre la grille et le contact source, et d'une plage d'énergie plus importante qui permet l'injection des porteurs à partir du contact source vers le canal.

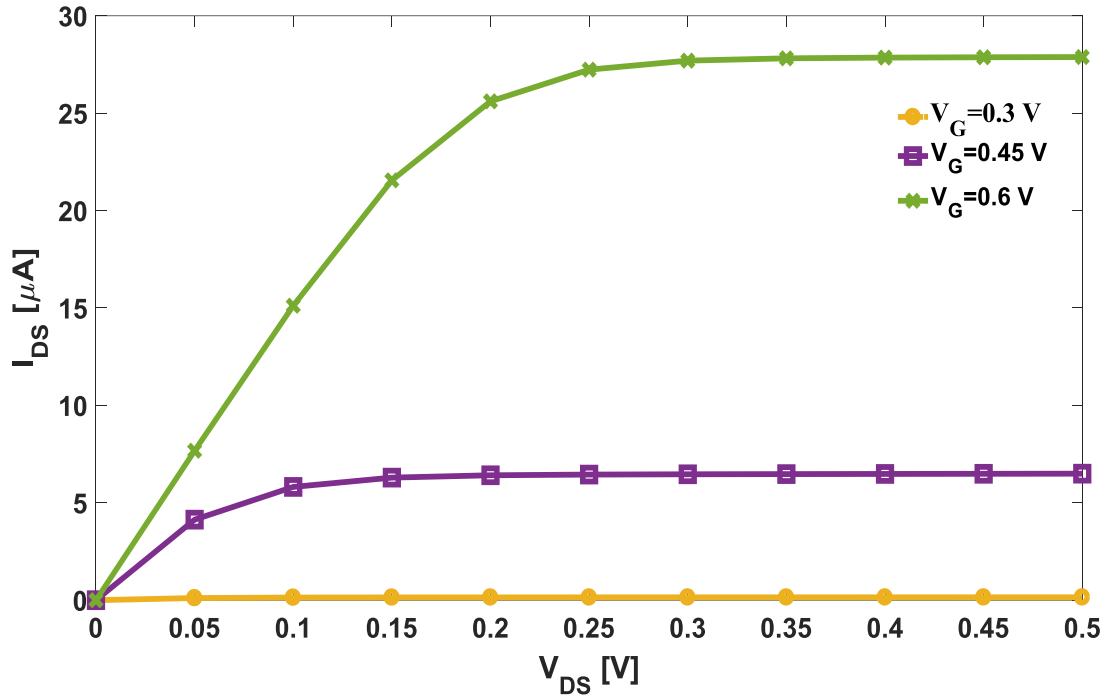


Figure V. 13 Variation de I_{ds} en fonction de V_{ds} pour différentes valeurs de V_g avec $L_g = 10$ nm et $n=12$.

V.7.4 Variation de la pente sous seuil en fonction de ϵ_{ox}

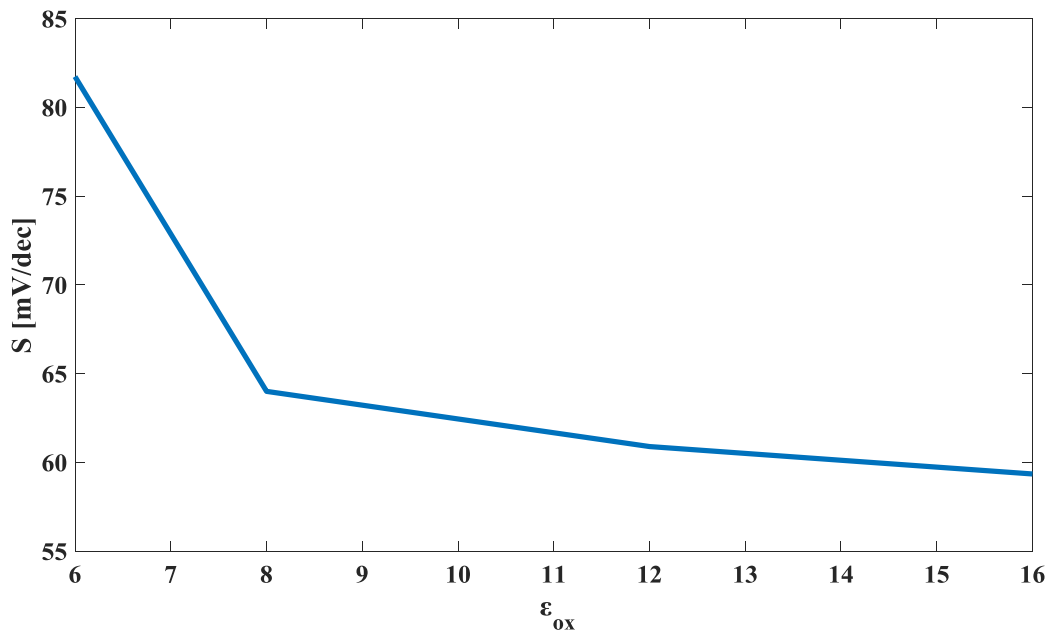


Figure V. 14 Variation de la pente sous seuil en fonction de ϵ_{ox} pour $L_g = 15$ nm et $N=12$

La variation de la pente sous seuil en fonction de la constante diélectrique de l'oxyde de grille est représentée sur la figure V.14. L'augmentation de la constante diélectrique de l'oxyde

de grille entraîne une diminution de la pente sous-seuil à cause de la réduction des courants de fuites.

V.7.5 Effet de la largeur du canal sur les caractéristiques du DG GNR FET

Sur la figure V.15, les caractéristiques I_{DS} en fonction de V_G pour différentes largeurs de canaux sont tracées. À mesure que la largeur du canal augmente, le courant augmente aussi. Un GNR avec une plus grande largeur de canal a une bande interdite plus petite [7], ce qui entraîne une plus petite hauteur, par conséquent, le courant ON et le courant OFF sont augmentés. Il y a un compromis entre le rapport courant-on et le courant-off et le courant-on. Pour un canal $N = 15$, le rapport I_{ON}/I_{off} est supérieur par comparaison avec un canal $n=24$.

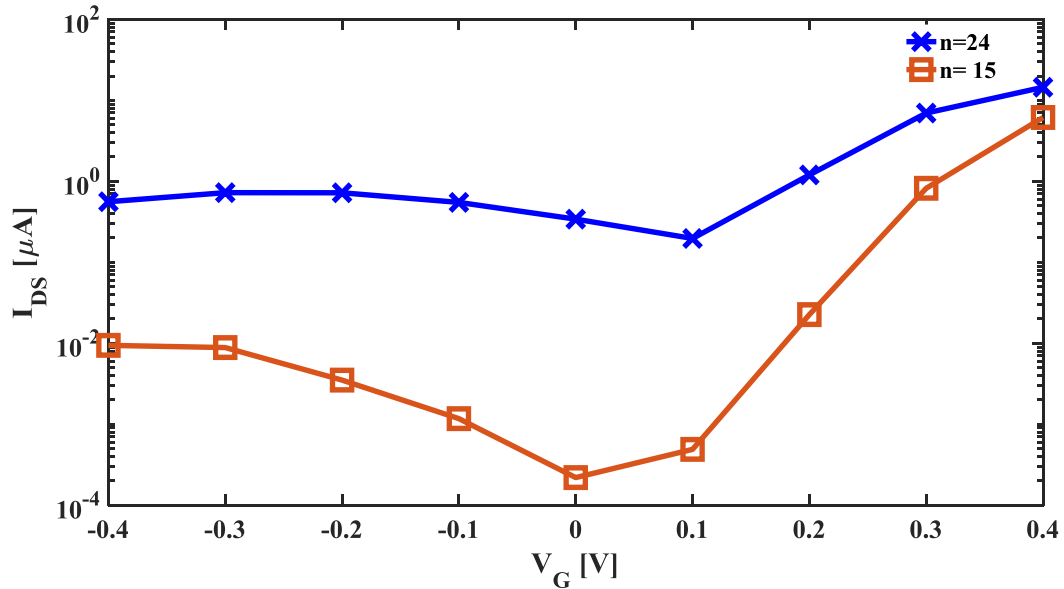


Figure V. 15 Variation de I_{DS} en fonction de V_G pour différentes valeurs de largeur de canal ($N=15$, $N=24$ et $L_g=15$ nm)

Le dispositif à canal large (largeur de canal grande) a des caractéristiques I_{DS} - V_{DS} avec un régime linéaire et un régime de saturation distinct, comme indiqué sur la figure V.16. Parce que la longueur du canal est de l'ordre de 15 nm, la porte a donc un bon contrôle électrostatique sur le profil de potentiel du canal, et le passage direct par effet tunnel de la source au drain est négligeable. On remarque aussi que le courant de saturation est proportionnel à la largeur du canal.

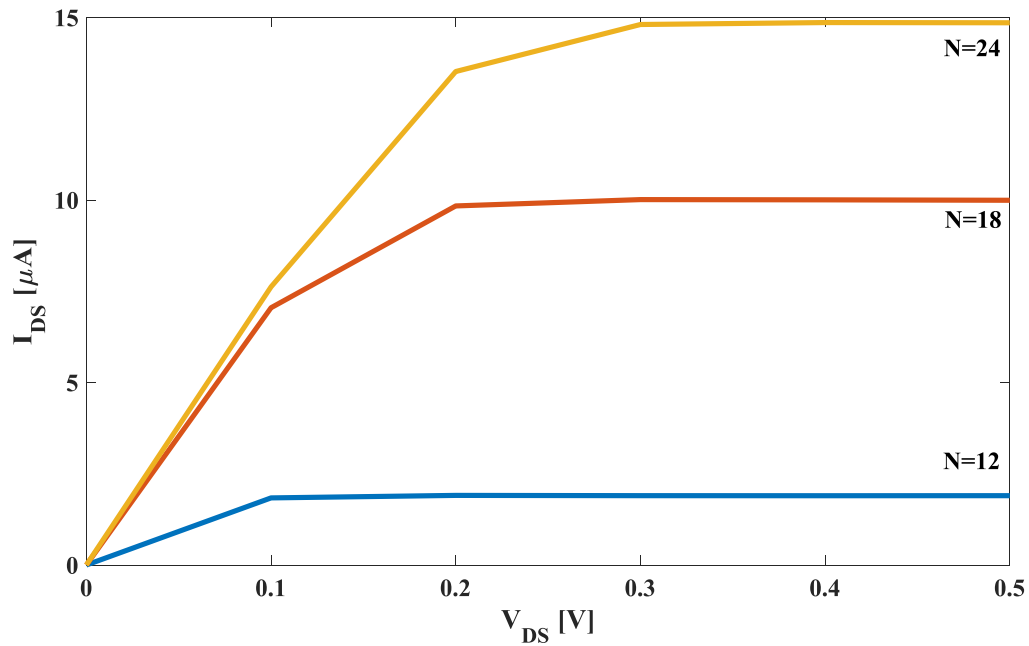


Figure V. 16 Variation de I_{DS} en fonction de V_{DS} pour différentes valeurs de largeur de canal ($N=12$, $N=18$ et $N=24$)

L'augmentation de la largeur du canal affecte la pente sous-seuil. Cette affectation est avec une bande interdite créée par confinement quantique dans la largeur, ce qui conduit à l'augmentation de la pente sous seuil S , la largeur du canal est inversement proportionnelle au gap.

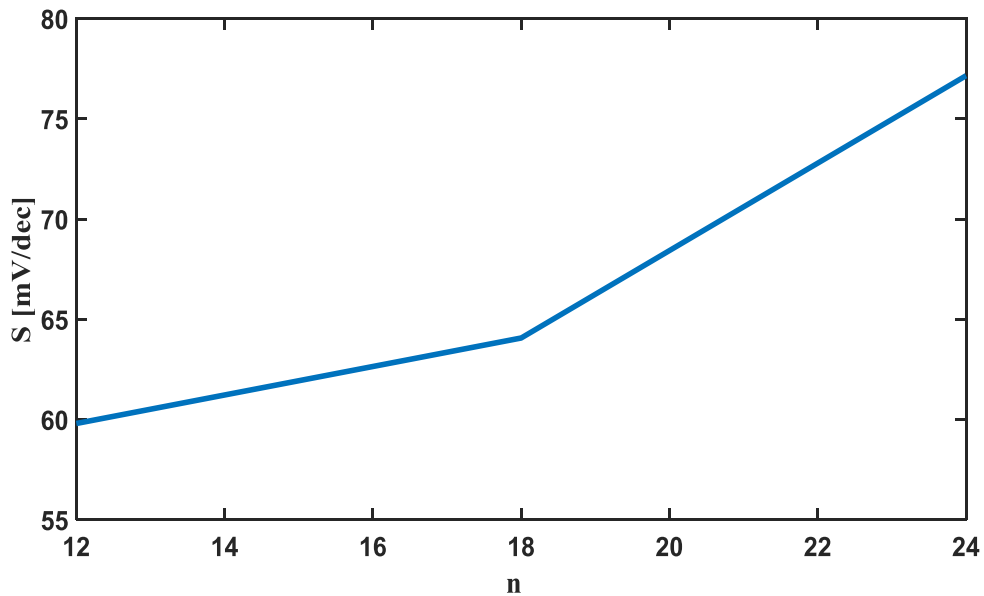


Figure V. 17 Variation de la pente sous seuil en fonction de la largeur du canal N

V.7.6 DG GNR FET LDD (Double Gate GNR FET Low Doped Drain)

On propose d'introduire une région légèrement dopée (N_{DD}) entre la région du canal et la région de drain (n^+) d'un GNR-FET, comme il est illustré par la figure V.18.

L'émission thermique des électrons de la source au drain conduit aux courants de fuite élevés. Pour réduire cet effet, une structure a été utilisée dans une région étroite faiblement dopée du côté drain du canal. Les résultats de simulation montrés sur la figure V.18, suggère que la structure proposée est caractérisée par un courant de fuite considérablement réduit, ce qui conduit à un rapport I_{ON} / I_{OFF} plus élevé, et le courant I_{ON} par rapport à la structure principale (DG GNR FET) reste inchangé. Les résultats ont également démontré que la structure proposée présente un comportement ambipolaire amélioré en comparaison avec la structure conventionnelle.

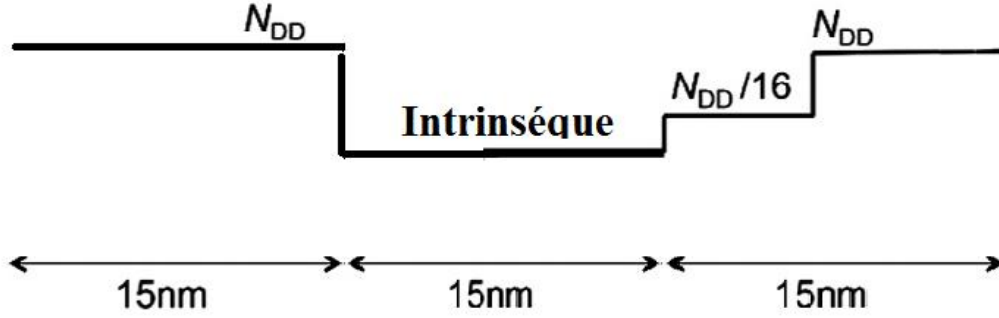


Figure V. 18 Profil du dopage de la structure LDD DG FET

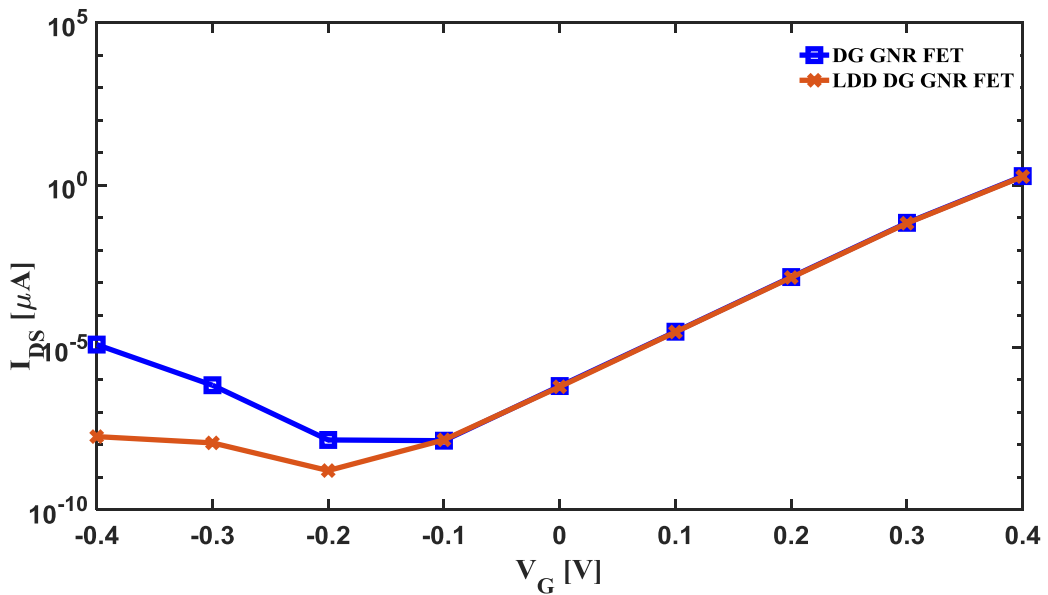


Figure V. 19 Variation de I_{DS} en fonction de V_G de la structure LDD DG FET and DG GNR FET

V.8 Conclusion

Dans ce travail, nous décrivons une approche de l'espace en mode découplé basée sur le formalisme de Green couplé à une équation de Poisson, qui pourrait être utilisée pour simuler les GNR-FETs. Une nouvelle matrice de transformation de base est dérivée pour un nanoruban de graphène. Le dispositif modélisé est un DG GNR-FET, le canal étant supposé être du graphène nanoruban de type 'armchair', une simulation similaire peut également être réalisée dans l'espace réel, ce qui augmente le temps de calcul. L'approche par espace de mode peut considérablement réduire le temps de la simulation, tout en restant suffisamment précis.

Il est à noter que le comportement du LDD-GNR-FET proposé présente des qualités supérieures à celles de la structure conventionnelle.

Références

- [1] T. Misawa, T. Okanaga, A. Mohamad, T. Sakai, and Y. Awano, "Line width dependence of transport properties in graphene nanoribbon interconnects with real space edge roughness determined by Monte Carlo method", *Japanese Journal of Applied Physics*, vol. 54, no. 5S, pp. 05EB01, 2015.
- [2] Y. Yang, and R. Murali, "Impact of size effect on graphene nanoribbon transport", *IEEE Electron Device Letters*, vol. 31, no. 3, pp. 237-239, 2010.
- [3] Q. Yu, J. Lian, S. Siriponglert, H. Li, Y. P. Chen, and S.-S. Pei, "Graphene segregated on Ni surfaces and transferred to insulators", *Applied Physics Letters*, vol. 93, no. 11, pp. 113103, 2008.
- [4] X. Wang, and H. Dai, "Etching and narrowing of graphene from the edges", *Nature Chemistry*, vol. 2, no. 8, pp. 661-665, 2010.
- [5] X. Li, X. Wang, L. Zhang, S. Lee, and H. Dai, "Chemically derived, ultrasmooth graphene nanoribbon semiconductors", *Science*, vol. 319, no. 5867, pp. 1229-1232, 2008.
- [6] M. Sprinkle, M. Ruan, Y. Hu, J. Hankinson, M. Rubio-Roy, B. Zhang, X. Wu, C. Berger, and W. A. De Heer, "Scalable templated growth of graphene nanoribbons on SiC", *Nature Nanotechnology*, vol. 5, no. 10, pp. 727-731, 2010.
- [7] J. Baringhaus, M. Ruan, F. Edler, A. Tejeda, M. Sicot, A. Taleb-Ibrahimi, A.-P. Li, Z. Jiang, E. H. Conrad, and C. Berger, "Exceptional ballistic transport in epitaxial graphene nanoribbons", *Nature*, vol. 506, no. 7488, pp. 349-354, 2014.
- [8] "Graphenea."online: www.graphenea.com .

- [9] M. Jin, H.-K. Jeong, W. J. Yu, D. J. Bae, B. R. Kang, and Y. H. Lee, “Graphene oxide thin film field effect transistors without reduction”, *Journal of Physics D: Applied Physics*, vol. 42, no. 13, pp. 135109, 2009.
- [10] Q. He, S. Wu, S. Gao, X. Cao, Z. Yin, H. Li, P. Chen, and H. Zhang, “Transparent, flexible, all-reduced graphene oxide thin film transistors”, *ACS nano*, vol. 5, no. 6, pp. 5038-5044, 2011.
- [11] C. Coletti, C. Riedl, D. S. Lee, B. Krauss, L. Patthey, K. von Klitzing, J. H. Smet, and U. Starke, “Charge neutrality and band-gap tuning of epitaxial graphene on SiC by molecular doping”, *Physical Review B*, vol. 81, no. 23, pp. 235401, 2010.
- [12] H. Terrones, R. Lv, M. Terrones, and M. S. Dresselhaus, “The role of defects and doping in 2D graphene sheets and 1D nanoribbons”, *Reports on Progress in Physics*, vol. 75, no. 6, pp. 062501, 2012.
- [13] K. Yan, D. Wu, H. Peng, L. Jin, Q. Fu, X. Bao, and Z. Liu, “Modulation-doped growth of mosaic graphene with single-crystalline p–n junctions for efficient photocurrent generation”, *Nature Communications*, vol. 3, pp. 1280, 2012.
- [14] X. Fan, Z. Shen, A. Liu, and J.-L. Kuo, “Band gap opening of graphene by doping small boron nitride domains”, *Nanoscale*, vol. 4, no. 6, pp. 2157-2165, 2012.
- [15] P. P. Shinde, and V. Kumar, “Direct band gap opening in graphene by BN doping: Ab initio calculations”, *Physical Review B*, vol. 84, no. 12, pp. 125401, 2011.
- [16] L1.Ci, L. Song, C. Jin, D. Jariwala, D. Wu, Y. Li, A. Srivastava, ZF. Wang, K. Storr, L. Balicas, F. Liu, PM. Ajayan, “Atomic layers of hybridized boron nitride and graphene domains”, *Nat. Mater*, vol. 9, no.5, pp. 430-435, 2010.
- [17] S.Yu, W. Zheng, C. Wang, Q. Jiang, “Nitrogen/Boron Doping Position Dependence of the Electronic Properties of a Triangular Graphene ”, *Acs Nano*, vol. 4, no. 12, 7619-7629, 2010.
- [18] L. S. Panchakarla, K. S. Subrahmanyam, S. K. Saha, A. Govindaraj, H. R. Krishnamurthy, U. V. Waghmare, C. N. R. Rao, “ Synthesis, Structure and Properties of Boron and Nitrogen Doped Graphene”, *Adv. Mater.*, vol. 21, no. 46, 4726-4730, 2009.
- [19] D. Wei, Y. Liu, Y. Wang, H. Zhang, L. Huang and G. Yu, “Synthesis of N-Doped Graphene by Chemical Vapor Deposition and Its Electrical Properties”, *Nano Lett.*, vol. 9 no. 5, pp. 1752–1758, 2009.
- [20] F. Schedin, A.K. Geim, S.V. Morozov, E.W. Hill, P. Blake, M. I. Katsnelson, K. S. Novoselov, “ Detection of individual gas molecules adsorbed on graphene ”, *Nat. Mater.*, vol. 6, no. 9, pp. 652-655, 2007.

- [21] C. H. Ahn, A. Bhattacharya, M. Di Ventra, J. N. Eckstein, C. Daniel Frisbie, M. E. Gershenson, A. M. Goldman, I. H. Inoue, J. Mannhart, Andrew J. Millis, Alberto F. Morpurgo, D. Natelson, and J. Triscone, “Electrostatic modification of novel materials”, *Rev. Mod. Phys.* vol. 78, pp. 1185, 2006.
- [22] C. Casiraghi, “Doping dependence of the Raman peaks intensity of graphene close to the Dirac point ” *Phys. Rev. B*, vol. 80, no. 23, pp. 233407, 2009.
- [23] A. H. Castro Neto, F. Guinea, N. M. R. Peres, K. S. Novoselov, and A. K. Geim, “The electronic properties of graphene”, *Rev. Mod. Phys.* , vol. 8, no. 1, pp. 109, 2009.
- [24] B. Guo, L. Fang, B. Zhang , J. Ru Gong, “ Graphene Doping: A Review ”, *Insciences J.* vol. 1, no. 2, pp. 80-89, 2011.
- [25] W. Choi, J. Lee, “ Graphene Synthesis and Applications”, CRC Press Taylor & Francis Group, ISBN: 978-1-4398-6187-5, 2011.
- [26] A. K. Geim AND K. S. Novoselov, “The rise of graphene”, *Nature Materials* vol. 6, pp. 183–191, 2007.
- [27] Tien, C. L., and G. Chen, Challenges in microscale conductive and radiative heat transfer. *ASME Journal of Heat Transfer*, vol. 116, pp.799–807, ASME Publishing, 1994.
- [28] L. Hong, X. Chuan, S. Navin and B. Kaustav, “ Carbon Nanomaterials for Next-Generation Interconnects and Passives: Physics, Status, and Prospects ”, *IEEE Transactions On Electron Devices*, vol. 56, no. 9, 2009.
- [29] H. Zheng, Z. F. Wang, T. Luo, Q. W. Shi, .and J. Chen, “ Analytical study of electronic structure in armchair graphene nanoribbons ”, *Physical Review B*, vol. 75, no. 16, pp. 165414, 2007.
- [30] M. Modarresi, A. Mogulkoc, M. R. Roknabadi, N. Shahtahmasebi, “Possible polaron formation of zigzag graphene nano-ribbon in the presence of Rashba spin–orbit coupling ”, *Physica E*, vol. 66, pp. 303–308, 2015.
- [31] J. Guo, S. Datta, M. S. Lundstrom, and M. P. Anantram, “Toward Multiscale Modeling of Carbon Nanotube Transistors,” *Int. J. Multiscale Comput. Eng.*, vol. 2, no. 2, pp. 257-277, 2004.
- [32] P. Zhao and J. Guo, “ Modeling edge effects in Graphene Nanoribbon Field-effect Transistors with real and mode space methods ”, *J. Appl. Phys.* vol. 105, 034503, 2009.
- [33] S. Datta, “Quantum Transport: Atom to Transistor ”, Cambridge, UK, Cambridge Univ. Press, 2005.
- [34] Z. Ren, “Nanoscale Mosfets: Physics, Simulation And Design”, thesis, perdue university, 2001.

CONCLUSION GENERALE

Conclusion générale

La miniaturisation du transistor MOSFET nécessite une modélisation qui permet de prendre en compte les effets de la réduction de canal dans le but d'évaluer de nouvelles architectures prometteuses. Dans ce modeste travail, nous avons présenté une contribution à l'étude et à la modélisation du transistor MOSFET fortement submicronique. On s'intéresse principalement aux modèles analytiques, compacts et numériques permettant l'étude de l'impact des porteurs chauds sur les caractéristiques électriques des dispositifs MOSFETs émergents et plus particulièrement sur les architectures multi-grilles (DG/GAA MOSFETs).

Dans le premier chapitre, nous avons établi les équations de base qui régissent le comportement des transistors MOS et le principe de fonctionnement des transistors MOSFETs à l'échelle micrométrique. L'influence de réduction des dimensions sur le comportement des transistors a été décrite par le phénomène de réduction de canal en plus d'autres phénomènes sont considérés (injection d'électrons chauds,) qui réduisent les performances électriques des dispositifs.

L'étude réalisée montre que l'incorporation d'une fine couche high-k entre la grille et la couche d'oxyde conduit à une amélioration du comportement sous-seuil et à une immunité aux porteurs chauds tout en améliorant la contrôlabilité de la grille et fournit ainsi de meilleures performances par rapport aux MOSFET GAA conventionnels. Le modèle proposé dans la deuxième partie du troisième chapitre peut être facilement utilisé par les programmes de simulation de circuits tels que PSPICE pour des prédictions plus précises des caractéristiques de la structure DG MOSFET nanométrique.

Dans le dernier chapitre, un modèle compact a été utilisé pour prédire les performances des MOSFET DG mis à l'échelle. Notre étude peut fournir une base théorique et physique pour la conception du MOSFET DG.

Le dernier chapitre présente les transistors à effet de champ FET à Graphene. Les résultats obtenus permettent de déterminer des paramètres importants qui caractérisent ces structures nanométriques. Les prémices de ce travail ouvrent de nouvelles perspectives dans le domaine de la recherche de la physique des structures à dimension réduite quasi bidimensionnelle. Les résultats de cette étude sont présentés dans le chapitre V.

En perspective, l'étude des architectures prometteuses tel que les structures à base de graphène à l'échelle atomique (quantique), nécessite le développement d'autres codes de calcul qui prennent en considération d'autres phénomènes quantiques tel que l'effet du troisième proche voisin et l'effets tunnel quantique qui jouent un rôle important dans les caractéristiques du dispositif.

Publications et communications

Publications:

- [J1] **M. A. Abdi**, F. Djeflal, Z. Dibi, D. Arar, A two-dimensional analytical subthreshold behavior analysis including hot-carrier effect for nanoscale Gate Stack Gate All Around (GASGAA) MOSFETs, Journal of Computational Electronics, pp. 179-185, Vol. 10. 2011.
- [J2] **M.A. Abdi**, F. Djeflal, T. Bentrchia and D. Arar , An explicit Continuous analytical model for Gate All Around (GAA) MOSFETs including the hot-carrier degradation effects, J. Nanosciences and Nanotechnology, Vol. 11, pp. 9316-9320, 2011.
- [J3] **M. A. Abdi**, F. Djeflal, T. Bendib, M. Chahdi , A. Benhaya, “ Compact charge model for ultra-thin nanoscale Double Gate MOSFETs,” ScienceJet 2012, 1: 8.

communications

- [C1] **M.A. Abdi**, F.Djeflal, D. Arar and T. Bendib, “ An analytical subthreshold swing model to study the scalability limits of double-gate MOSFETs including bulk traps effects,” IEEE International Conference on Design & Technology of Integrated Systems in Nanoscale Era, 22-25 March 2010, Hammamat, Tunisia.
- [C2] Z. Ghoggali, F. Djeflal ,**M. A. Abdi**, D. Arar, N.Lakhdar and T.Bendib, “An analytical threshold voltage model for nanoscale GAA MOSFETs including effects of hot-carrier induced interface charges”, The 3rd IEEE International Design and Test Workshop IDT08, December 20-22, 2008, Monastir, Tunisia.
- [C3] T.Bentrchia, F.Djeflal, **M.A. Abdi** and D.Arar, “ A compact analytical current model including traps effects for GS DG MOSFETs,” XIth International Workshop on Symbolic and Numerical Methods, Modeling and Applications to Circuit Design (SM2ACD), Tunis-Gammarth 05-06 October 2010, Tunisia.