

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique



Université Batna 2
Faculté de Technologie
Département d'Electronique



Mémoire

Présenté pour l'obtention du diplôme de
MAGISTER en Électronique

OPTION

Microélectronique IC Design

Par

CHENAF Tarek

Thème

*Etude des défauts d'interface Si/SiO₂ dans les TMOS :
Simulation sous Silvaco et Modélisation*

Soutenu-le : 10/04/2016

Devant le jury composé de :

<i>M. A. BENHAYA</i>	<i>Prof.</i>	<i>Université Batna 2</i>	<i>Président</i>
<i>M. R. MAHAMDI</i>	<i>Prof.</i>	<i>Université Batna 2</i>	<i>Rapporteur</i>
<i>M. F. DJEFFAL</i>	<i>Prof.</i>	<i>Université Batna 2</i>	<i>Examineur</i>
<i>M. D. RECHEM</i>	<i>M. C. A</i>	<i>Université. Oum-El-Bouaghi</i>	<i>Examineur</i>
<i>M^{elle} N. GUENIFI</i>	<i>M. C. B</i>	<i>Université Batna 2</i>	<i>Invitée</i>

Dédicaces

Je dédie ce modeste travail :

À ma mère . . .

Et à ma mère...

Et aussi à ma mère. ...

À mon père que je respecte

Beaucoup...

À ma famille...

À tous les amis et à mes collègues sans exception...

Remerciements

***Au** nom d'ALLAH, le tout-Miséricordieux, le Très- Miséricordieux*

***Mes** plus vifs remerciements vont à **M. R. MAHAMDI** Professeur au Département d'Electronique, Faculté de Technologie ; Université Batna 2 pour avoir proposé et dirigé ce travail.*

***Je** remercie également **Dr. N. GUENIFI**, Maître de Conférences Département d'Electronique, Faculté de Technologie, Université Batna 2 pour son aide, ses conseils et ses encouragements pour mener ce travail. Je lui exprime toute ma gratitude et mon estime pour ses remarques, ses conseils fructueux, son soutien constant, et ses encouragements.*

***Mes** sincères remerciements s'adressent à **M. A. BENHAYA** Professeur au Département d'Electronique, Faculté de Technologie, Université de Batna 2 qu'il m'a fait l'honneur de présider le jury de soutenance.*

***Je** suis très reconnaissant envers les membres de jury : qui ont fait l'honneur de bien vouloir examiner ce travail et participer à ce jury :*

*- **M. F. DJEFFAL** ; Professeur au Département d'Electronique, Faculté de Technologie ; Université Batna 2*

*- **M. D. RECHEM** Maître de Conférences, Université Oum-El-Bouaghi*

***Mes** remerciements vont également à mes amis.*

Sommaire

Introduction générale.....1

Chapitre 1 : Généralités simplifiées sur les transistors MOS et les défauts d'interface Si/SiO₂

1.	Introduction.....	4
2.	Structure MOS.....	4
2.1.	Constitution.....	4
2.2.	Substrat.....	5
2.3.	Interface Si/ SiO ₂	6
2.4.	Grille.....	7
3.	Structure MOS idéale.....	8
3.1.	Structure MOS idéale non polarisée.....	8
3.2.	Structure MOS idéale polarisée.....	9
3.2.1	Régime d'accumulation.....	10
3.2.2	Régime de désertion.....	10
3.2.3	Régime d'inversion.....	10
3.3.	Structure MOS réelle : Tension de bande plates.....	14
3.4.	Evolution de la charge d'espace en fonction du Potentiel de surface.....	15
4.	Simulation.....	18
4.1.	Condition de simulation.....	18
4.2.	Résultats de la simulation.....	20
5.	Fonctionnement du transistor MOS.....	20
6.	Principe de fonctionnement.....	21
7.	Caractéristiques courant tension des TMOS.....	22
8.	Principaux paramètres des transistors MOS.....	24
9.	Interface Si/SiO ₂	25
10.	Propriétés de l'isolant de grille.....	26
11.	Propriétés électriques de l'oxyde.....	26
12.	Notion de défauts électriquement actifs.....	27
13.	Défauts et impuretés dans l'interface Si/SiO ₂	28
13.1.	Charges fixes d'oxyde.....	29
13.2.	Ions mobiles.....	29
13.3.	Charges piégées.....	30
13.4.	Charge piégée des états d'interface.....	30
14.	Défauts extrinsèques.....	31
15.	Défauts intrinsèques d'origine structurale.....	31
15.1.	Défauts trivalent dans la région interfaciale.....	31
15.2.	Défauts volumiques du SiO ₂ : les centres E'.....	36
16.	Conclusion.....	38

Chapitre 2: Mécanismes de création de défauts et simulation sous SILVACO

1.	Introduction.....	39
2.	Dynamique des défauts.....	40
2.1.	Base de la statistique SRH.....	40
2.2.	Taux de capture des électrons.....	42
2.3.	Taux d'émission des électrons.....	42
2.4.	Taux de capture des trous.....	43
2.5.	Taux d'émission des trous.....	43

Sommaire

3.	Comportement des défauts	44
4.	Présentation du logiciel SILVACO	44
5.	Simulation sous SILVACO: Résultats et Discussions	48
5.1.	Paramètres du système simulé.....	49
6.	Conclusion.....	55

Chapitre 3 : Caractéristiques d'un TMOS : Modélisation sous Matlab

1.	Introduction.....	57
2.	Description du modèle implanté sous MATLAB	58
2.1.	Analyse en continu.....	58
2.1.1.	Tension de seuil.....	60
2.1.2.	Tension de seuil à polarisation du substrat nulle	61
2.1.3.	Effet de la longueur du canal sur la mobilité.....	61
2.1.4.	Variation de la longueur du canal pour la région de saturation.....	62
2.2.	Analyse en transitoire et en petit signal	62
2.2.1.	Charge associée à la grille.....	62
2.2.2.	Charge associée au substrat	63
2.2.3.	Charge associée u canal	63
3.	Résultats et interprétation	63
3.1.	Influence des charges d'interface N_{ss} sur les caractéristiques du TMOS	64
3.2.	Influence d'épaisseur d'oxyde T_{ox} sur les caractéristiques du T.MOS	67
3.3.	Influence des charges d'oxyde N_{ox} sur les caractéristiques du TMOS	68
3.4.	Influence simultanée charges d'état d'interfaces Q_{ss} et des charges d'oxyde Q_{ox} sur les caractéristiques du T.MOS	68
3.5.	Influence des charges d'état d'interfaces N_{ss} sur la transconductance g_m	69
3.6.	Influence de la mobilité μ sur les caractéristiques du T.MOS	71
3.7.	Comparaison entre les résultats SPICE et MATLAB	73
4.	Conclusion.....	77
	Conclusion générale.....	78
	Bibliographie.....	80

Introduction Générale

Introduction générale

Les objectifs technologiques de la décennie à venir passeraient par une maîtrise du système Si/SiO₂ dans les structures MOS. Il s'agirait essentiellement de maintenir, pour les films minces d'oxyde, les bonnes propriétés structurales et d'interface tout en diminuant la sensibilité de l'hétérojonction Si/SiO₂ aux différents mécanismes de dégradation et source de pollution (que ce soit au niveau de l'élaboration ou du fonctionnement des composants). Ces derniers provoquent différents types de défauts. Parmi ces défauts, les défauts ponctuels qui prennent une importance considérable pour les composants de plus en plus sensibles aux imperfections et aux défauts des matériaux ; d'où la nécessité d'étudier la physique de ces défauts directement dans les composants de petite géométrie [1-5].

Les études montrent que le rôle des défauts ou impuretés est celui des centres de recombinaison ou de génération ou de pièges à électrons ou à trous. Ces impuretés donc sont à l'origine de plusieurs niveaux d'énergies dont l'un est voisin du centre de la bande interdite du silicium. Cette position lui confère un rôle essentiel dans les phénomènes de génération et de recombinaison. Aussi, ils jouent souvent un rôle important dans les propriétés électriques des dispositifs électroniques et perturbent l'effet du transistor [6-7].

Le développement de la technologie MOS vers des dimensions de plus en plus petites nécessite des étapes technologiques plus sophistiquées et complexes qui engendrent d'une part, des défauts localisés à l'interface Si-SiO₂ et, dans l'oxyde et, d'autre part, l'augmentation des champs électriques à l'intérieur du dispositif, ce qui conduit à échauffer les porteurs et favorise leur multiplication et leur injection dans l'oxyde. Il en résulte une dégradation globale des paramètres qui déterminent les performances du transistor MOS : Tension de seuil, tension de bandes plates, transconductance ainsi que d'autres paramètres [8-10].

La compréhension des mécanismes physiques de dégradation est cruciale pour pouvoir arriver à des solutions qui atténuent ce phénomène. Cette compréhension ne peut être acquise qu'en étudiant les effets de dégradation sur les performances des dispositifs dans le but d'évaluer l'ampleur et la nature des endommagements engendrés. C'est dans ce contexte s'inscrit le cadre de notre étude.

Notre travail a pour but d'étudier l'influence de ces défauts sur les propriétés électriques des composants électroniques à savoir les transistors MOS.

L'étude théorique et le traitement technique de ce sujet, nous ont amené à structurer ce mémoire en trois chapitres.

Dans un premier chapitre, nous commencerons par un bref rappel sur les transistors MOS et les défauts liés aux procédés de fabrication, au sens de la microélectronique, en particulier les défauts ponctuels électriquement actifs, situés à l'interface Si/SiO₂, ...

L'outil de simulation, nous permet de reproduire en un peu de temps des étapes technologiques longues et nécessitant des équipements souvent lourds et chers (Salle blanche, fours de dépôt, implanteur ionique et une spectrométrie de masse des ions secondaires ou SIMS (Secondary Ion Mass Spectrometry). De ce fait, une description détaillée sur le paquet des programmes du simulateur SILVACO-TCAD (Abréviation de Silicon Valley Corporation Technology Computer Aided Design) va être exposée. Les résultats de simulation vont être présentés et discutés. Dans ce travail nous allons étudier l'influence de certains paramètres des défauts sur les caractéristiques $I_{DS}(V_{GS})$ à savoir la densité des défauts accepteurs, l'orientation du substrat, la position du niveau d'énergie dans la bande interdite du substrat, ainsi que les distributions énergétiques des défauts ponctuels seront exposés dans le deuxième chapitre. Une fiche détaillée de notre programme sera donnée également.

La modélisation des composants électroniques constitue actuellement un axe de recherche très convoité à travers le monde. Pour suivre cette évolution, les modèles existants doivent être améliorés et de nouveaux modèles doivent être développés. De ce fait, dans le troisième chapitre, nous allons mettre en œuvre un modèle qui tient en compte le phénomène de dégradation. Plusieurs équations gouvernant l'évolution de certains paramètres clés intervenant dans le phénomène de dégradation du transistor MOS tels que : la tension de bandes plates, la tension de seuil, les charges des états d'interface, ...

Ce modèle, implanté sous Matlab, prend en considération les défauts induits au cours des étapes technologiques. Nous donnerons une explication du model utilisé ainsi que le "listing" de notre programme. Nous essayerons aussi, de montrer que ces défauts sont entièrement responsables des dérives des caractéristiques de sortie des transistors MOS [6] en étudiant l'influence de quelques paramètres sur le modèle modifié tels que l'épaisseur d'oxyde et la mobilité.

Introduction générale

Nos résultats seront analysés et commentés afin d'en tirer des conclusions pratiques pouvant intéresser ceux qui sont appelés à réaliser des circuits en technologie VLSI (very Large Scale Integration).

Enfin, nous terminerons ce mémoire par une conclusion générale où nous rappellerons les différents résultats obtenus au cours de chaque étape, puis nous évoquerons les perspectives relatives à de possibles futurs axes de recherche sur ce sujet.

Chapitre 1
Généralités simplifiées
sur les transistors MOS
et défauts d'interface
Si/SiO₂

Généralités simplifiées sur les transistors MOS

Et les défauts d'interface Si/SiO₂

1. Introduction

Le transistor MOS (Métal – Oxyde - Semi-conducteur) est l'un des dispositifs les plus importants dans l'électronique actuelle, elle est la base des circuits intégrés, de ce fait, dans ce premier chapitre, nous présenterons brièvement la structure MOS, son diagramme énergétique ainsi que, les trois régimes de fonctionnement.

Nous évoquerons ensuite la variation du potentiel de surface en fonction de la charge totale dans le semi-conducteur et nous donnerons un aperçu général sur le fonctionnement du transistor MOS. Aussi, nous allons simuler sous Matlab13 la charge d'espace en fonction du potentiel de surface et voir l'influence du dopage et la température sur la charge. Enfin, nous terminerons le chapitre par les défauts d'interface Si/SiO₂.

Ce premier chapitre aura également pour objectif d'apporter l'argumentation de base nécessaire à l'interprétation des résultats de simulation dans les chapitres 2 et 3.

2. Structure MOS

2.1. Constitution

Une structure MOS est la combinaison en couche de trois matériaux différents, (comprenant donc deux hétérojonctions), une couche métallique ou en silicium poly-cristallin fortement dopé dite grille, une couche isolante d'oxyde de silicium et une couche de silicium

crystallin dopé p ou n formant le substrat (figure1). L'épaisseur d'oxyde doit être suffisamment grande pour interdire toute circulation de courant lorsqu'une faible tension

Continue est appliquée entre la grille et le substrat, mais suffisamment mince pour permettre la courbure des bandes d'énergie à l'interface isolant/substrat.

Le comportement d'une structure MOS vis-à-vis d'une perturbation électrique ne pourra pleinement s'étayer que sur la base d'une connaissance des procédés de fabrication [20]

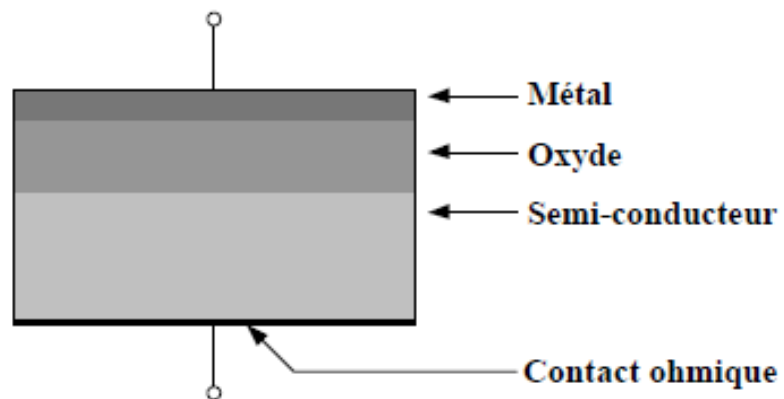


Figure 1: Schéma en coupe d'une structure MOS [10].

Dans la suite, la description succincte des trois matériaux constituant une structure MOS et de leurs interfaces aura essentiellement pour but d'apporter un éclairage général sur les notions de base de la structure MOS [20].

2.2. Substrat

Le substrat est constitué de silicium cristallin dopé p ou n. Le dopage permet d'accroître un des types de porteurs de charge, électrons ou trous, au détriment de l'autre, on parle de structures p-MOS ou n-MOS.

Les structures MOS étudiées dans notre simulation est de type N (substrat type P) L'incorporation d'atomes accepteurs (donneurs) dans le substrat, s'effectue en deux étapes :

- Une première fois pour assurer le dopage,

- Une seconde fois après oxydation et recuit, à travers l'oxyde, afin d'ajuster la tension seuil des transistors.

Bien que la concentration des dopants dans l'oxyde soit estimée à une valeur très faible par les fabricants, la présence et l'influence de tels atomes n'est pas à exclure.

Le substrat est caractérisé par [22] :

- ✓ Largeur de bande interdite (1,1 eV),
- ✓ Type et concentration des dopants,
- ✓ Orientation du cristal à sa surface ([111] ou [100]) cette orientation conditionne

la densité de défauts intrinsèques à l'interface substrat/isolant.

2.3. Interface Si/ SiO₂

2.3.1. Obtention du SiO₂

Pour la plupart des dispositifs étudiés, l'oxyde de grille est obtenu par oxydation thermique du silicium. C'est la technique la plus couramment utilisée depuis les années 50, car c'est elle qui donne les oxydes de meilleure qualité, même si d'autres procédés tels que le dépôt chimique en phase vapeur ou CVD (Chemical vapor deposition) permettent aujourd'hui d'obtenir des oxydes de qualités équivalentes [22,25].

L'oxydation thermique du silicium est effectuée à hautes températures (800 à 1200 °C) à l'intérieur d'un four parcouru par un courant gazeux oxydant (O₂ ou H₂O). Afin de limiter certains effets liés à la redistribution des impuretés de dopage, on cherche à diminuer ces températures. La croissance de l'oxyde se fait en consommant du silicium (environ 1 nm de silicium consommé pour 2 nm d'oxyde formé) [25].

Pour obtenir une épaisseur de 2000 Å à 1000°C, il faut près de 8 heures en oxydation sèche, contre moins d'une heure en oxydation humide [19]. L'oxydation sèche, qui donne un oxyde de meilleure qualité et d'épaisseur mieux contrôlée, est réservée à l'obtention d'oxydes minces (de grille, piédestal des LOCOS...), tandis que l'oxydation humide est utilisée pour la formation d'oxydes épais (de masquage, de champ, d'isolation de grands substrats...) [22].

La croissance de l'oxyde et sa qualité dépendent de la qualité du substrat de silicium et en particulier de sa surface, à partir de laquelle il doit croître. Une surface rugueuse donnera un oxyde de mauvaise qualité. C'est pour cela que des procédés de nettoyage sont mis en œuvre avant l'oxydation afin d'assurer une surface propre et lisse [22,23].

2.3.2. Structure du SiO₂

La silice peut se trouver sous trois formes allotropiques (même composition chimique, mais arrangements atomiques différents) : cristalline (ordre cristallographique à longue distance), vitreuse (ordre à courte distance) et amorphe (absence d'ordre) [22].

La structure obtenue par oxydation thermique est la silice vitreuse. Elle est amorphe dans le cas d'un mauvais contrôle de la croissance de l'oxyde.

L'unité structurale de base de la silice est un atome de silicium entouré de quatre atomes d'oxygène constituant les sommets d'un tétraèdre.

La silice est constituée d'un arrangement de tétraèdres SiO₄ reliés entre eux par l'intermédiaire des sommets oxygènes. Ces tétraèdres sont caractérisés par la distance atomique Si-O (de 1,6 à 1,63 Å), et par la valeur de l'angle θ entre les liaisons O-Si-O, (θ varie de 110° à 180°, avec une valeur moyenne de 144° pour la silice amorphe [23]).

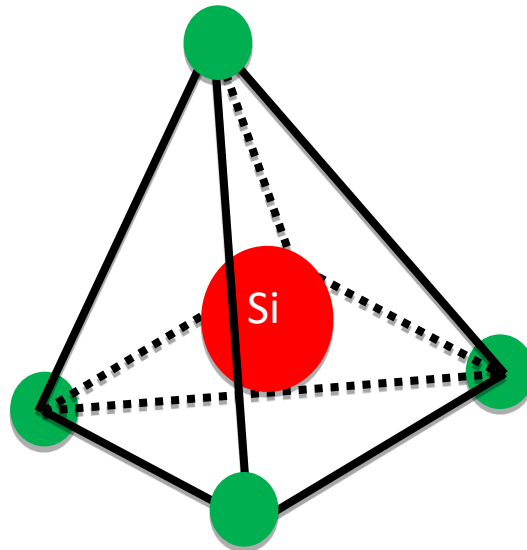


Figure 2: Motif de base de la silice [15]

2.4. Grille

La grille des premières structures MOS était métallique. Afin de pallier les problèmes de diffusion d'impuretés (hydrogène ou ion alcalins) ou des atomes constituant la grille, dans la couche isolante, le métal a été remplacé progressivement par du silicium poly-cristallin fortement dopé p ou n (silicium dégénéré). La concentration élevée d'atomes dopants dans ce silicium écarte le niveau de Fermi en dehors de la bande interdite et confère à ce type de grille les mêmes propriétés qu'un métal [25].

Le dépôt de grille en silicium poly-cristallin sur l'isolant est obtenu par technique CVD (chemical vapor deposition). Comme son nom l'indique, le silicium polycristallin implique l'existence de joints de grains entre l'isolant et la grille, ce qui peut supposer une interface de moindre qualité, également à cause d'un phénomène de ségrégation de dopant.

3. Structure MOS idéale

Afin de mieux comprendre toute structure MOS, il est judicieux de considérer en premier lieu une structure MOS sans défauts qualifiée d'idéale.

3.1. Structure MOS idéale non polarisée

Les caractéristiques de la structure MOS idéale sont les suivantes [24] :

- * Il n'existe pas de différence entre les travaux de sortie du métal et du semi-conducteur.
- * Il n'y a pas de charge électrique dans l'oxyde.
- * Il n'y a pas d'états électroniques à l'interface oxyde/semi-conducteur ; c'est-à-dire que sous polarisation nulle, les bandes d'énergie sont plates.

Les structures de bandes des trois matériaux vont s'ajuster par rapport à leur niveau du vide.

On considère une structure MOS d'épaisseur d'oxyde t_{ox} de surface S , dont la grille est en silicium poly-cristallin dopé n, le semi-conducteur est en silicium dopé p (le niveau de Fermi est proche du haut de la bande de valence) et l'isolant en oxyde de silicium. Dans l'hypothèse d'idéalité, il n'y a pas de champ électrique dans l'isolant ni dans le semi-conducteur.

L'hypothèse d'idéalité, il n'y a pas de champ électrique dans l'isolant ni dans le semi-conducteur.

Le diagramme énergétique d'une telle structure MOS est présenté sur la figure 3, seul l'écart entre le niveau de Fermi et le haut de la bande de valence du semi-conducteur n'est pas à l'échelle. Nous pouvons d'abord remarquer la grande largeur de bande interdite de l'isolant $E_{G_{ox}}$, estimée à 8,8 eV [24].

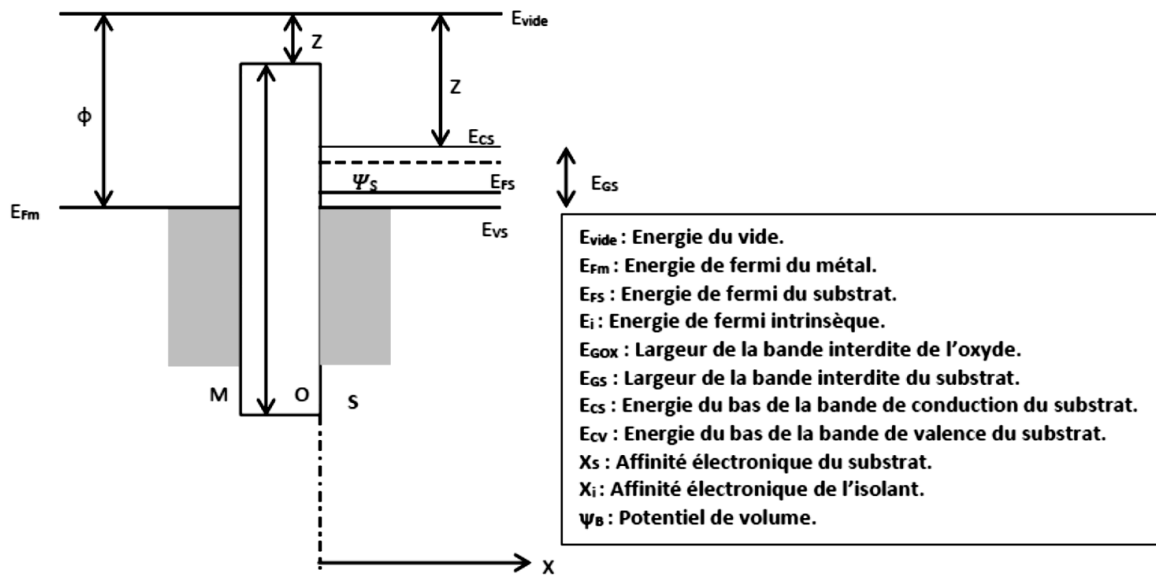


Figure 3: Diagramme énergétique d'une structure p-MOS idéale non polarisée [14].

3.2. Structure MOS idéale polarisée

En appliquant une différence de potentiel V_G (appelée tension grille) entre la grille et le semi-conducteur on entraîne la formation d'une zone de charge d'espace au voisinage de l'interface oxyde/semi-conducteur. A l'équilibre cette charge est compensée par une charge induite Q_m de signe opposé à l'interface isolant/grille. La tension V_G peut être strictement continue ou comportant une composante alternative de faible amplitude (typiquement 10 mV) à basse ou haute fréquence.

Remarque : la densité d'électrons dans la grille est telle que l'extension spatiale de la charge induite est très faible, elle n'est prise en compte que dans le cas des structures MOS d'oxyde ultra-minces

On distingue selon la position relative du niveau intrinsèque E_i par rapport à E_{FS} à l'interface Si/SiO₂, trois régimes de polarisation : les régimes d'accumulation, de désertion et d'inversion [20].

3.2.1. Régime d'accumulation

Si on polarise la grille négativement par rapport au semi-conducteur (type p), les trous libres (porteurs majoritaires) du semi-conducteur s'accumulent à l'interface isolant/semi-conducteur. La polarisation V_G appliquée à la grille se répartit entre une tension ψ_s tenue par le semi-conducteur (ψ_s traduit la courbure de bandes du substrat à l'interface isolant/semi-conducteur et est appelé potentiel de surface du semi-conducteur) et une tension V_{ox} tenue par l'isolant. On a alors [20,23] :

$$V_G = \psi_s + V_{ox}; \quad \psi_s < 0 \quad (\text{I.1})$$

Avec

$$q\psi_s = E_{vs}(x=0) - E_{vs}(x \rightarrow \infty) \quad (\text{I.2})$$

Où

x étant l'abscisse d'un axe ayant pour origine l'interface Si/SiO₂, dirigé vers le substrat et perpendiculaire à cette interface.

3.2.2. Régime de désertion

En polarisant la grille positivement par rapport au semi-conducteur, les trous libres sont chassés de l'interface. Il se crée une large zone désertée de charge mobile (ou de déplétion) correspondant à une charge d'espace négative coté semi-conducteur [20,23]

3.2.3. Régime d'inversion

Si on accroît la polarisation positive de grille, la courbure de bandes du semi-conducteur s'accroît. Il arrive un moment où le niveau E_{CS} à l'interface isolant/semi-conducteur est plus proche du niveau de Fermi E_{FS} que le niveau E_{VS} n'est proche de E_{FS} dans le volume. La concentration des électrons minoritaires (matériau p) à l'interface devient supérieure à la concentration d'impuretés ionisées (égale à la concentration des porteurs majoritaires dans l'hypothèse où tous les atomes accepteurs sont ionisés à la température considérée). Il y a apparition d'une couche d'inversion entre la zone désertée et l'interface, soit une charge négative supplémentaire Q_{INV} .

La figure 4 représente dans chacun des cas l'allure des bandes d'énergie, les densités de charge et leurs variations, le champ électrique et le potentiel électrique [24].

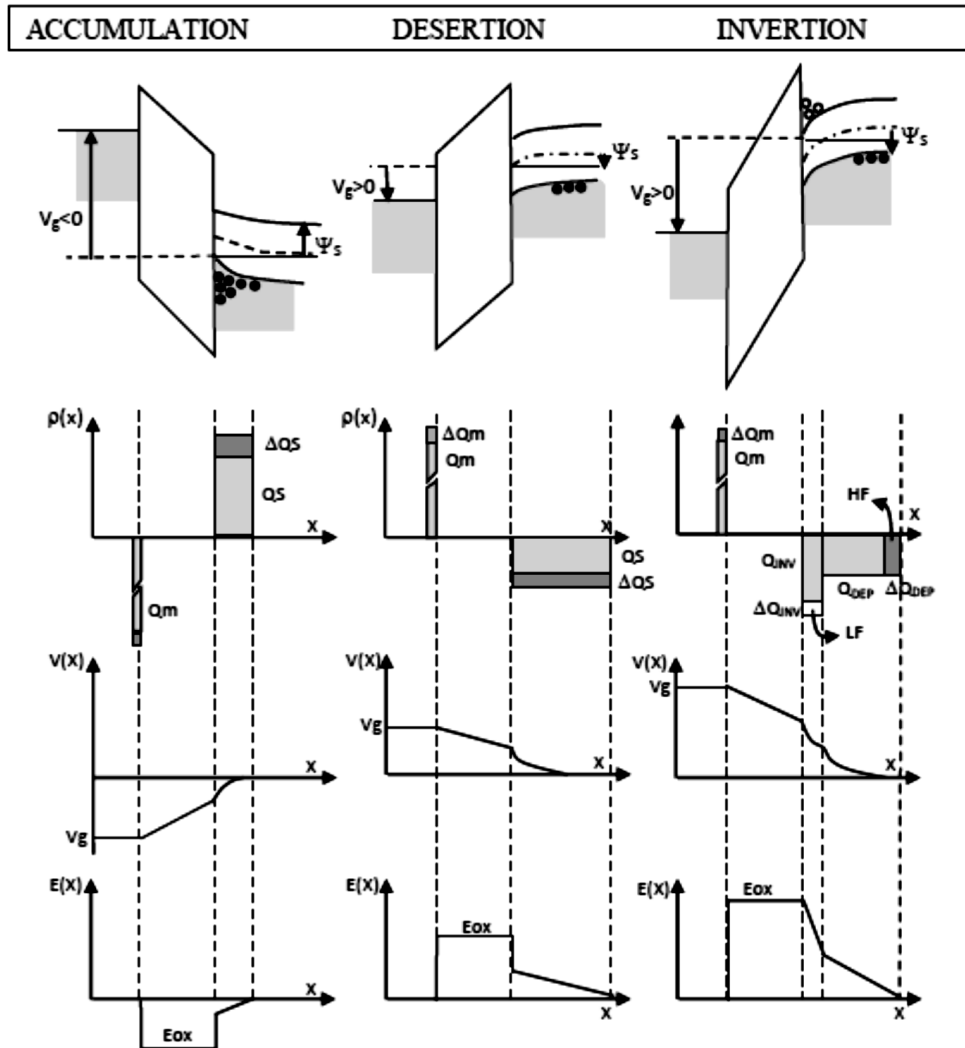


Figure 4: Diagrammes énergétiques, densités de charge, potentiels électriques, Champs électriques d'une structure MOS idéale polarisée [24].

Le potentiel électrique régnant dans le semi-conducteur se déduit de la résolution de l'équation de Poisson [24].

$$\Delta\psi + \frac{\rho}{\epsilon_s} \tag{I.3}$$

Où ψ , ρ , ϵ_s sont respectivement le potentiel électrique, la densité de charge et la constante diélectrique du semi-conducteur.

À une dimension on a [24] :

$$\frac{d^2\psi}{dx^2} = -\frac{\rho(x)}{\epsilon_s} \quad (\text{I.4})$$

Avec une densité de charge qui s'écrit : $\rho(x) = q(N_d + N_a + p(x) - n(x))$

$$\rho(x) = q(N_D + N_A + p(x) - n(x)) \quad (\text{I.5})$$

Et $p(x) = p_0 e^{-q\psi/KT}$, $n(x) = n_0 e^{-q\psi/KT}$

Avec :

n_0 : concentration d'électrons dans le volume du substrat,

p_0 : concentration de trous dans le volume du substrat,

$n(x)$: concentration d'électrons dans la zone de charge d'espace à la position x ,

$p(x)$: concentration de trous dans la zone de charge d'espace à la position x ,

N_D^+ : concentration d'atomes donneurs ionisés,

N_A^- : concentration d'atomes accepteurs ionisés.

k : constante de Boltzmann

T : la température

Dans l'hypothèse où tous les atomes accepteurs et donneurs sont ionisés à la température considérée (à l'ambiante les concentrations s'écrivent : $N_D^+ = n_0$; $N_A^- = p_0$), on a alors

$$\rho(x) = q(n_0 - p_0 + p_0 e^{-q\psi/KT} - n_0 e^{q\psi/KT}) \quad (\text{I.6})$$

L'équation devient :

$$\frac{d^2\psi}{dx^2} = -\frac{q}{\epsilon_s} \left[(p_0 e^{-q\psi/KT} - 1) - n_0 (e^{q\psi/KT} - 1) \right] \quad (\text{I.7})$$

En multipliant à gauche et à droite par : $2 \frac{d\psi}{dx}$

Et en remarquant que :

$$\frac{d}{dx} (E^2) = 2 \frac{d\psi}{dx} \frac{d^2\psi}{dx^2} \quad (\text{I.8})$$

On obtient :

$$2 \frac{d\psi}{dx} \frac{d^2}{dx^2} = \frac{2qp_0}{\epsilon_s} \left[e^{-(q\psi/KT)} \frac{d\psi}{dx} - \frac{d\psi}{dx} - \frac{n_0}{p_0} \left[\left(e^{(q\psi/KT)} \frac{d\psi}{dx} \frac{d\psi}{dx} \right) \right] \right] \quad (\text{I.9})$$

En intégrant de l'infini à x, on obtient :

$$E^2 = -\frac{2q \cdot p_0}{\epsilon_s} \left\{ \left[\frac{-KT}{q} e^{-(q\psi/KT)} \right]_{\infty}^x - \psi - \frac{n_0}{p_0} \left[\frac{KT}{q} e^{-(q\psi/KT)} \right]_{\infty}^x - \frac{n_0}{p_0} \psi \right\} \quad (\text{I.10})$$

$$E^2 = \left(\frac{KT}{q} \right)^2 \frac{2q^2 p_0}{KT \epsilon_s} \left\{ e^{-(q\psi/KT)} + \frac{q\psi}{KT} - 1 + \frac{n_0}{p_0} \left[e^{(q\psi/KT)} - \frac{q\psi}{KT} - 1 \right] \right\} \quad (\text{I.11})$$

Finalement, en posant : $\lambda_p = \sqrt{\frac{KT \epsilon_s}{2p_0 q^2}}$ appelée longueur de Debye pour les trous,

Et une fonction $G(\psi, \frac{n_0}{p_0}) = \sqrt{\left(e^{-(q\psi/KT)} + \frac{q\psi}{KT} - 1 \right) + \frac{n_0}{p_0} \left[e^{(q\psi/KT)} - \frac{q\psi}{KT} - 1 \right]}$

Le champ électrique s'écrit :

$$E = \text{sign}(\psi) \cdot \frac{2KT}{q\lambda_p} G\left(\psi, \frac{n_0}{p_0}\right) \text{ avec } \begin{cases} \text{sign}(\psi \geq 0) = +1 \\ \text{sign}(\psi < 0) = -1 \end{cases} \quad (\text{I.12})$$

La charge totale Q_s par unité de surface se déduit en posant $\psi = \psi_s$ à la surface ($x = 0$).

Par application du théorème de Gauss, le champ s'écrit aussi :

$$E_s = -\frac{Q_s}{\epsilon_s} \quad (\text{I.13})$$

En combinant les équations (I.12) et (I.13) la charge peut s'écrire sous la forme :

$$Q_{sc} = \pm \left(\frac{kT}{e} \right) \frac{\epsilon_{sc}}{L_D} \left[e^{-eV_s/kT} + \frac{eV_s}{kT} - 1 + \frac{n_0}{p_0} \left(e^{eV_s/kT} - \frac{eV_s}{kT} - 1 \right) \right]^{1/2} \quad (\text{I.14})$$

3.3. Structure MOS réelle : Tension de bandes plates

La condition d'égalité des niveaux de Fermi du métal et du semi-conducteur de type p : $\phi_m = X_s + E_{Gs} / 2q + \psi_B$ ne peut être respectée que pour un dopage particulier du substrat. En dehors de cette situation, la structure de bandes à l'interface Si/SiO₂ est courbée. A cette déformation s'ajoute l'influence des états d'interfaces Q_{it} (et de la charge éventuelle dans l'oxyde Q_{ox}) qui introduisent une différence de potentiel supplémentaire. En conséquence, au sein d'une structure MOS réelle, il existe un champ électrique dans l'oxyde en absence de toute polarisation [24,25].

Pour retrouver une situation de bandes plates, il faut appliquer entre la grille et le semi-conducteur une différence de potentiel V_{FB} appelée tension de bandes plates (flat bands). Les caractéristiques idéales capacité-tension s'en trouvent translatées suivant l'axe des tensions. On a :

$$\frac{\partial V_g}{\partial \psi_s} = \frac{1}{C_{ox}} \frac{\partial Q_s}{\partial \psi_s} + \frac{\partial Q_s}{\partial \psi_s} = \frac{C_s \cdot C_{ox}}{C_s + C_{ox}} \quad (I.15)$$

Finalement

$$C = \Psi_s \left| \frac{\partial \psi_s}{\partial V_g} \right| = \frac{C_s \cdot C_{ox}}{C_s + C_{ox}} \quad (I.16)$$

La tension de bandes plates s'écrit (en absence de charge d'oxyde) : $V_{FB} = \frac{(\phi_m - \phi_s)}{q} - \frac{Q_{it}}{C_{ox}}$

Avec :

$\phi_s = X_s + E_{Gs} / 2q + \psi_B$ Et Q_{it} densité des états d'interface (ou Q_{ss} dans littérature pour « surface state »). Pour une capacité réelle le champ dans l'oxyde vaut [24,25] :

$$E_{ox} = \frac{V_g - \psi_s(V_g) - V_{FB}}{t_{ox}} \quad (I.17)$$

C'est cette dernière relation que l'on utilisera pour le calcul de champ électrique dans l'oxyde.

3.4. Evolution de la charge d'espace en fonction du Potentiel de surface

La charge développée à la surface du métal est donnée par la même expression changée de $Q_m = Q_{sc}$ (dans la région neutre du semi-conducteur).

L'évolution de la charge d'espace dans les différents régimes de fonctionnement peut être obtenue à partir d'une étude simple de la fonction $G(\psi_s)$ entrant dans l'expression de Q_m .

- Pour $\psi_s < 0$, Q_{sc} est positif, la structure est en régime d'accumulation. Dans l'expression (I.1), l'exponentielle négative est le terme prépondérant de sorte que

$$G(\psi) = e^{-q\psi_s/KT} \quad (I.18)$$

$$Q_s = \frac{\epsilon_s KT}{q\lambda_p} e^{-q\psi_s/KT} \quad (I.19)$$

La charge d'espace est positive et augmente exponentiellement avec la tension de polarisation. Dans la mesure où cette charge est une charge d'accumulation son extension spatiale est très faible comme nous montre le schéma ci-dessous.

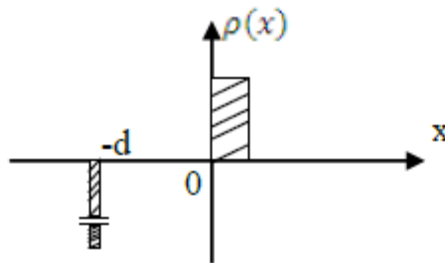


Figure 5 : (a) Charge d'accumulation [24].

Pour $0 < \psi_s < 2\phi_B$, Q_{sc} est négatif, cette gamme de polarisation correspond aux régimes de déplétion puis se faibles inversion. L'expression (I.1) montre que la fonction $G(\psi_s)$ se réduit à

$$G(\psi_s) \approx \sqrt{\frac{q\psi_s}{KT}} \quad (I.20)$$

Et

$$Q_{sc} \approx -\frac{\epsilon_s KT}{q\lambda_p} \sqrt{\frac{q\psi_s}{KT}} \quad (I.21)$$

La charge varie en $\sqrt{\psi}$, comme dans la jonction pn . Cette charge étant due aux ions accepteurs son extension spatiale est importante comme nous montre le schéma ci-dessous.

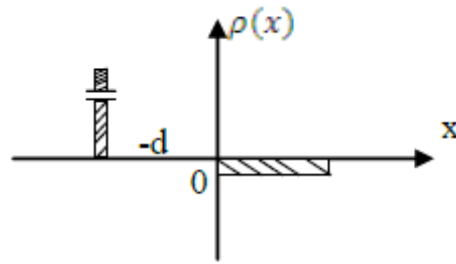


Figure 5 : (b) Charge de déplétion [24].

- Pour $\psi_s > 2\phi_B$, la structure est en régime de forte inversion. L'exponentielle positive devient le terme prépondérant dans l'expression (I.12)

$$G(\psi_s) \approx \exp(q(\psi_s - 2\phi_B) / 2KT) \quad (I.22)$$

$$Q_{sc} \approx -\frac{\epsilon_s KT}{q\lambda_p} \exp(q(\psi_s - 2\phi_B) / 2KT) \quad (I.23)$$

La charge d'espace augmente à nouveau exponentiellement avec la tension appliquée. Cette charge constitue la charge d'inversion, qui s'ajoute à la charge de déplétion, mais avec une extension spatiale beaucoup plus faible, comme nous montre le schéma ci-dessous.

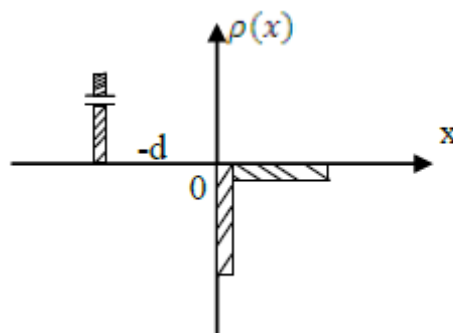


Figure 5 : (c) Charge d'inversion [24].

La courbe représentant la variation de $|Q_{sc}|$ en fonction du potentiel de surface ψ_s est représenté la sur la figure 6 dans le cas du silicium de type p avec $N_a = 4.10^{15} \text{ cm}^{-3}$. On observe les différents régimes de fonctionnement : une variation exponentielle en régime d'accumulation, en $\sqrt{\psi}$ en régime de déplétion et de faible inversion, et à nouveau exponentielle en régime de forte inversion.

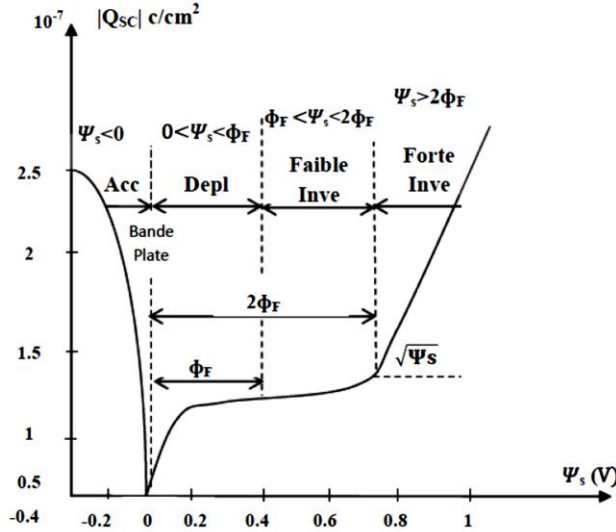


Figure 6 : charge d'espace dans le semi-conducteur en fonction du potentiel de surface [24].

En régime de faible inversion, la charge d'espace est conditionnée par les charges de déplétion car les charges d'inversion sont en quantité négligeable devant la densité d'ions accepteurs.

En régime de forte inversion au contraire la charge d'espace est conditionnée par les électrons dont la densité en surface est beaucoup plus grande que celle des accepteurs.

Le seuil ψ_s du régime de forte inversion correspond au potentiel de surface ψ_s^* pour lequel $n_s = N_a$.

Or

$$n_s = n_i \exp(q(\psi_s - \phi_B) / KT) \tag{I.24}$$

$$N_a = p_0 = n_i \exp(q\phi_B / KT) \tag{I.25}$$

Ainsi la condition de forte inversion $n_s = N_a$ entraîne $\psi_s^* - \phi_B = \phi_B$ soit $\psi_s^* = 2 \cdot \phi_B$

L'expression de N_a permet de déterminer ϕ_B et par suite la tension ψ_s^* en fonction du dopage [23, 24, 25,].

$$\phi_B = \frac{KT}{q} \ln \frac{N_a}{n_i} \tag{I.26}$$

Donc :

$$\psi_s^* = \frac{2KT}{q} \ln \frac{N_a}{n_i} \tag{I.27}$$

Quand la tension de grille est augmentée au-delà de la valeur entraînant $\psi_s = \psi_s^*$ la concentration d'électrons n_s à interface augmente exponentiellement alors que la densité de charge de déplétion augmente comme $\sqrt{\psi}$.

Il en résulte que la variation de cette dernière devient négligeable. Quand le régime de forte inversion est atteint la largeur de la zone de déplétion reste pratiquement constante.

Vu l'importance du potentiel de surface ψ_s sur la création et l'analyse des défauts, il est nécessaire de simuler la charge d'espace en fonction de ψ_s et voir son comportement en variant le dopage

4. Simulation

4.1. Condition de simulation

Les courbes simulées sous Matlab13 sur un transistor MOS avec SiO₂ comme diélectrique de grille. Le transistor MOS qu'on a pris pour la simulation est un dispositif de l'état de l'art (E.A) [10,13] où on n'a pas pris en considération les défauts d'interface (transistor non stressée), les paramètres électriques et géométriques du transistor MOS à simple grille simulée sous Matlab sont les suivants :

- Substrat type P (NMOS) de concentration $N_a = 4.10^{15} \text{ cm}^{-3}$
- La concentration intrinsèque $n_i = 1.45.10^{10} \text{ e/m}^3$,
- La bande interdite du substrat $E_g = 1,12 \text{ eV}$,
- La tension des bandes plates $V_{FB} = -0.98 \text{ V}$,
- La tension de seuil $V_t = 1 \text{ V}$

Le transistor possède une surface ($W \times L = 1.55 \times 1\mu\text{m}^2$) ; avec W est la largeur du canal et L est la longueur du canal

4.2. Résultats de la simulation

4.2.1. Simulation de potentiel de Surface

Le modèle théorique décrit par l'équation (I.14) a été utilisé pour simuler la variation de la charge en fonction du potentiel de surface, on a utilisé le modèle théorique décrit par l'équation (I.14). Le seul paramètre qui intervient est le dopage N_a , pour un Semi-conducteur donné.

La figure 7 illustre les variations de la charge Q_{sc} en fonction du potentiel de surface ψ_s pour différentes valeurs du dopage du semi-conducteur N_a et à une température fixe $T = 300^\circ\text{K}$. Les quatre régimes de fonctionnement pour un transistor canal n sont indiqués sur la figure :

- $\Psi_s < 0$: régime d'accumulation. Les trous, porteur majoritaires du substrat, sont accumulés à la surface.
- $0 < \psi_s < \Phi_B$: régime de désertion. Les trous sont moins nombreux à l'interface que dans le volume du substrat.
- $\Phi_B < \psi_s < 2 \cdot \Phi_B$: régime d'inversion faible. Les électrons libres, porteurs minoritaires, s'accumulent à la surface où ils forment la couche d'inversion.
- $\psi_s > 2 \cdot \Phi_B$: Régime d'inversion forte. La concentration en électrons libres à l'interface est plus importante que celle des trous dans le substrat.

A ces quatre régimes de fonctionnement, s'ajoute le régime de bande plate pour lequel $\psi_s = 0$, ce qui implique $n = n_i$ et $p = N_a$

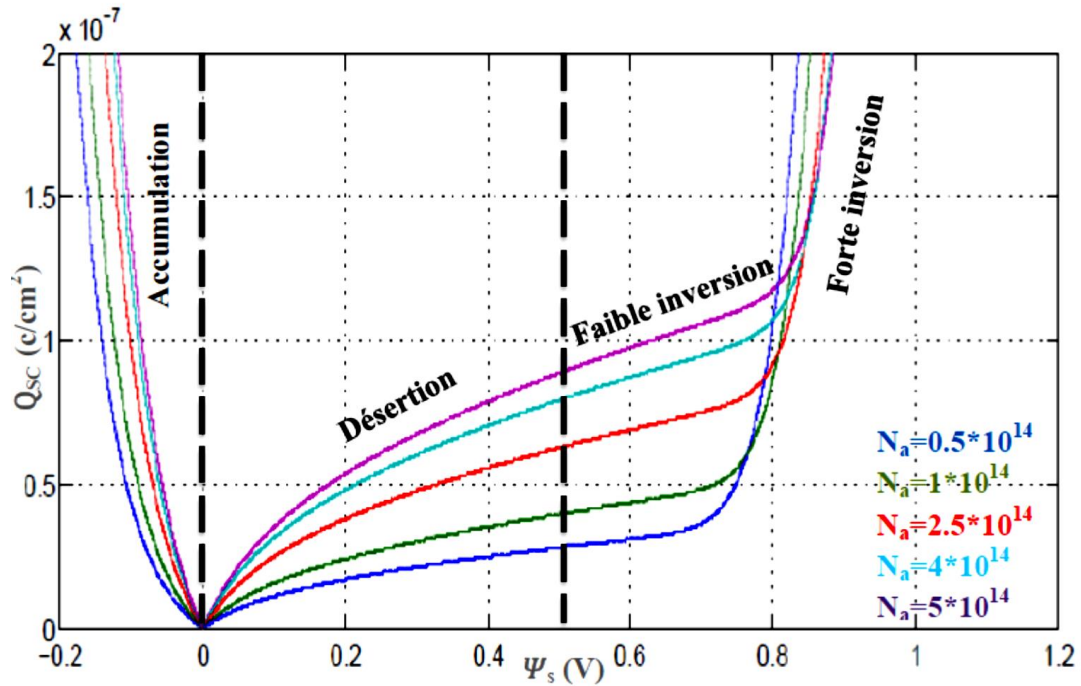


Figure 7 : Exemple de courbes de Q_{sc} en fonction de potentiel de surface ψ_s simulées sous Matlab pour différentes valeurs de dopage N_a (cm^3).

- **Effet du dopage :**

Les courbes de la simulation obtenues ont la même allure celles issues dans la littérature [24]

1. Le régime d'accumulation n'est pas très différent, la charge varie en exponentiel et la charge de désertion augmente elle aussi, en racine carrée du dopage.
2. Comme pour l'accumulation, l'allure de la charge d'inversion n'est pas très différente, mais elle apparaît pour des tensions plus élevées quand le dopage augmente : c'est l'augmentation de ψ_B qui explique ce décalage.

5. Fonctionnement du transistor MOS

Le transistor MOS est formé de quatre matériaux qui sont un semi-conducteur de type P(N) qu'on appelle substrat dont deux régions de type N⁺ (P⁺) fortement dopées sont produites par diffusion. Ces deux régions constituent la source et le drain. Une couche d'oxyde (SiO₂ pour le Si) est produite à la surface. Le contact métallique au-dessus de l'isolant (la couche d'oxyde) s'appelle la grille. La Figure 8 représente le transistor à canal n (substrat type P). Les paramètres les plus importants de la structure MOS sont [20 ,22] :

La longueur du canal L , la largeur de canal W , l'épaisseur de l'oxyde t_{ox} , la largeur de la jonction r_j et le dopage du substrat N_a .

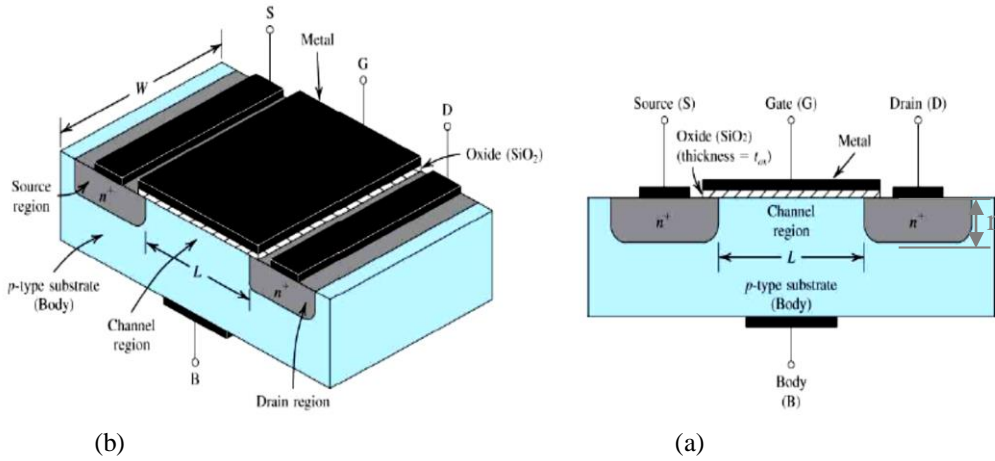


Figure 8 : Schéma d'un transistor MOS canal sur substrat type P.

(a) schéma en coupe. (b) schéma en vue 3D [20].

6. Principe de fonctionnement

Un transistor est avant tout un interrupteur commandé : un signal électrique (courant ou tension) de faible puissance, dit de commande, doit contrôler un signal électrique de plus forte puissance.

Cela permet deux types de fonctionnement : soit en amplification pour les applications de type analogique, soit en tout ou rien pour les applications logiques.

Le nom de transistor MOS découle de sa structure verticale : Métal /Oxyde/Semi-conducteur. Cette structure, hachurée sur le schéma de la (Figure 9) (a) est celle d'une capacité Conducteur/Isolant/Semi-conducteur.

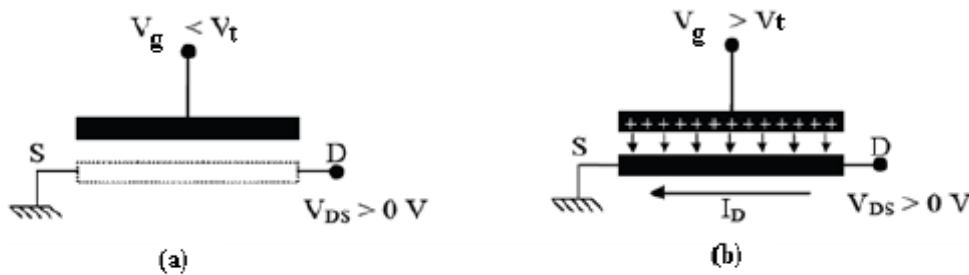


Figure 9 : Principe de fonctionnement d'un transistor MOS (a) Etat bloqué. (b) Etat passant. [20].

Le principe de fonctionnement d'un tel dispositif est schématisé en Figure 10. La tension de grille crée un champ vertical qui par l'intermédiaire de la capacité MOS, module la densité de porteurs libres à l'interface Substrat/Oxyde permettant ainsi de commander sa conductivité.

Lorsque la tension de grille ne permet pas de charge « convenablement » les électrodes de la capacité MOS, aucun courant ne peut circuler entre la source et le drain quelle que soit la tension appliquée à l'électrode de drain ; c'est l'état bloqué. Comme illustré en (Figure 9-a, pour le type de transistor étudié, la tension de grille nulle sont dits "normally off" (par opposition aux "normally on", tels les transistors à canal N pré implanté).

Lorsque V_g devient supérieure à V_t , le nombre de porteurs libres à l'interface Substrat /Oxyde est suffisant pour qu'ils forment un canal conducteur (si et seulement s'ils sont du même type que ceux des réservoirs de source et drain), comme illustré sur la (Figure 9-b), les porteurs du canal sont des électrons, le transistor est dit à canal N et est appelé NMOS. Lorsque la tension de drain devient positive, un courant de drain I_D peut circuler dans le canal, c'est l'état passant [22].

7. Caractéristiques courant tension des TMOS

- **Zone bloquée**

Pour des tensions de grille inférieures à la tension de seuil mais supérieures à la tension de bandes plates V_{FB} , la zone sous l'oxyde est désertée par les porteurs libres. La capacité MOS se trouve en régime de déplétion ; cette situation est illustrée en Figure 10 - a. Dans cette zone, la conduction du canal tend à s'annuler et le courant de drain est très majoritairement d'origine diffusives :

$I_D = q \cdot D_n \cdot \overrightarrow{\text{grad}}(n)$ avec n concentrations en électrons libres et D_n coefficient de diffusion.

On peut écrire :

$$I_D = I_{D0} \exp\left(\frac{V_g - V_T}{S} \ln 10\right) \left[1 - \exp\left(-\frac{q}{KT}\right)\right] \quad (\text{I.28})$$

Où S est le paramètre nommé pente sous le seuil.

Finalement, dans les applications pratiques basées sur l'utilisation de MOSFET longs à 300°K, le courant I_D sous le seuil est quasi nul ($I_{D0} \approx 10^{-7} \times W/L(\text{A})$) on peut alors considérer $I_D \approx 0$ pour $V_{ds} > 0$ V et $V_g < V_t$

De manière plus quantitative, il existe trois zones de fonctionnement classiques :

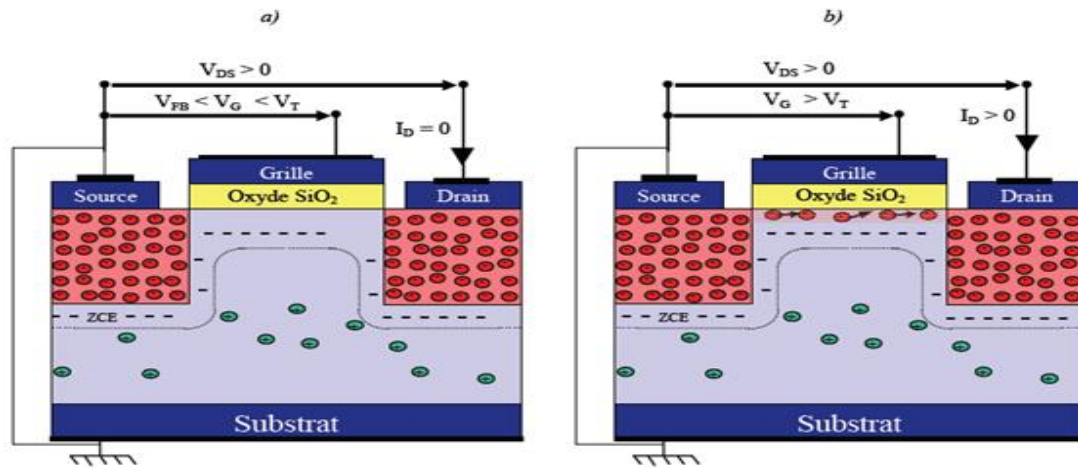


Figure 10 : Régimes de polarisation d'un transistor MOS à canal N sur substrat P à faible VDS positif. (a) désertion en trous sous la grille, (b) formation du canal de conduction à partir des réservoirs des électrons de source et drain [20]

- **Zone ohmique**

Comme illustré en Figure 11-b, pour des tensions de grille supérieures à la tension de seuil, on atteint le régime d'inversion, il y a création d'un canal formé par les porteurs libres injectés par les réservoirs de source et de drain. Pour de faible tension de drain V_{ds}, la vitesse *v* des charges libres varie linéairement avec le champ électrique parallèle à la direction source-drain.

E_{SD} (variant comme V_{DS}/L_g) : $v = -\mu_{eff} \times E_{SD}$, ou μ appelée mobilité effective de porteurs dans le canal. Le transistor a alors un comportement équivalent à celui d'une résistance commandée par V_g . En modélisant habilement le contrôle de charge dû à l'effet de champ et le courant de conduction dans le canal, on obtient :

$$I_D = \frac{W}{L} \mu_{eff} C_{ox} [(V_{GS} - V_{TH}) V_{DS}] \quad (I.29)$$

Pour $V_{DS} < V_{dsat}$ et $V_{GS} > V_{TH}$

Avec :

$C_{ox} = \epsilon_{ox} / t_{ox}$ capacité surfacique de la structure MOS.

Dans l'expression du courant I_D , le terme n'est plus négligeable devant $(V_{GS} - V_{TH}) V_{DS}$, on sort de régime purement ohmique, il s'agit d'une zone de transition ou l'augmentation du courant avec V_{ds} croissant tend à diminuer [20, 22,23].

- **Zone source de courant**

Lorsque $V_{DS} > V_{dssat}$, un phénomène de saturation de courant I_D apparaît : pincement de canal, saturation de la vitesse de porteurs ... Alors I_D ne dépend plus de V_{DS} mais seulement de V_{GS} . Le transistor se comporte alors comme une source de courant commandée par V_{GS} pour : $V_{DS} > V_{GS} - V_{TH}$ et $V_{GS} > V_{TH}$.

Sur cette formule du courant de saturation, on découvre l'atout majeur du transistor MOS, celui qui a assuré son succès industriel. Le courant de saturation de transistor MOS est directement lié à ses dimensions géométriques : réduire la longueur L d'un transistor MOS entraîne automatiquement l'amélioration de ses performances électriques et cela sans aucun effet négatif (du moins pour les composants faiblement submicronique...). Cette relation justifie la course à la miniaturisation des composants et explique la très forte augmentation des performances des composants MOS.

8. Principaux paramètres des transistors MOS

Les trois régimes de fonctionnement (bloqué, ohmique et source de courant) décrits au paragraphe précédent sont indiqués sur les caractéristiques $I_{DS}(V_{DS})$ à différentes tensions de grille V_{GS} reportées en Figure 11.

L'état passant d'un transistor (zone ohmique et source de courant) MOS se caractérise principalement par :

- La résistance à l'état passant R_{on} : inverse de la pente de courbe $I_{DS}(V_{DS})$ à $V_{GS} = V_{DD}$ et faible V_{DS} où V_{DD} est la tension d'alimentation du transistor (Figure 11).
- Le courant de saturation : I_{on} , c'est-à-dire le courant I_{DS} à $V_{GS} = V_{DD}$ et $V_{DS} = V_{DD}$ Figure 11.
- La transconductance g_m . Correspond à la pente de la courbe $I_{DS}(V_{GS})$ à fort V_{DS} Figure

$$11 \text{ soit } g_m = \left. \frac{\partial I_D}{\partial V_g} \right|_{V_{ds}=cst} .$$

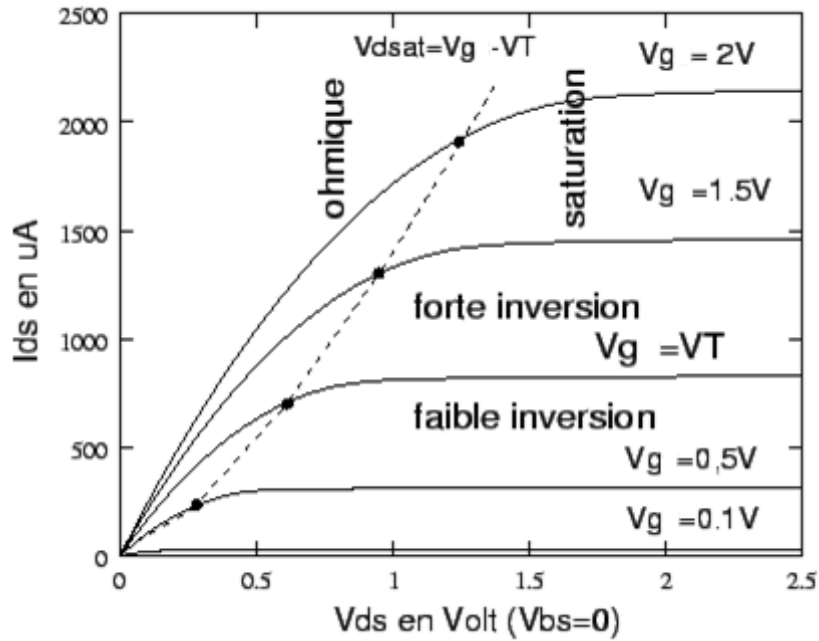


Figure 11 : Caractéristiques $I_{DS}(V_{DS})$ typiques à différents V_{DS} d'un transistor NMOS.

- La conductance g_d quantifie l'imperfection de la saturation. Elle est égale à la pente de

la courbe $I_{DS}(V_{DS})$ à $V_{DS} > V_{DSSAT}$ soit : $g_d = \left. \frac{\partial I_D}{\partial V_{ds}} \right|_{V_{GS}=cst}$ en source de courant.

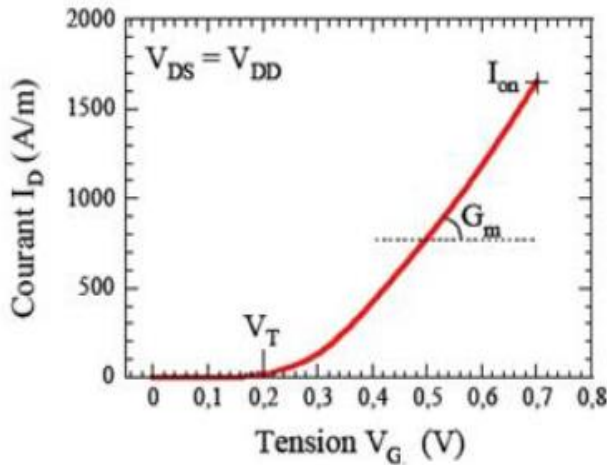


Figure 12(a) : Caractéristique $I_{DS}(V_{GS})$ à $V_{DS}=V_{DS}$ Typique d'un NMOS. I_{on} , G_m et V_T sont indiqués.

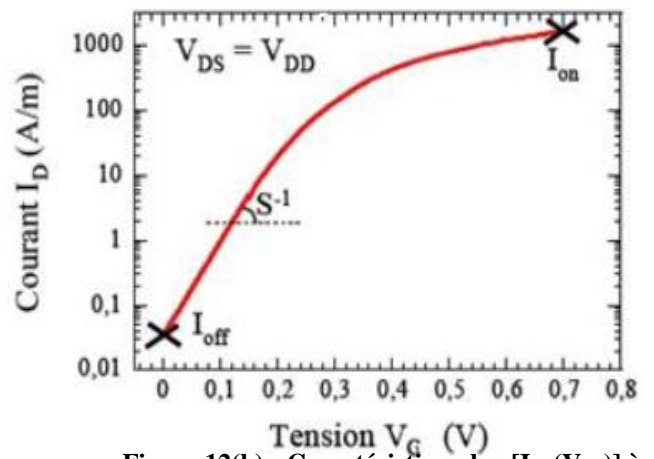


Figure 12(b) : Caractéristique $\log [I_{DS}(V_{GS})]$ à $V_{DS}=V_{DD}$ typique d'un NMOS. I_{on} , I_{off} et S sont indiqués.

Au-dessous du seuil, le blocage n'est pas parfait, il existe un courant faible mais non nul ($I_{DS} \neq 0$). Ce courant n'est pas un courant de conduction comme à l'état passant mais un courant diffusif, d'où la dépendance exponentielle de la caractéristique $I_{DS}(V_{GS})$ sous le seuil illustré en Figure 12.

- Le courant à l'état bloqué I_{off} correspond au courant I_{DS} à $V_{GS} = 0$ et $V_{DS} = V_{DD}$ (Figure 12).
- De plus on définit la pente sous le seuil S comme l'inverse de la pente $\log [I_{DS}(V_{GS})]$ à faible V_{GS} .

9. Interface Si/SiO₂

L'interface Si/SiO₂ est actuellement considérée d'un point de vue physique comme l'une des meilleures interfaces pouvant exister entre deux composés solides différents.

Les défauts du système Si/SiO₂ peuvent être liés au mode de croissance de l'oxyde, ou introduits par des espèces chimiques contenues dans l'atmosphère oxydante, ou encore associés à des impuretés chimiques diffusant dans l'oxyde et en provenance, soit du métal, soit du semi-conducteur. Ils sont donc à l'origine d'une modification des propriétés électriques de la structure du transistor MOS [25].

Après avoir exposé les critères que doit respecter l'isolant de grille, nous présenterons brièvement les principales caractéristiques du dioxyde de silicium et détaillerons plus particulièrement ses défauts électriquement actifs.

10. Propriétés de l'isolant de grille

L'isolant est un matériau clef dans la réalisation des transistors MOS, ou plus généralement des circuits intégrés. En microélectronique, il doit satisfaire un certain nombre de critères relatifs à sa reproductibilité et ses propriétés physiques, chimiques et électriques [27]

- La formation des couches isolantes doit être maîtrisée tant en ce qui concerne l'uniformité de l'épaisseur sur toute la plaquette (par exemple 2 nm d'isolant sur une plaquette de 300 mm de diamètre) que la vitesse de croissance.
- L'isolant doit être compatible avec les propriétés technologiques de fabrication : rapidité de croissance ou de dépôt de la couche et son éventuel recuit, étapes de fabrication non polluante.
- La composition chimique de l'isolant doit être homogène afin de garantir l'uniformité des caractéristiques électriques des composants sur tranche.

- L'isolant doit présenter une grande barrière contre la diffusion de toute espèce étrangère et sa bande interdite doit être suffisamment large pour prévenir tout passage de porteurs entre la grille et le substrat.
- Pour assurer une immunité aux radiations. L'isolant doit pouvoir supporter des tensions élevées : son champ de claquage doit être grand (> 10 MV/cm), et doit aussi être exempt de tout défaut à l'origine de charges fixes, mobiles ou pièges.

11. Propriétés électriques de l'oxyde

Le silicium et l'oxygène ont une très forte affinité l'un pour l'autre ; d'où une oxydation spontanée du Si à l'air ambiant. Cela explique l'exceptionnelle qualité du SiO₂ et de son interface avec le silicium. Cet isolant présente [3, 28] :

Une très large bande interdite de 8.9 eV, ce qui empêche le passage des porteurs, Ainsi, la hauteur de barrière énergétique à l'interface Si/SiO₂ est de 3.2 eV pour les électrons et de 4.6eV pour les trous.

Une résistivité élevée de l'oxyde, de l'ordre de $10^{15}\Omega$ cm, confirme sa propriété d'isolant électrique.

A température ambiante, les valeurs de la conductivité et de la diffusivité thermique, sont assez faibles, respectivement $0,014 \Omega \text{ cm}^{-1}\text{C}$ et $0,006 \text{ cm}^2 \text{ s}^{-1}$.

La mobilité des porteurs dans le SiO₂ thermique à la température ambiante est de 10 à $20\text{cm}^2 \text{ V}^{-1}\text{s}^{-1}$ pour les électrons et de l'ordre $10^{-5} \text{ cm}^2 \text{ V}^{-1}\text{s}^{-1}$ pour les trous. Ces valeurs sont très nettement inférieures à celles généralement rencontrées dans le silicium cristallin ($1400 \text{ cm}^2 \text{ V}^{-1}\text{s}^{-1}$. Pour les électrons et $400 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ pour les trous).

Le SiO₂ présente une faible constante diélectrique de $\epsilon_{\text{ox}} = 3.9$ et sa structure peu compacte le rend perméable aux impuretés.

Cependant, le système Si/SiO₂ est loin d'être totalement exempt de défauts. Par exemple, la zone interfaciale d'épaisseur 1 à 3 nm, d'une composition intermédiaire entre celle de l'oxyde et celle de Silicium renferme un nombre plus ou moins élevé de défauts de l'oxyde, et celle du silicium renferme un nombre plus ou moins élevé de défauts structuraux. Les plus important d'entre eux étant la liaison pendante non saturée du silicium, électriquement active et les lacunes d'oxygène, créant une charge fixe positive [29, 31, 32,33].

12. Notion de défauts électriquement actifs

Les ruptures dans la périodicité du SiO₂ donnent naissance à des états électriques qui peuvent changer de charge électrique en capturant et en émettant des électrons ou des trous avec une certaine constante de temps [2]. Ces défauts affectent directement plusieurs caractéristiques des composants MOS comme la tension de seuil, la pente sous le seuil et le niveau de bruit.

Quelle que soit la nature du défaut et le système isolant/semi-conducteur, un état d'interface, qui est un état électronique permis, peut être classé dans deux catégories selon son état de charge [2] :

- Type accepteur : il est neutre, si inoccupé par un électron et chargé négativement, si occupé,
- Type donneur : il est neutre, si occupé par un électron et chargé positivement, si inoccupé.

A cela s'ajoute la catégorie des sites dits amphotères qui peuvent prendre trois états de charge, positif, neutre et négatif ("+" / "0" / "-").

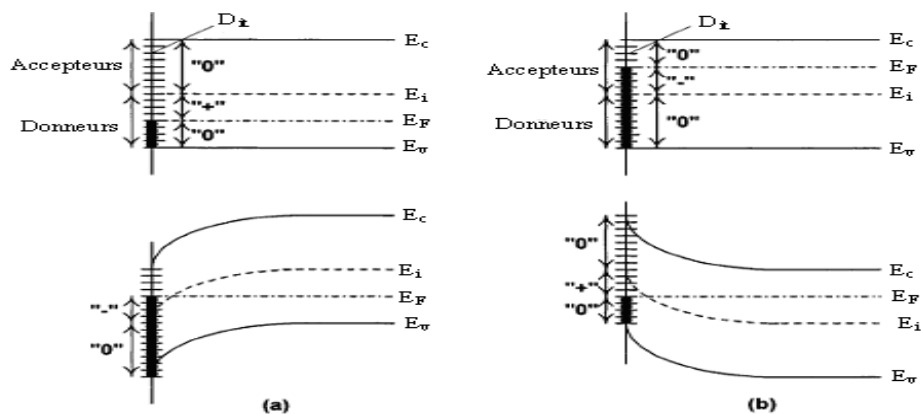


Figure 13 : Diagramme de bande du substrat du Si, montrant les états d'interface occupés et différentes polarisations (a) substrat P avec piège d'interface de charge positives à $V_g = V_{th}$ et de charge négative à l'inversion (b) substrat type N avec piège d'interface de charge négatives à $V_g = V_{th}$ et de charge positives à l'inversion [2].

- Chaque piège est caractérisé par un niveau d'énergie E_t dans la bande interdite du semi-conducteur et par deux sections efficaces de capture σ_n et σ_p pour les électrons et les trous respectivement.

- Un défaut est dit électriquement actif lorsque le passage du niveau de Fermi au niveau d'énergie E_t provoque un changement de charge. La figure 13 nous montre le diagramme énergétique des centres donneurs et accepteurs pour les deux types du TMOS.

13. Défauts et impuretés dans l'interface Si/SiO₂

Un défaut ponctuel est considéré électriquement actif, s'il peut stocker une charge positive ou négative au cours d'un certain temps. Cette charge stockée peut éventuellement évoluer sous l'action du champ électrique ou de la température. Alors, son comportement électrique est caractéristique du défaut ponctuel auquel elle est associée. Les différents types de charges présentes dans le système Si/SiO₂ sont illustrés sur la figure 14 [29] :

- ✓ La charge fixe d'oxyde (Q_f, N_f)
- ✓ La charge mobile d'oxyde (Q_m, N_m)
- ✓ La charge des états d'interface (Q_{it}, N_{it})
- ✓ La charge des pièges d'oxyde (Q_{ot}, N_{ot})

Q désigne la charge nette par unité de surface ($C.cm^{-2}$) et N se rapporte à la densité de charge par unité d'aire (cm^{-2}).

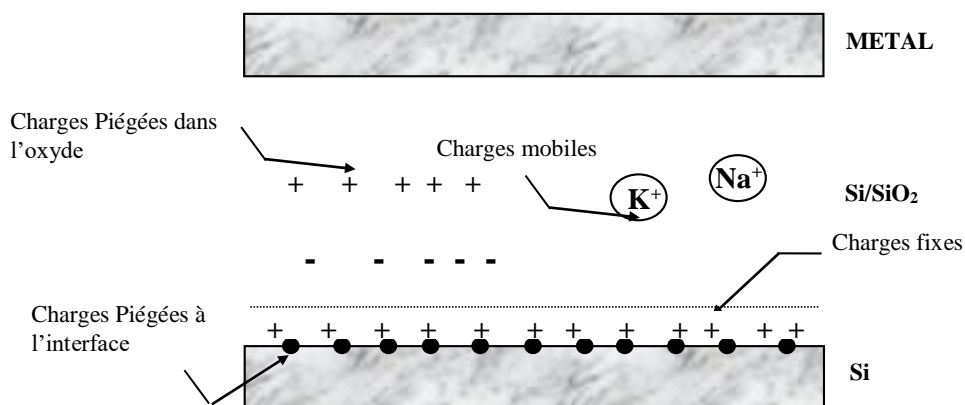


Figure 14 : Les types de charge d'oxyde et leur localisation [29].

13.1. Charges fixes d'oxyde

Ce sont des impuretés ionisées et des défauts chargés du réseau dans l'oxyde. Elles ne peuvent pas échanger de porteurs avec le substrat de silicium, mais elles ont une influence statique sur celui-ci. Ce type de charge est localisé sur une épaisseur allant jusqu'à 200 Å dans

l'oxyde à partir de l'interface [29]. Les charges fixes d'un oxyde thermique humide sont plus grandes que celle d'un oxyde sec. Dans le premier cas, la vitesse de réaction étant plus grande [29].

13.2. Ions mobiles

Le paramètre du MOSFET le plus sensible aux ions mobiles est la tension de seuil V_{TH} puisqu'elle est étroitement liée à la tension de bandes plates V_{FB} . Alors toute variation de V_{FB} due à une redistribution des ions mobiles de l'oxyde de grille entraîne la même variation de V_{TH} , laquelle, à son tour, affecte tous les paramètres du transistor qui en dépendent. Donc, les instabilités causées par les ions mobiles sont bien décrites par l'étude de la façon dont varie V_{TH} ou V_{FB} avec le mouvement des ions.

La variation de la tension de seuil due aux ions mobiles ΔV_{TH} , pendant le fonctionnement du transistor, est liée au nombre d'ions mobiles N_m (par unité de surface), qui transitent d'une interface à une autre, est décrite par la relation suivante [25, 34, 35] :

$$N_m = \frac{Q_m}{q} = \frac{C_{ox} \Delta V_{th}}{q} \quad (I.30)$$

Où q est la charge de l'électron, C_{ox} la capacité d'oxyde et Q_m charges dues aux ions mobiles.

Le plus souvent ce type d'instabilité est dû à la contamination Na^+ , pendant les étapes de fabrication. Pour prévenir la contamination Na^+ , il est nécessaire de mener avec le plus grand soin les trois étapes suivantes [25, 34, 35] :

- Le nettoyage : se fait à l'eau désionisée en respectant toutes les règles technologiques,
- L'oxydation : l'utilisation des fours spéciaux pour réduire le niveau de contamination.
- La métallisation : l'utilisation du chauffage par canon à électrons ou par pulvérisation (utilisé dans l'industrie) au lieu du chauffage par joule (utilisé dans les laboratoires).

13.3. Charges piégées

C'est une charge stockée par les pièges du volume de l'oxyde (interface non comprise) elle peut être positive ou négative. Cette charge n'est pas permanente au même titre que la charge

fixe, puisqu'un apport thermique ou un champ électrique approprié peuvent favoriser sa diminution (dépîegeage des charges stockées).

13.4. Charges piégées des états d'interface

Elle est piégée par les défauts qui résultent de la discontinuité de réseau à l'interface Si-SiO₂. Ces défauts sont appelés états d'interface. Ils jouent un rôle primordial dans le fonctionnement du transistor MOS, car contrairement aux défauts de volume de l'oxyde, ils sont en communication électrique directe avec le semi-conducteur. Le signe de cette charge dépend des conditions de polarisations appliquées au dispositif, qui font que, selon la nature du défaut (donneur ou accepteur) et sa position par rapport au niveau de Fermi, un état d'interface chargé négativement, positivement ou neutre [25, 34, 35, 38].

14. Défauts extrinsèques

La diffusion d'un certain nombre d'impuretés, à partir du silicium ou de l'oxyde durant les étapes technologiques du procédé d'élaboration ou après contamination accidentelle de la structure est à l'origine de la création des états électroniques extrinsèques et de charges fixes supplémentaires localisées à l'interface.

La réduction de l'épaisseur de la couche d'oxyde s'accompagne d'une diminution de la barrière de diffusion ce qui permet d'atteindre rapidement l'interface. Par exemple, la contamination de l'interface des grilles en poly-silicium par des dopants (le bore pour les grilles p+) peut conduire à une augmentation de N_{it} et Q_f .

De la même façon, il a été prouvé que la diffusion des ions alcalins présents dans la couche d'oxyde vers l'interface, induit une augmentation de D_{it} . Roshencher et Coopard [39] ont montré que l'introduction contrôlée d'ion Na⁺ dans la couche d'oxyde d'une structure MOS, provoque une création des états d'interface Si/SiO₂ sous un champ électrique à haute température. Pour certaines impuretés, une autre façon de contaminer l'interface est de diffuser à travers le substrat de silicium. Ce dernier mécanisme n'est possible que pour un coefficient de diffusion d'impureté élevé (Impuretés métallique). L'étude de mécanisme de la diffusion a montré que le cuivre et le fer diffusent plus rapidement que l'or, le nickel et l'argent à une température donnée. Faraone et al. [40] ont rapporté la présence de deux pics de D_{it} dans la bande interdite du silicium ($E_v + 0.4$ eV et $E_v + 0.6$ eV) correspondant à des états d'interface induits par la présence de l'or à l'interface Si/SiO₂ [21,22,23].

15. Défauts intrinsèques d'origine structurale

15.1. Défaut trivalent dans la région interfaciale

La méthode de Gray et Brown [26] est basée sur l'évolution de la tension de bande plate du dispositif avec la température. Cette méthode, la première à avoir mis en évidence deux pics dans les profils de densité d'états d'interface, un dans chaque moitié de la bande interdite du silicium, a été contestée quelques années après son invention. Par la suite, plusieurs auteurs [31, 32, 34, 35] et à l'aide de la structure atomique de l'interface Si/SiO₂ en utilisant la technique de la résonance paramagnétique électronique (RPE), ont mis en évidence l'existence d'un défaut trivalent dans la région interfaciale, appelée le centre P_b [30]

Suite à l'identification des pics dans le profil en énergie des densités d'états pour l'interface Si(111)/SiO₂ [31, 32,33], les pics observés pour Si(100)/SiO₂ après oxydation ont été associés aux mêmes défauts que pour Si(111)/SiO₂, c'est-à-dire un atome de silicium lié à trois autres atomes de silicium et ayant sa quatrième liaison non satisfaite ($\bullet\text{Si}\equiv\text{Si}_3$). Ces pics correspondent aux centres P_{b0}. Suite aux premiers travaux de Nishi [34], et en raison de l'existence supposée d'un deuxième état, l'état amphotère observé a été appelé P_{b0} (figure 15a).

La position des pics est localisée à +0.3 et -0.3eV des bords de bandes [39], mais contrairement à Si(111), un deuxième signal a été détecté par EPR [30] appelé P_{b1} pour Si(100) (figure 15 b).

Détecté électriquement comme très voisin des centres P_{b0}, l'existence de ce deuxième pic n'a pu être mis en évidence par la méthode de la conductance [31]. Ce point, c'est-à-dire l'existence ou non de niveau lié à P_{b1} dans la bande interdite du silicium, a été l'objet d'un vigoureux débat de plusieurs auteurs [31]. L'absence d'activité électrique de ce défaut a d'abord été montrée en observant que l'augmentation de la concentration du centre P_{b1} lorsque l'on augmentait la température d'un recuit post oxydation sous vide ne correspondait à aucune augmentation de la densité des états d'interface. Pour ces auteurs, la non activité électrique de ce défaut, qui est le défaut principale pour l'interface Si(100)/SiO₂, serait la raison de la plus faible densité d'états d'interface pour Si(100) par rapport à Si(111), P_{b0} étant plutôt lié aux imperfections de l'interface, c'est-à-dire aux marches ou aux facettes qui ont tendance à se créer selon les plans {111} [30,35].

Ces résultats ont été contestés par Lenahan et al. [3] qui mettent en évidence le centre P_{b1} par "spin dépendent recombinaison", impliquant l'existence de niveaux dans la bande interdite. Ces niveaux sont décalés vers le bas de la bande interdite par rapport à ceux de P_{b0}. Ces auteurs expliquent l'évolution des profils d'états d'interface après irradiation par l'évolution du rapport de concentration des centres P_{b0} et P_{b1} [3].

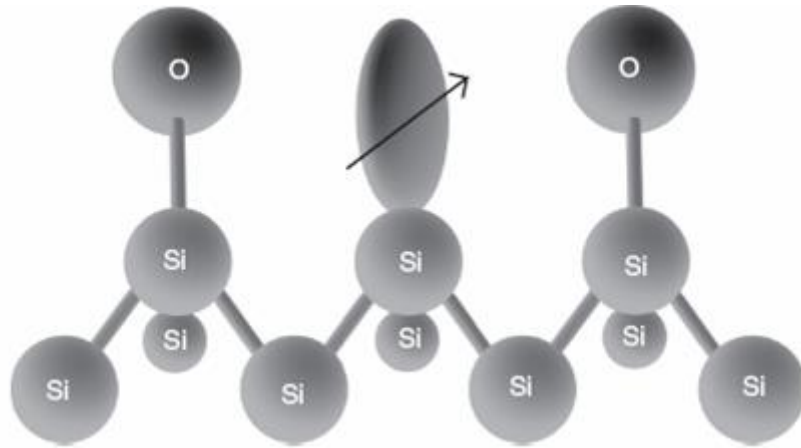
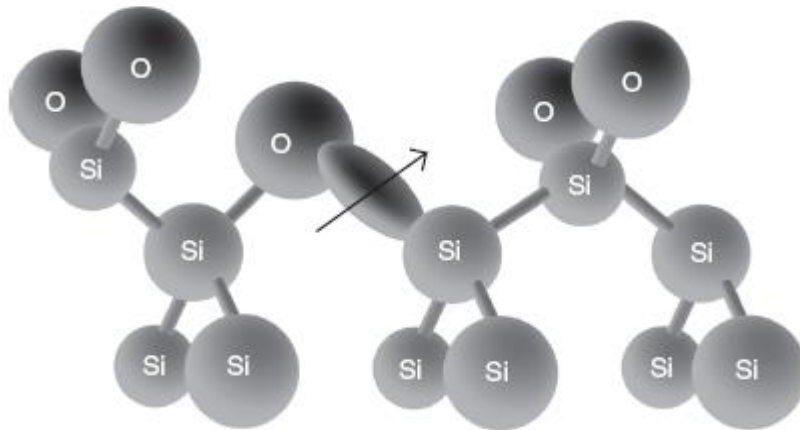


Figure 15(a) : Les centres Pb à l'interface Si/SiO₂ (111) [3].



(b)

Figure 15(b) : Les centres Pb à l'interface Si/SiO₂ (100) [3].

Il faut rappeler que, bien qu'étant beaucoup moins utilisée que (100), l'orientation (111) a longtemps été utilisée pour la caractérisation de l'interface Si/SiO₂, en particulier avec les méthodes Capacité-Tension C(V) de sensibilité limitée, car cette orientation conduit à environ

3 fois plus de densité d'états d'interface que (100). Ceci est aussi vrai pour l'EPR, dont la sensibilité est limitée [30].

L'extraction plus précise des paramètres EPR a permis de préciser la structure de P_{b1}. L'oxygène ne prend pas part directement au défaut et il pourrait s'agir d'un ensemble •Si≡Si₃ contraint et orienté dans la direction <211>. P_{b1} serait donc chimiquement identique à P_{b0} bien que physiquement intégré à la structure de l'interface de manière différente [30]. La même nature chimique a été obtenue par Stirling et al. Mais à partir des caractéristiques de défauts calculées à partir des premiers principes. Ces auteurs obtiennent un excellent accord avec le paramètre du défaut mesuré par EPR, si le défaut en question est un dimer oxydé de façon dissymétrique. [Figure 16].

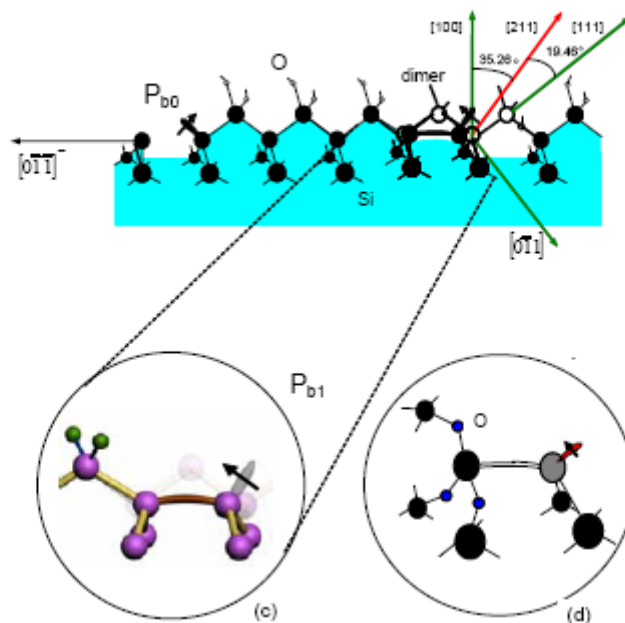


Figure 16 : défaut P_{b0} et P_{b1} selon l'orientation [100] [3].

En ce qui concerne l'identification des défauts restant après recuit sous hydrogène, la question reste ouverte. Certaines équipes [3], à partir de mesures C(V) et de l'étude de nombreux échantillons, identifient les parties exponentielles qu'ils observent systématiquement en bord de bande, à des liaisons Si-Si faibles et Si-O faibles, pour les parties près des bandes de valence et de conduction, respectivement. Selon les auteurs [3], le centre de la bande interdite

est occupé par les centres P_{b0} ou bien par des centres Si_xO_y ≅ Si. Avec $x + y = 3$, le centre P_{b0} correspondant à $x = 3$ [3].

A partir de mesures C(V) à haute fréquence, différents auteurs ont montré que les défauts créés sous stress électrique ou sous irradiation étaient donneurs dans la partie basse de la bande interdite et accepteurs dans la partie haute [30, 32, 33], ce qui ne contredit pas l'hypothèse de défaut dans la bande interdite et celle où les défauts restant actifs après hydrogénation seraient des centres P_b.

Enfin, la nature attractive d'un défaut pour la capture, un donneur ionisé pour un électron par exemple, ou le caractère neutre d'un état pour cette même capture, doivent se traduire par des sections différentes de plusieurs ordres de grandeur. Si les défauts accepteurs et donneurs ont pu être identifiés à partir de mesure de type RTS sur des transistors submicroniques, de telles propriétés n'ont jamais été mise en évidence sur des transistors de grande surface par les techniques de la mesure de section de capture.

Une section de capture pour les trous du niveau bas et les électrons du niveau haut de l'ordre 5.10^{-14} cm² et 10^{-15} cm² [38] respectivement a été mesurée par l'Energy-Resolved DLTS (ER-DLTS) par Johnson [28]. Cependant, en utilisant la technique train d'impulsion, des valeurs plus faibles ont été trouvées, de l'ordre 10^{-18} - 10^{-19} cm², pour la section de capture des trous, qui semblent être indépendante de la température, [38].

Le centre P_{b1} qui a été observé pour la surface Si(100), est localisé à $E_v + 0.45$ eV et $E_c - 0.3$ eV ou à $E_c - 0.42$ eV. Ce niveau accepteur a une section de capture pour les électrons de l'ordre 5.10^{-16} cm².

D'autres défauts d'origine structurale, telles que les lignes de dislocation issues du substrat de silicium et débouchant en surface du semi-conducteur, peuvent être l'origine des états d'interface. Le nombre important de liaisons (Si-Si, Si-O) distordues ou faibles à l'interface est à l'origine du grand nombre de défauts électriquement actifs dont les énergies et les sections efficaces de captures sont très largement distribuées dans la bande interdite du silicium (figure 17).

L'hydrogène, en apportant un électron à l'atome de silicium auquel il se lie, passive le défaut et le rend ainsi inactif. Un tel groupement, noté Si₃-SiH, correspond au centre P_{bH} [34]

Les liaisons pendantes peuvent aussi être comblées par des atomes tels que le chlore, le fluor ou le deutérium (isotope naturel de l'hydrogène). Nous pouvons conclure que les centres

P_{b0}, sont a priori les candidats les plus plausibles pour expliquer la présence de niveau d'énergie accessible

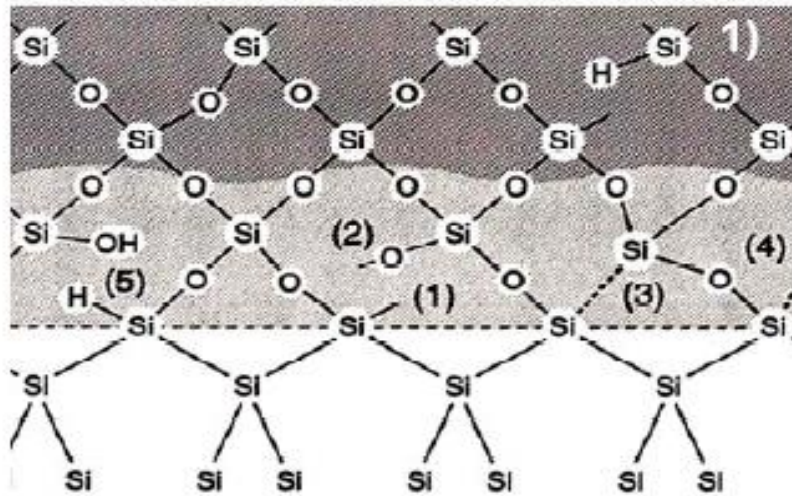


Figure 17 : Configurations atomiques possibles et défauts près [2]

De l'interface Si/SiO₂ : (1) Les liaisons pendantes de Si ; (2) Oxygène non lié ; (3) Lacune d'oxygène ; (4) Liaison Si-O contrainte (ou faible) ; (5) Espèces contenant de l'hydrogène (liaisons -H et -OH) [2].

15.2. Défauts volumiques du SiO₂ : les centres E'

Dans le volume de l'oxyde, un autre groupe de défauts électriquement actifs a été détecté par l'ESR. Ces défauts, les centres E', mis en évidence par [2], ont fait l'objet d'un nombre considérable de travaux [3,20]. Ils résultent de lacunes d'oxygène qui font place à une liaison faible entre deux atomes de silicium de la structure de base. Pour le centre E'_γ, le mieux identifié et le plus rencontré, la rupture de cette liaison, pour une raison quelconque, fait qu'un des atomes de silicium devient chargé positivement (trous) (figure 18) et que l'autre est neutre et possède un électron non apparié (figure 19).

Pourtant, dans toutes les études portant sur ces défauts, l'irradiation ou l'injection de trous sont utilisés pour les observer. En l'absence de génération, les spectres ESR sont plats. Ou bien alors, ces défauts n'existent pas après la croissance des oxydes ou bien la sensibilité de l'ESR en est la cause. Très tôt, différents auteurs ont cherché à voir si ces défauts étaient électriquement actifs, c'est-à-dire, s'ils pouvaient être chargés et déchargés en appliquant aux dispositifs des tensions appropriées [3,35]. Quand ils ont cherché à attribuer à ces défauts des

niveaux d'énergie, il a été conclu que les états correspondants se situaient en dehors de la bande interdite du silicium, voire proches des bandes du SiO₂.

Pourtant, une première étude à partir des modèles de liaisons fortes (tight binding) concluait à la présence de niveaux en face de la bande interdite du silicium. Par ailleurs Fleetwood et Scofield ont mis en évidence une forte corrélation entre le bruit en 1/f mesuré sur des dispositifs vierges et la charge créée dans l'oxyde après irradiation et attribuée aux centres E' (trous piégés), suggérant que le bruit en 1/f, soit provenait de ces mêmes centres, soit était dû à un précurseur. La communication de ces centres avec le semi-conducteur a par la suite aussi été démontrée sur des échantillons irradiés [35]. Très récemment, il a été conclu à partir de calculs de type "first principles" que deux des variantes du centre E', le pont hydrogène et le centre E'_γ pouvaient échanger des électrons et des trous par effet tunnel avec le silicium [3].

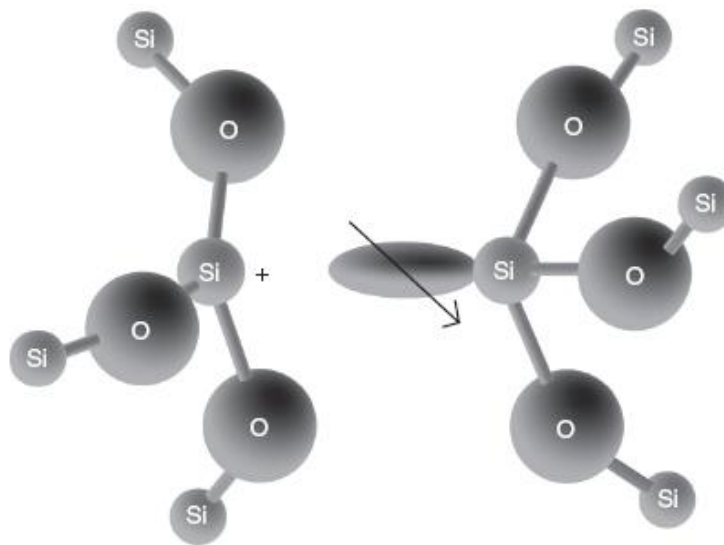


Figure 18 : Schéma du Diagramme des centres E' chargés positivement.

Un trou piégé par une lacune et oxygène [3].

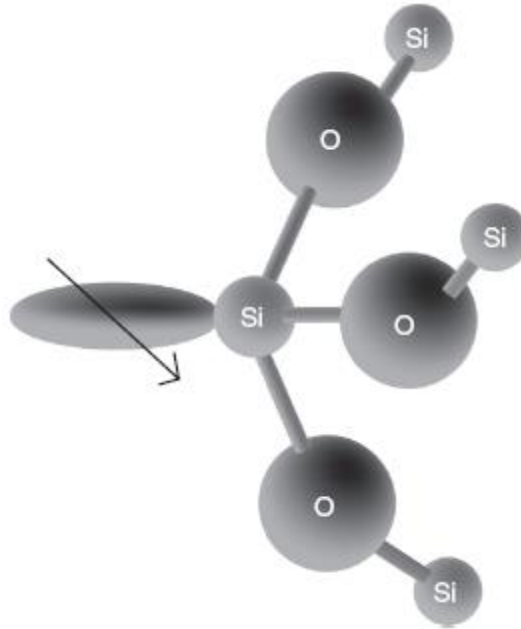


Figure 19 : Schéma des centres E' neutres [3].

16. Conclusion

Ce premier chapitre a eu pour but de présenter les caractéristiques physiques et électriques, de la structure MOS, qui est le point de départ de toute technologie innovante, où on a étudié ses différents régimes de fonctionnement. Sans oublier de donner un aperçu général sur l'évolution de la charge d'espace en fonction du potentiel de surface. La simulation de la charge d'espace en fonction du potentiel de surface a été analysée, aussi, on a étudié l'influence du dopage du substrat sur la charge.

Le principe de fonctionnement d'un transistor MOS, l'analyse des différents régimes de fonctionnement, en particulier, le fonctionnement sous le seuil aussi, a été exposé également quelques paramètres électriques du transistor MOS tels que la conductance et la transductance.

La région sensible du TMOS c'est l'interface Si/SiO₂, a été présentée, où on a traité le sujet des centres P_b et les centres E' ainsi que, leurs origines.

Chapitre 2
Mécanismes de création
de défauts et simulation
sous SILVACO

Mécanismes de création de défauts

Et simulation sous SILVACO

1. Introduction

Comme mentionné dans le chapitre 1, les performances des dispositifs sont étroitement liées à leurs méthodes de fabrication et sont fortement dépendantes des défauts qui sont associés aux processus technologiques. Parmi ces défauts, les états d'interface Q_{ss} , et les charges d'oxyde très proches de l'interface Si/SiO₂ (section 12 chapitre 1). Ces défauts sont électriquement actifs et posent de sérieux problèmes technologiques. Ils affectent directement plusieurs paramètres électriques des composants MOS tels que : la tension de seuil, la pente sous le seuil ainsi que le niveau de bruit. D'où la nécessité d'étudier la physique de ces défauts directement dans les transistors MOS et de développer des modèles analytiques relatifs à la distribution des défauts dans ce type de dispositifs [16,17].

Ces études ont pour but de déterminer les propriétés de ces défauts, leur mécanisme de création et leur influence sur le fonctionnement des transistors MOS.

Plusieurs études montrent que le rôle des états d'interface Q_{ss} est celui des centres de recombinaison ou de générations ou de pièges à électrons ou à trous [3, 24, 36]. Ces états d'interface sont donc à l'origine de plusieurs niveaux d'énergies dans la bande interdite du silicium. De ce fait, on classe la nature des défauts électriquement actifs, selon la position de leurs niveaux d'énergies dans la bande interdite du semi-conducteur, en deux types : types donneur et de types accepteurs [2]. (Section 12 Chapitre 1)

Dans un premier temps, on donne une explication des mécanismes de création des défauts, en se basant sur le fameux modèle de SRH. (Shockley-Read-Hall). Ensuite, nous présentons une fiche technique du logiciel de simulation TCAD-SILVACO, son principe de fonctionnement et ses modules de simulation.

Enfin, Nous étudions par simulation l'influence de certains paramètres, à savoir, la densité des accepteurs, l'orientation du substrat, la position du niveau d'énergie dans la bande interdite du substrat sur les caractéristiques de transfert $I_{DS}(V_{GS})$.

2. Dynamique des défauts

Après avoir présenté dans la partie introductive les défauts au niveau de l'oxyde de silicium et à l'interface Si-SiO₂. On explique la dynamique des défauts, qui nous permettra de comprendre comment se fait l'introduction des niveaux d'énergies dans la bande interdite du semi-conducteur. Afin de comprendre comment se fait les interactions coulombiennes des défauts (les états d'interface) avec les porteurs du SC, nous rappelons le formalisme SRH [24, 36]. En particulier, nous établissons les expressions des divers taux de capture et d'émission des trous et des électrons. Aussi nous introduisons la notion de section de capture.

2.1. Base de la statistique SRH

Sur la figure 1, nous représentons le diagramme de bandes d'un semi-conducteur où apparaissent le bas de la bande de conduction, noté E_c , et le haut de la bande de valence, noté E_v . On considère une densité D_{it} (noté aussi N_{ss}) de pièges de niveau d'énergie E_t (situés dans la bande interdite du semi-conducteur). Ces pièges capturent et émettent des porteurs libres. Ils peuvent donc être soit occupés par des électrons (carrés noirs) soit occupés par des trous (carrés blancs). [24]

Les mécanismes de remplissage des pièges sont définis par les différents taux de capture et d'émission suivants :

- U_{cn} : taux de capture des électrons de la bande de conduction.
- U_{en} : taux d'émission des électrons des pièges vers la bande de conduction.
- U_{cp} : taux de capture des trous de la bande de valence vers les pièges (ou émission d'électrons vers la bande de valence),
- U_{ep} : taux d'émission des trous vers la bande de valence (ou capture d'électrons de la bande de valence).

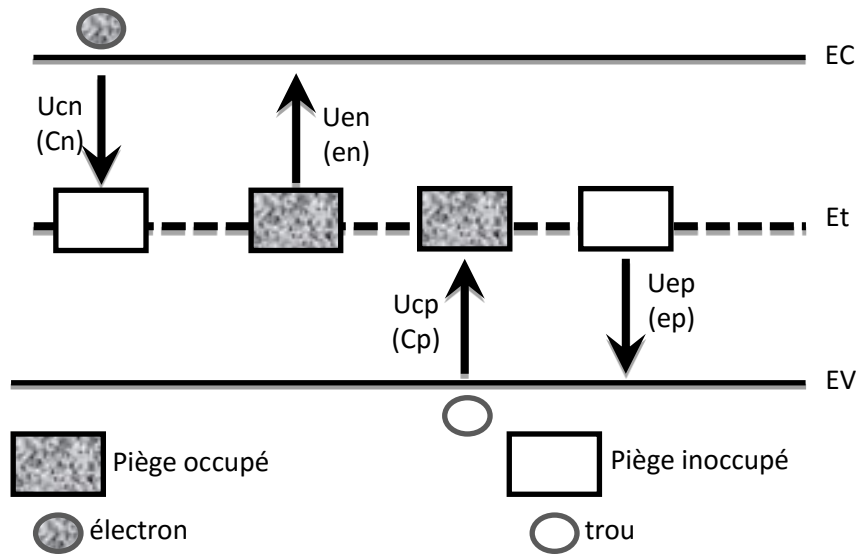


Figure 1. Diagramme de bandes du semi-conducteur faisant apparaître des pièges au Niveau d'énergie E_t ainsi que les taux de capture et d'émission des porteurs libres [36,24].

Comme mentionné dans la partie introductive les pièges peuvent être classés en deux catégories selon leur état de charge ou leur état d'occupation par un électron :

- ❶ Piège de type accepteur : chargé négativement si occupé et neutre si inoccupé.
- ❷ Piège de type donneur : neutre si occupé et chargé positivement si inoccupé.

La probabilité qu'un centre soit occupé par un électron est notée f_t et la densité d'électrons piégés dans le volume du semi-conducteur est $D_{it}f_t$. Inversement, la probabilité qu'un piège soit inoccupé est notée $(1-f_t)$ et la densité de pièges vides s'écrira $D_{it}(1-f_t)$. A l'équilibre thermodynamique la probabilité f_t est donnée par la fonction de distribution de Fermi Dirac [24, 36] :

$$f_t = \frac{1}{1 + \exp\left(\frac{E_t - E_F}{kT}\right)} \quad (\text{II.1})$$

Avec

k : constante de Boltzmann

T : Température

En situation hors équilibre thermodynamique, f_t ne s'exprime pas en fonction du niveau de Fermi E_F , mais en fonction du quasi-niveau de Fermi E_{Fn} des électrons (dans le cas d'un substrat de type p).

2.2. Taux de capture des électrons

Le nombre d'électrons présents dans la bande de conduction est égal à n et un électron qui tombe vers la bande de valence a une probabilité d'être capturé, au passage, par un centre inoccupé. Cette quantité, appelée aussi coefficient de capture des électrons, caractérise le fait qu'un électron qui transite n'est pas toujours piégé par le centre vide.

$$C_n = \sigma_n V_{TH} \quad (\text{II.2})$$

Où V_{TH} représente la vitesse thermique des porteurs et σ_n la section efficace de capture des électrons par les centres recombinants. Plus la vitesse des électrons est importante, plus le coefficient de capture est grand plus un électron est agité thermiquement (V_{TH} est proportionnelle à la température).

Pour exprimer le taux de capture d'un électron, il faut prendre en compte le coefficient de capture, le nombre d'électrons présents dans la bande de conduction ainsi que le nombre de pièges inoccupés :

$$U_{cn} = c_n n D_{it} (1 - f_t) \quad (\text{II.3})$$

2.3. Taux d'émission des électrons

Afin de déterminer le taux d'émission des électrons, il faudrait connaître le nombre de places disponibles pour un électron dans la bande de conduction. Nous évitons ce problème en introduisant un coefficient en qui représente la probabilité d'émission d'un électron piégé vers la bande de conduction. Le nombre de centres occupés étant égal à $D_{it} f_t$, le taux d'émission d'un électron s'exprime de la façon suivante :

$$U_{en} = e_n D_{it} f_t \quad (\text{II.4})$$

À l'équilibre il y a l'égalité entre les taux de capture et d'émission des électrons ($U_{cn} = U_{en}$) ce qui revient à écrire l'équation suivante :

$$e_n = c_n n \frac{1 - f_t}{f_t} \quad (\text{II.5})$$

La concentration en électrons libres à l'équilibre thermodynamique est donnée par la relation :

$$n = n_i \exp\left(\frac{E_F - E_i}{kT}\right) \quad (\text{II.6})$$

D'où

$$e_n = c_n n_i \exp\left(\frac{E_i - E_i}{kT}\right) = n_i c_n \quad (\text{II.7})$$

n_i est défini comme la densité d'électrons dans le cas où $E_F = E_i$.

$$n_i = n_i \exp\left(\frac{E_i - E_i}{kT}\right) \quad (\text{II.8})$$

Il est important de noter que la quantité n_i ne dépend pas du niveau de Fermi E_F ce qui signifie que son expression est valable aussi bien à l'équilibre que hors équilibre thermodynamique.

2.4. Taux de capture des trous

La concentration en trous libres dans la bande de valence est p . Un trou qui monte vers la bande de conduction ne sera pas forcément piégé par un centre et pour en tenir compte, on introduit un coefficient c_p appelé coefficient de capture des trous qui s'exprime de la façon suivante :

$$c_p = \sigma_p V_{th} \quad (\text{II.9})$$

Où σ_p est la section efficace de capture des trous par les centres recombinants. Le taux de capture des trous s'écrit en tenant compte du fait qu'un piège doit être occupé pour pouvoir capturer un trou (émission d'un électron vers la bande de valence) :

$$U_{cp} = c_p p D_{it}(f_t) \quad (\text{II.10})$$

2.5. Taux d'émission des trous

Afin d'éviter la détermination du nombre de places disponibles pour les trous dans la bande de valence, on introduit un coefficient e_p qui représente le coefficient d'émission de trous par les centres. Le nombre de centres inoccupés étant $D_{it}(1-f_t)$, le taux d'émission des trous s'écrit :

$$U_{ep} = e_p p D_{it}(1-f_t) \quad (\text{II.11})$$

A l'équilibre thermodynamique, les taux de capture et d'émission des trous sont égaux. En utilisant l'expression de la densité en trous :

$$p = n_i \exp\left(\frac{E_i - E_F}{kT}\right) \quad (\text{II.12})$$

P_1 représente la densité de trous dans le cas où $E_F = E_t$.

$$P_1 = n_i = \exp\left(\frac{E_i - E_t}{kT}\right) \quad (\text{II.13})$$

Comme pour n_i , la quantité P_1 est indépendante de l'état d'équilibre thermodynamique du système. Il est très important de noter que les coefficients d'émission des électrons et des trous e_n et e_p (via respectivement les quantités n_1 et P_1) dépendent de la position énergétique du piège. Au contraire, les coefficients de capture des électrons et des trous multipliés respectivement par la densité en électrons et en trous libres ($c_n N$ et $c_p P$) sont indépendants de la position énergétique du piège.

3. Comportement des défauts

Un défaut peut être soit un piège, soit un centre de recombinaison, soit un centre de génération selon les valeurs des rapports entre les différentes grandeurs $c_n N$, $c_p P$, e_n et e_p . Considérons un porteur libre capturé par un défaut :

Si ce porteur reste sur le défaut jusqu'à ce qu'il soit réémis vers la bande d'origine, alors ce défaut est classé comme piège.

Si un porteur libre de signe opposé à celui du premier porteur est capturé par le même défaut avant que le premier porteur ne soit réémis, alors ce défaut est classé comme centre recombinant.

Si un porteur est émis par un défaut avant que ce dernier ne capture un porteur libre de signe opposé, alors ce défaut est classé comme centre de génération.

4. Présentation du logiciel SILVACO

L'environnement SILVACO est largement exploité, tant dans l'industrie que dans les laboratoires de recherche.

SILVACO (Silicon Valley Corporation) est une société Américaine, « Silvaco International » ayant son siège à Santa Clara en Californie. Elle est un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation par éléments finis et de conception assistée par ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Ses outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs. Le développement de SILVACO, les ventes et les équipements de soutien sont stratégiquement

localisés dans le monde entier pour soutenir la clientèle. Une majeure partie du modèle des affaires de SILVACO se fonde sur la capacité de la compagnie à fournir des ingénieurs technico-commerciaux bien formés et expérimentés pour le support à la clientèle sur place dans toutes les régions principales de fabrication de semi-conducteurs [41,42].

Historiquement la compagnie a été fondée en 1984 par Dr. Ivan Pesic pour répondre aux besoins des designers de circuits intégrés (IC, integrated circuits) analogiques pour des modèles SPICE (Simulation Program with Integrated Circuit Emphasis) de plus en plus précises et linéaires.

Le produit initial a été le système d'extraction des paramètres UTMOST (Universal Transistor Modeling Software) qui est devenu un standard industriel pour l'extraction des paramètres, la caractérisation des dispositifs et la modélisation. L'entrée de SILVACO dans la technologie TCAD a eu lieu en 1989, et elle a été basée sur une recherche du Département des Dispositifs Physiques de l'Université de Stanford, ainsi apparaissent dans SILVACO « Athena » comme simulateur des processus et « Atlas » comme simulateur des dispositifs (2D et 3D). A l'aide d'un projet de recherche de l'Université de California, Berkeley, en 1992 SILVACO a conçu son propre logiciel de simulation comportementale SPICE. Ainsi « SmartSpice » devient partie de la chaîne TCAD de SILVACO, il permet des simulations des circuits électroniques avec les modèles physiques des composants créés à l'aide d'Atlas tout en utilisant une logique SPICE. « SmartSpice » écrit en C++ permet facilement l'introduction des modèles nouveaux de simulation et permet une amélioration des algorithmes numériques pour une meilleure convergence. En 1997, SILVACO introduit IC CAD (Integrated Circuit Computer Aided Design) analogue qui est un outil pour capture schématique (schematic capture), disposition sur circuits imprimés (layout) et vérification physique. L'ensemble de ces outils avec le simulateur des circuits « SmartSpice » fournit une structure complète, à faible coût et d'une très grande productivité pour la conception des circuits intégrés analogiques. En fin, en 2004, SILVACO propose un outil d'extraction de signaux parasites qui permet la conversion directe des données des masques et des informations intéressantes aux processus des schémas électriques.

Virtual Wafer Fab (VWF) de Silvaco est un ensemble d'outils de simulation et d'outils interactifs permettant la conception et l'analyse de la plupart des dispositifs semi-conducteurs. Les modules de VWF qui seront employés sont [43] :

a. Les outils de simulation (VWF coretools)

Ces outils permettent de simuler les processus de fabrication ou les comportements électriques des dispositifs. Les outils de simulation sont [43] :

- SSUPREM3 : simulateur de procédé 1D avec prolongements simples de simulations des dispositifs
- ATHENA : simulateur 2D de procédés technologiques qui permet de simuler les différentes étapes effectuées en Salles Blanches et ainsi d'obtenir la structure du dispositif (couches constitutives, dimensions, géométrie) avec les profils de dopage
- ATLAS : simulateur 2D ou 3D de dispositifs semi-conducteurs qui permet d'obtenir leurs caractéristiques électriques (statiques ou dynamiques)

b. Les outils interactifs (VWF interactive tools)

Ces outils sont conçus pour être utilisés en mode interactif dans la construction d'un seul fichier d'entrée. En étant basé sur une interface utilisateur qui est graphique (*Graphical User Interface, GUI*), le travail de construction du fichier d'entrée devient plus efficient. Les outils interactifs peuvent être utilisés soit en relation avec un ensemble de fichiers, ou comme des composants intégrés dans l'environnement « *VWF automation Tools* ». Les outils interactifs sont [43] :

- TonyPlot : outil de visualisation et d'analyse graphique 1D et 2D des résultats de simulations.
- Manager : outil de gestion des fichiers utilisés et créés par VWF.
- MaskViews : outil de dessin des masques (*layouts*).
- DeckBuild : le DECKBUILD est l'environnement où est défini le programme de simulation à travers des commandes spécifiques. De multiples simulateurs considérés comme des entrées peuvent être utilisés avec le DECKBUILD : ATHENA, ATLAS, SSUPREM3, sachant que chaque outil de simulation possède son propre langage de programmation.
- DevEdit : outil d'édition de structure qui permet de créer des nouvelles structures ou même de modifier des structures existantes. Cet outil permet de raffiner les maillages existants ou de définir de nouveaux maillages.
- Optimiseur : outil d'optimisation automatique

- SPDB (Semiconductor Process Data Base) est un produit séparé qui peut être utilisé avec Deck Build. Il a été conçu pour stocker un grand nombre de profils de dopage mesurés expérimentalement avec les données décrivant les conditions expérimentales.

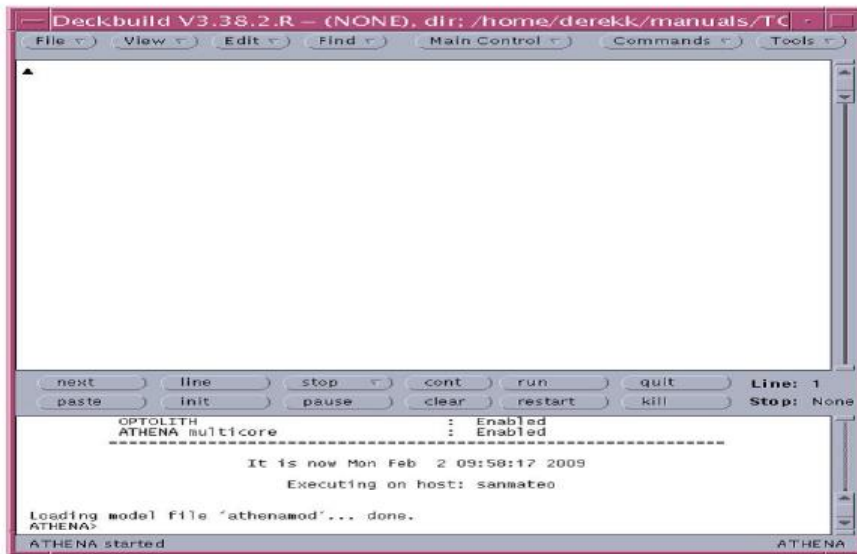


Fig. 2- l'environnement DECKBUILD [42].

c. Les outils d'automatisation (VWF automation tools)

Ces outils permettent à l'utilisateur d'exécuter sur une grande échelle des études expérimentales pour créer des résultats pour une analyse statistique ultérieure. Ces outils automatiques utilisent la technologie des bases de données et les méthodes des logiciels de transmissions entre processus [43].

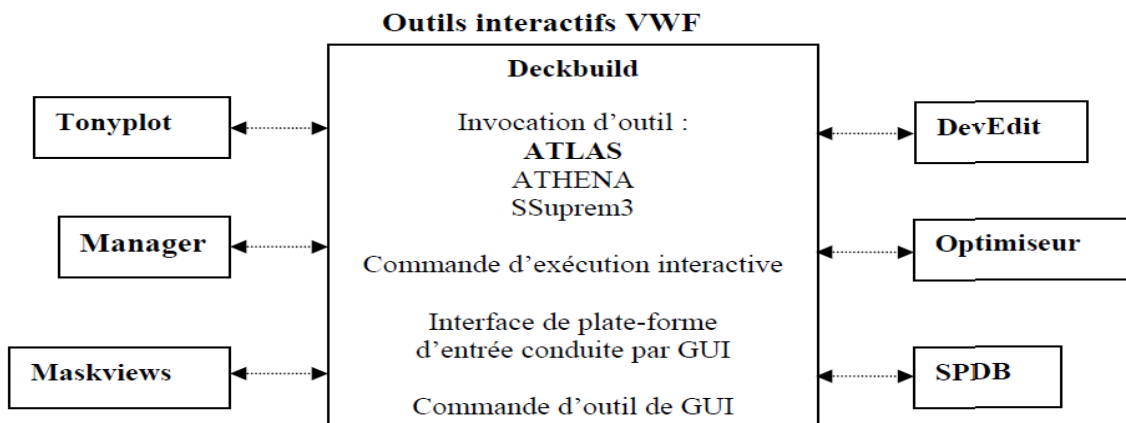


Fig. 3- Organigramme de la structure VWF [43].

5. Simulation sous SILVACO : Résultats et Discussions

La simulation est un outil très puissant pour concevoir et prévoir les performances des dispositifs à base de semi-conducteur, l'outil de simulation qu'on a utilisé dans notre travail est le simulateur technologique TCAD-SILVACO. Comme déjà mentionné dans la section précédente, ce logiciel est doté de tas de modules. Les deux modules utilisés dans notre conception sont : ATHENA et ATLAS.

Dans cette section, nous allons expliquer par simulation, l'influence de quelques paramètres des défauts électriquement actifs induit lors de la dégradation du transistor MOS, tels que les états d'interface Q_{ss} et les charges d'oxyde très proches de l'interface sur la caractéristique de transfert $I_{DS}(V_{GS})$ à V_{DS} constante.

Les différentes étapes du procédé technologique de fabrication (oxydation, diffusion, implantation ionique), ainsi que le comportement physique et les paramètres technologiques du composant électronique (distribution des porteurs dans la structure, profondeurs des jonctions, concentration des porteurs) ont été simulés à partir du logiciel ATHENA, alors que la simulation du comportement électrique de dispositif, a été réalisée au moyen de l'outil ATLAS

5.1. Paramètres du système simulé

5.1.1. Définition du substrat

Le point de départ de tout dispositif microélectronique est de définir les paramètres du substrat. Un substrat type P (Bore) de concentration $N_a = 10^{14} \text{ cm}^{-3}$.

La tension de seuil est liée au niveau de dopage dans le canal. La tension de seuil d'un transistor MOS peut être ajustée avec précision en utilisant l'implantation ionique [44,45]. Cette méthode de dopage consiste à bombarder un échantillon de matériau avec des ions de l'impureté désirée et à des énergies variant de quelque Kilo-électronvolts à quelques Méga-électron Volts. La profondeur de pénétration des ions dans un échantillon est proportionnelle à l'énergie de bombardement. Dans notre cas, on a implanté le phosphore (type n) avec une dose d'implantation de $9,5 \cdot 10^{11}/\text{cm}^2$ et une énergie de 10 KeV.

5.1.2. Le maillage

Une étape très importante et indispensable qui doit être effectuée avant d'entamer la simulation du procédé technologique est le maillage du dispositif.

Le maillage joue un rôle important pour l'obtention de bonnes simulations. Celui-ci doit être fait avec la plus grande attention pour garantir la fiabilité des résultats.

La méthode numérique utilisée pour résoudre les équations physiques est la méthode des éléments finis [46]. Son principe de base est la discrétisation par éléments des équations à traiter. Les éléments qui définissent la maille élémentaire utilisée par le simulateur sont des prismes. Pour obtenir des résultats fiables et précis, la finesse du maillage doit être définie.

En fonction des variations des grandeurs physiques. Le choix de maillage doit être fait de façon à avoir un compromis entre la vitesse d'exécution et l'exactitude des résultats [42].

Le maillage doit être très fin pour les régions telles que la région du canal, les jonctions drain/substrat et source/substrat, alors qu'il peut être moins serré pour d'autres régions du transistor, en dehors de ces zones actives.

5.1.3. Influence de l'orientation du substrat sur $I_{DS}(V_{GS})$

Afin de pouvoir simuler les caractéristiques de transfert en tenant compte du phénomène de dégradation, dans cette partie, on a introduit un niveau accepteur (section 12 chapitre 1) (dans la bande interdite du semi-conducteur, la position énergétique de ce niveau est de 0,23 eV, sa densité est de $0,5 \cdot 10^{11}/\text{cm}^{-2}$, les valeurs des sections de captures pour les électrons et les trous respectivement sont : $1,5 \cdot 10^{-15}/\text{cm}^2$ et $5,5 \cdot 10^{-14}/\text{cm}^2$ et on changeant l'orientation cristallographique du substrat, afin de prévoir le comportement de la caractéristique de transfert par simulation sous Silvaco. On a utilisé les deux modules ATHENA et ATLAS. Les résultats de cette étude sont illustrés par les figures 4 (a et b),

On observe : il y a une influence sur les caractéristiques $I_{DS}(V_{GS})$ ($V_{DS} = 0,1 \text{ V}$).

❶ Une augmentation du courant du drain, selon l'orientation $\langle 100 \rangle$ par rapport à l'orientation $\langle 111 \rangle$. Cette augmentation a une influence néfaste sur les paramètres électriques du TMOS. En pratique, la réalisation technologique des TMOS se fait sur les substrats d'orientation $\langle 111 \rangle$,

❷ Un décalage de la tension de seuil.

Plusieurs auteurs ont montré que l'orientation cristallographique $\langle 100 \rangle$, assure une meilleure qualité d'oxyde de grille [35,3].

Aussi, de nombreuses études ont été réalisées sur la surface du silicium $\langle 111 \rangle$ [Bauz01], [32, 33, 35]. Ces Auteurs ont montré que le centre sur la surface du silicium $\langle 111 \rangle$ est un défaut amphotère avec trois états de charge (+/0/-).

La transition (+/0) donne un niveau donneur à $E_v + 0,3 \text{ eV}$ ($\pm 0,02 \text{ eV}$) et la transition (0/-) donne un niveau accepteur à $E_c - 0,31 \text{ eV}$ ($\pm 0,04 \text{ eV}$), pour une section de capture de l'ordre de 10^{-14} cm^2 .

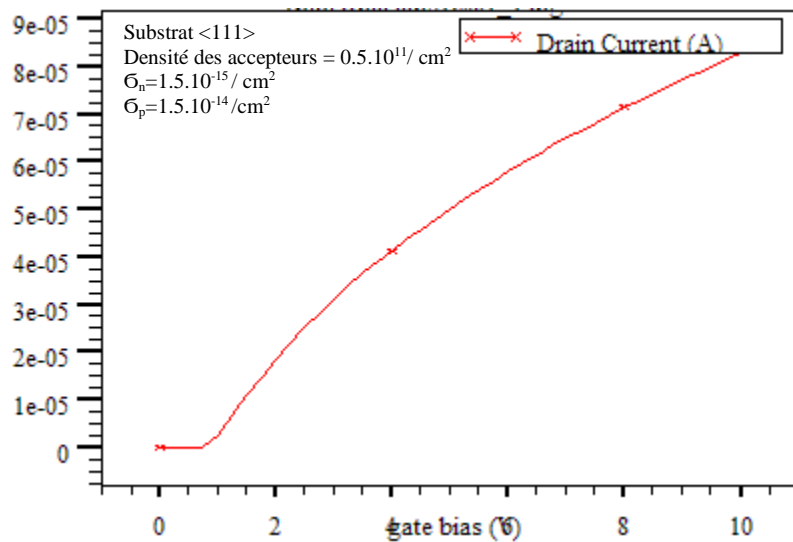


Figure 4(a) Caractéristique de transfert $I_{DS}(V_{GS})$ avec un niveau accepteur de $0,23 \text{ eV}$, orientation cristallographique $\langle 111 \rangle$

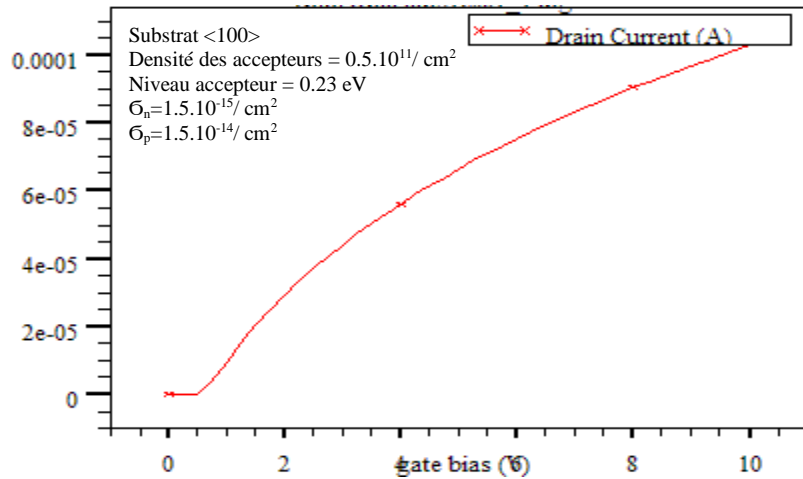


Figure 4(b) Caractéristique de transfert $I_{DS}(V_{GS})$ avec un niveau accepteur de 0,23 eV, orientation cristallographique <100>

Les résultats de simulation de la caractéristique de transfert $I_{DS}(V_{GS})$ avec un niveau accepteur de 0,23 eV, orientation cristallographique <100> et <111> ont été présentés dans le tableau (2.1) :

Orientation du substrat	<100>	<111>
Tension de seuil (V)	0,5	0,75
Courant maximal (A)	10^{-4}	$9 \cdot 10^{-5}$

Tableau. 2.1 Résultats de simulations pour différentes orientations cristallographiques <100> et <111>

5.1.4. Influence de la densité des niveaux accepteurs $I_{DS}(V_{GS})$

Cette étude concerne l'influence de la densité des niveaux accepteurs dans la bande interdite du substrat. Sachant que les défauts introduisent des niveaux donneurs et des niveaux accepteurs dans la bande interdite du substrat. Ces niveaux ont une influence néfaste sur la fiabilité et le bon fonctionnement du composant. Dans notre cas, on s'est intéressé aux niveaux accepteurs.

La densité des niveaux accepteurs dans la bande interdite du semi-conducteur est de : 0,5.10¹⁰, 0,5.10¹¹, 0,5.10¹² et 0,5.10¹³ /cm², la position de niveau d'énergie est de 0,23 eV, les sections de captures pour les électrons et les trous respectivement sont de 1,510⁻¹⁵/cm² et 5,5 10⁻¹⁴/cm² , l'orientation cristallographique du substrat est <100>, comme nous montre la figure (5), L'augmentation de la densité des niveaux accepteurs provoque un décalage vers la

droite de la tension de seuil du TMOS. Ce décalage augmente avec l'augmentation de la densité des défauts.

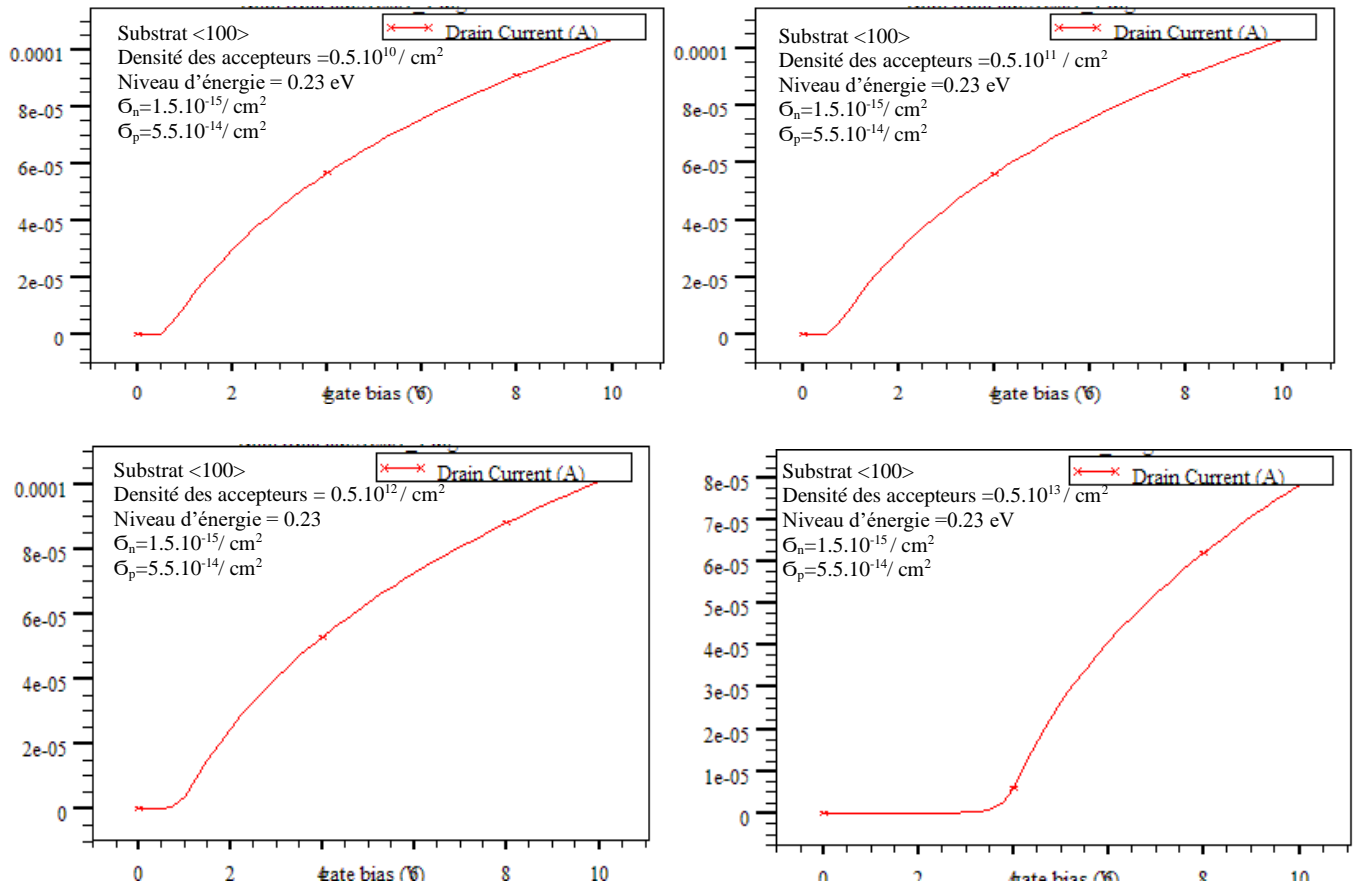


Figure 5 Caractéristique de transfert $I_{DS}(V_{GS})$ avec un niveau accepteur de 0,23 eV, avec différentes valeurs de densités des niveaux accepteurs

Notons que pour des densités élevées, on mesure que du bruit, (cette partie sera analysé en détail dans le chapitre 3)

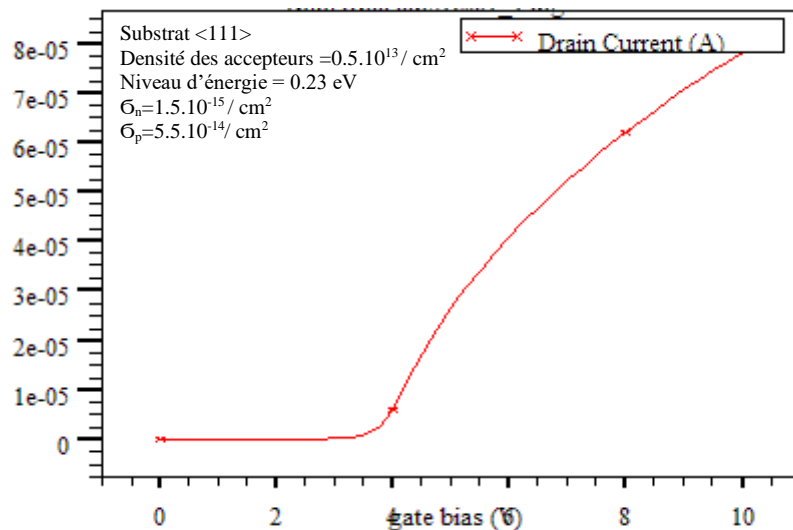
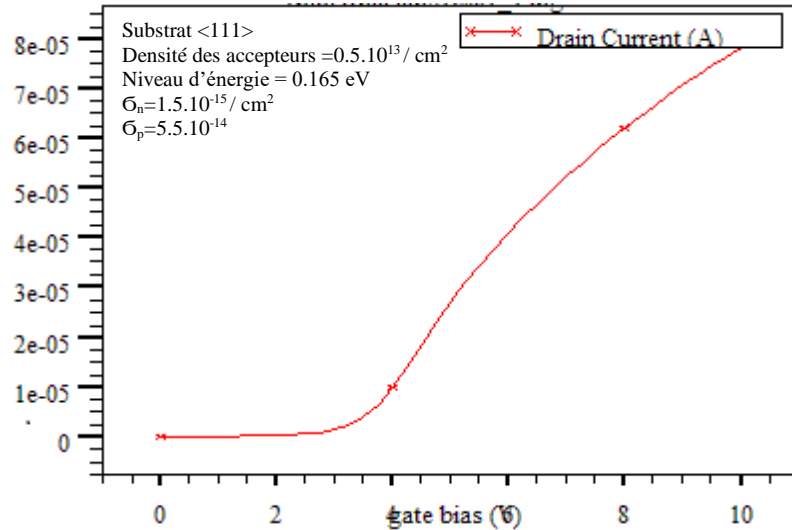
Les résultats de simulation de la variation de la densité des niveaux accepteurs ont été notons que pour les densités élevées, on mesure que du bruit (cette partie sera analysée en détail dans le chapitre 3). Les résultats de la simulation de la variation de la densité des niveaux accepteurs ont été présentés dans le tableau (2.2) :

Densité des niveaux accepteurs /cm ²	0,5.10 ¹⁰	0,5.10 ¹¹	0,5.10 ¹²	0,5.10 ¹³
Tension de seuil (V)	0,5	0,51	0,60	3,5

Tableau. 2.2- Résultats de simulations avec différentes valeurs de densités des niveaux accepteurs

5.1.5. Influence de la position des niveaux d'énergie dans le substrat sur $I_{DS}(V_{GS})$

Dans ce cas l'orientation cristallographique du substrat est $\langle 111 \rangle$, la densité des accepteurs $0,5 \cdot 10^{13} \text{ cm}^{-2}$, les valeurs des sections efficaces des électrons et des trous respectivement sont égales à $1,5 \cdot 10^{-15} / \text{cm}^2$ et $5,5 \cdot 10^{-14} / \text{cm}^2$ et la position des niveaux L'énergie introduits par les défauts dans la bande interdite du semi-conducteur est donnée par 0,165 eV, 0,23 eV et 0,42 eV



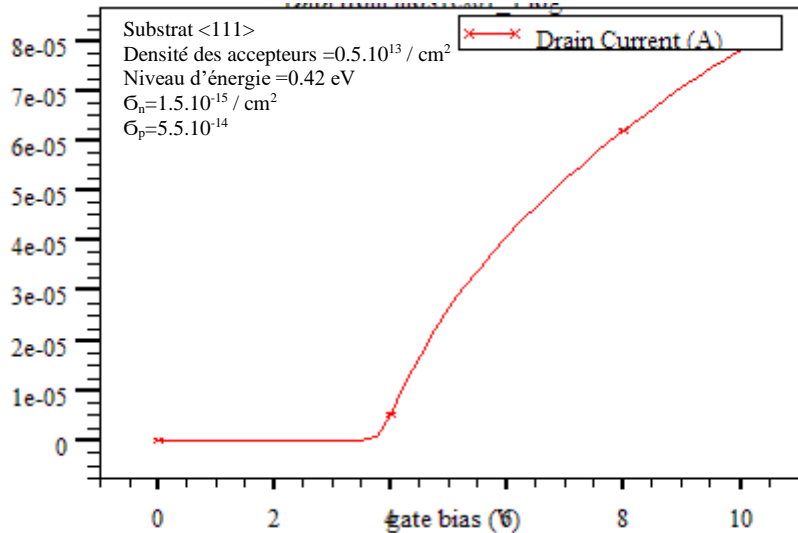


Figure 6 Caractéristiques de transfert $I_{DS}(V_{GS})$ avec densités des accepteur $0.5 \cdot 10^{13} / \text{cm}^2$, avec différentes positions des niveaux d'énergie

La position des niveaux d'énergie dans la bande interdite du semi-conducteur influe sur les le décalage de la tension de seuil, comme nous montre les résultats de simulation sous Silvaco sur la figure 6, ce décalage augment avec l'augmentation de niveau d'énergie. Comme mentionné dans la section 2, l'ajustement de la tension de seuil se fait par la technique de l'implantation ionique, tout en estimant les paramètres technologiques, tels que la dose et l'énergie.

5.1.6. Distribution énergétique des défauts dans la bande interdite

Les défauts introduisent des niveaux d'énergie dans la bande interdite du semi-conducteur ; par conséquent, ils affectent les paramètres électriques des dispositifs MOS.

Les paramètres de simulation sont :

Orientation du substrat : <111>,

La densité des accepteurs est $2 \cdot 10^{10} / \text{cm}^2$

La section de capture pour les électrons est de $2,84 \cdot 10^{-15} / \text{cm}^2$ et la section de capture des trous est de $2,84 \cdot 10^{-14} / \text{cm}^2$

La figure 7 montre la distribution des niveaux donneurs dans la bande interdite du semi-conducteur, simulée sous silvaco. Les niveaux d'énergies sont proches de la bande de valence du substrat. Comme a été mentionné, les niveaux donneurs sont situés dans la moitié inférieure de la bande interdite du semi-conducteur.

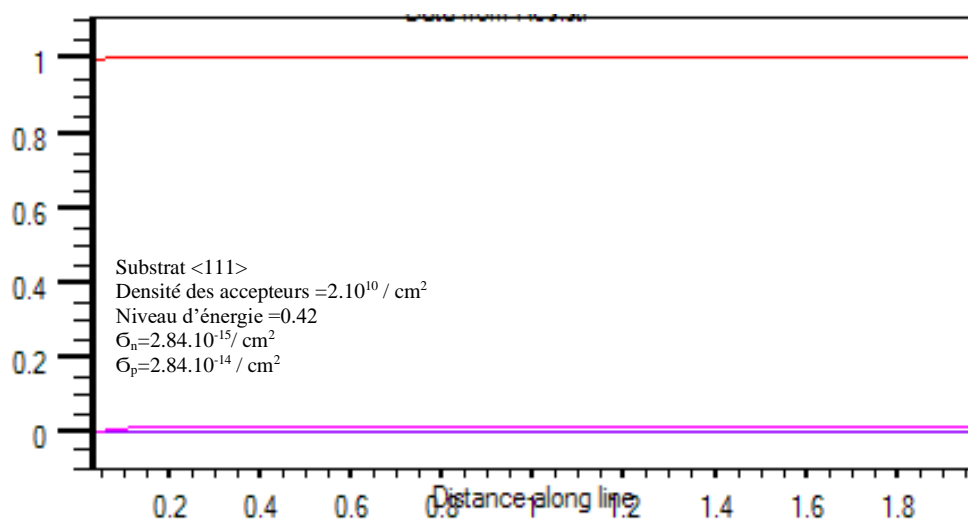


Fig. 7- Distribution énergétique des défauts donneurs dans la bande interdite

6. Conclusion

Dans le but de préparer le terrain à l'étude des caractéristiques électriques du TMOS dans le chapitre 3, dans ce chapitre on a mis en évidence les caractéristiques de transfert du transistor MOS, à l'aide de simulateur TCAD SILVACO (ATHENA et ATLAS) qui permettent, et grâce à des modèles physiques de plus en plus sophistiqués, de reproduire et de prédire ces profils.

On a étudié l'influence de quelques paramètres, à savoir : la densité des accepteurs, l'orientation du substrat, la position du niveau d'énergie dans la bande interdite du substrat. Aussi la distribution énergétique des défauts dans la bande interdite du silicium a été présentée et discutée. Le décalage de la tension de seuil a été observé, dans tous les cas, quel que soit le paramètre étudié. Aussi, on a donné une fiche technique sur le simulateur utilisé dans notre simulation, sans oublier d'expliquer la dynamique et la création des défauts d'interface et les défauts d'oxyde proche de l'interface.

Chapitre 3
Caractéristique d'un
TMOS : Modélisation
sous Matlab

Caractéristiques d'un TMOS : Modélisation sous Matlab

1. Introduction

Au fur et à mesure que progresse la technique des circuits intégrés complexes, le recours à la simulation devient une étape de plus en plus importante dans l'analyse et la mise au point de ces circuits. Pour qu'une simulation soit en accord avec la réalité, il faut disposer de modèles précis.

Un modèle est une représentation en langage mathématique d'un aspect de la réalité. Les variables mesurables décrivent l'état d'un système au cours du temps, ce sont les variables d'états, et la modélisation consiste à associer à ces variables une loi mathématique représentative du comportement du système. La vérification de la vraie semblance de la loi se fait par comparaison avec les valeurs réelles, mesurées, des variables d'état. Cette loi mathématique ne révèle le plus souvent qu'un aspect de la réalité. Elle dépend bien sûr de la complexité du système étudié, mais aussi de ce que nous avons décidé d'analyser, de ce qu'il importe de connaître dans un contexte donné.

Appliquée à la conception des circuits et système électroniques, la modélisation prend tout son intérêt dans le cadre de la simulation.

Le modèle permet d'anticiper sur la réalisation, de prévoir le comportement électrique d'un composant d'un circuit. Les modèles de transistors que l'on trouve dans les simulateurs de circuits s'appuient sur les lois de la physique des semi-conducteurs (modèles de phénomènes physiques) et sont souvent traduits en une représentation électrique. Donc au moyen de résistances, capacités, source de courant, etc.

Ainsi, il est indispensable de modéliser l'effet du phénomène de dégradation dans les transistors MOS, afin de prévoir le comportement futur du dispositif.

Vu l'importance de la simulation des modèles, nous allons simuler sous MATLAB les caractéristiques statiques I_{DS} en fonction de V_{DS} , les caractéristiques de transfert aussi le paramètre électrique la transductance d'un transistor MOS en tenant compte des défauts induit par le phénomène de dégradation (en tenant compte des états d'interface et de charges d'oxyde)

Ensuite nous étudions l'influence de certains paramètres, à savoir l'épaisseur d'oxyde T_{ox} , et la mobilité μ sur les caractéristiques du TMOS.

Pour bien situer nos résultats, nous allons prendre comme référence le modèle SPICE LEVEL 3 [48,49]. Alors, les résultats de simulation seront comparés et validés avec d'autres résultats trouvés dans la littérature [5].

2. Description du modèle implanté sous MATLAB

Le model LEVEL 3 du simulateur SPICE a été développé pour simuler les transistors MOS à canal court $L < 2 \mu\text{m}$. Dans cette section nous donnons une explication détaillée du modèle, en tenant compte de tous les phénomènes physiques, dans chaque région du fonctionnement du TMOS, les équations du modèle ont été proposées par DANG [49,50].

2.1. Analyse en continu

On distingue trois régions :

❶ Région linéaire $0 < V_{DS} < V_{dsat}$ et $V_{GS} < V_{TH}$

$$I_{DS} = \mu_s C_{ox} \frac{W}{L_{eff}} \left(V_{GS} - V_{TH} - \frac{(1 + F_B) V_{DS}}{2} \right) V_{DS} \quad (\text{III.1})$$

❷ Région de saturation $V_{DS} > V_{dsat}$ et $V_{GS} < V_{TH}$

$$I_{DS} = \mu_s C_{ox} \frac{W}{L_{eff}} \left(V_{GS} - V_{TH} - \frac{(1 + F_B) V_{dsat}}{2} \right) V_{dsat} \quad (\text{III.2})$$

Avec

$$F_B = F_n + \frac{\gamma F_s}{4f(V_{BS})} \quad (\text{III.3})$$

Où :

F_S : un paramètre empirique qui modélise les effets canal court (Short Factor)

F_n : un paramètre empirique qui modélise les effets canal étroit (Narrow Factor)

$F(V_{BS})$: est une fonction qui dépend du potentiel de surface PHI et de la tension substrat-source V_{BS}

En fonctionnement normal (la jonction substrat-source est polarisée en inverse : $V_{BS} \leq 0$), la fonction a pour expression :

$$f(V_{BS}) = \sqrt{\phi - V_{BS}} \quad (\text{III.4})$$

Dans le cas où la jonction est conductrice ($V_{BS} > 0$) devient :

$$f(V_{BS}) = \frac{\sqrt{\phi}}{1 + 0.5 \frac{V_{BS}}{\phi} + 0.375 \left(\frac{V_{BS}}{\phi} \right)^2} \quad (\text{III.5})$$

③ Région de faible inversion

Les phénomènes de diffusion entre la source et le drain ne sont pas prisés en compte, que lorsque N_{FS} n'est pas nul.

L'expression de V_{on} est donnée par l'équation (III.6)

$$V_{on} = V_{TH} + \frac{nkT}{q} \quad (\text{III.6})$$

Avec :

$$n = 1 + \frac{N_{FS}}{C_{ox}} + \frac{\gamma F_S f(V_{BS}) + F_n (\phi - V_{BS})}{2(\phi - V_{BS})} \quad (\text{III.7})$$

En régime de faible inversion ($V_{BS} < V_{on}$) ; V_{TH} est remplacée par V_{on} dans les expressions du courant définies précédemment (en régime linéaire et de saturation) que l'on multiplie par un facteur exponentiel.

$$I_{DS} = I_{DS} \exp\left(\frac{q}{kT} \frac{V_{GS} - V_{TH}}{n}\right) \quad (\text{III.8})$$

2.1.1. Tension de seuil

Identique à la caractéristique I_{DS} , la valeur de la tension de seuil prend en compte les effets canal court et étroit.

L'expression de V_{TH} est proposée par DANG [49]

$$V_{TH} = V_{FB} + \phi - \Delta V_{DS} + \gamma' F_S \sqrt{\phi - V_{BS}} + F_N (\phi - V_{BS}) \quad (\text{III.9})$$

Avec :

$$\Delta = \xi \frac{8.15 \cdot 10^{-22}}{C_{ox} W^3} \quad (\text{III.10})$$

La valeur typique de ξ est souvent est égale à 1.

Le paramètre Δ exprime empiriquement la dépendance de V_{TH} par rapport à V_{DS} le paramètre F_S est donné par [48,49] :

$$F_S = 1 - \frac{X_j}{L_{eff}} \left(\frac{L_D + w_c}{X_j} \sqrt{1 - \frac{w_p}{X_j + w_p} - \frac{L_D}{X_j}} \right) \quad (\text{III.11})$$

w_p : L'épaisseur de la zone désertée sous le canal:

$$w_p = X_D \sqrt{\phi - V_{BS}} \quad (\text{III.12})$$

Et

$$X_D = \sqrt{\frac{2 \mathcal{E}_s}{p N_{SUB}}} \quad (\text{III.13})$$

w_c : l'épaisseur de la région désertée pour les jonctions cylindriques; elle est définie par l'expression empirique suivante:

$$\frac{w_c}{X_j} = 0.0831353 + 0.8013929 \frac{w_p}{X_j} - \left(\frac{w_p}{X_j} \right)^2 \quad (\text{III.14})$$

Le paramètre F_N introduit les effets de canal étroit dans l'expression de V_{TH} , il est donné par :

$$F_N = \frac{\pi \epsilon_s \Delta}{2C_{ox} W} \quad (III.15)$$

2.1.2. Tension de seuil à polarisation du substrat nulle

L'expression de V_{T0} est identique à celle du modèle SPICE LEVEL 2 [48] cependant, nous pouvons exprimer le paramètre ϕ par des paramètres physiques :

$$V_{T0} = type \left(type \left(w_K - \frac{qN_{SS}}{C_{ox}} \right) + \phi + \gamma \sqrt{\phi} \right) \quad (III.16)$$

Avec :

$$\phi = \frac{2KT}{q} \ln \left(\frac{N_{SUB}}{n_i} \right) \quad (III.17)$$

$$\gamma = \frac{\sqrt{2q\epsilon_0 N_{SUB}}}{C_{ox}} \quad (III.18)$$

2.1.3. Effet de la longueur du canal sur la mobilité

$$\mu_s = \frac{\mu_0}{1 + \theta(V_{GS} - V_{TH})} \quad (III.19)$$

θ : paramètre d'ajustement et il est de l'ordre 0,28

L'équation (III.19) permet de traduire la diminution de la mobilité lorsque le champ électrique moyen entre la source et le drain augmente (champ électrique longitudinal) et de prendre en compte les effets dus au champ électrique induit par la polarisation de grille (champ électrique transversal) tout en le modulant par la tension drain/source.

L'effet champ longitudinal est exprimé par :

$$\mu_s = \frac{\mu}{1 + \frac{\mu V_{DS}}{V_{MAX} L_{eff}}} \quad (III.20)$$

Où l'expression de champ transversal est prise en compte dans :

$$\mu = \frac{\mu_0}{1 + \theta(V_{GS} - V_{TH})} \quad (III.21)$$

2.1.4. Variation de la longueur du canal pour la région de saturation

L'équation du courant I_{DS} en régime linéaire fait intervenir la longueur effective L_{eff} :

$$L_{eff} = L - 2L_D$$

En régime de saturation, il faut tenir compte également des effets de modulation de la longueur du canal : cette variation a une expression différente celle du LEVEL2 :

Si $V_{MAX} = 0$

$$\Delta L = L_{eff} - L = X_D \sqrt{\lambda(V_{DS} - V_{dsat})} \quad (\text{III.22})$$

Si $V_{MAX} > 0$:

$$\Delta L = L_{eff} - L = \sqrt{\left(\frac{E_p X_D^2}{2}\right)^2 + \lambda X_D^2 (V_{DS} - V_{dsat})} - \frac{E_p X_D^2}{2} \quad (\text{III.23})$$

λ : est un paramètre empirique, dont la valeur typique est 1, (sa valeur est obtenue par ajustement).

$$E_p = \frac{I_{dsat}}{G_{dsat} L_{eff}} \quad (\text{III.24})$$

G_{dsat} : est la dérivée de I_{DS} par rapport à V_{DS} à la saturation.

2.2. Analyse en transitoire et en petit signal

Les phénomènes capacitifs sont pris en compte soit dans le modèle à capacités de MEYER ou dans le modèle à charges contrôlées de WARD. Dans le cas du modèle de WARD, le calcul des charges est simplifié [20,24].

2.2.1. Charge associée à la grille

$$Q_G = C_{ox} W L_{eff} \left(V_{GS} - V_{BS} - \phi + \Delta V_{DS} - \frac{V_{DS}}{2} + \frac{1 + F_B}{12 F_i} V_{DS}^2 \right) \quad (\text{III.25})$$

Où :

$$F_i = V_{GS} - V_{TH} - \frac{1 + F_B}{2} V_{DS} \quad (\text{III.26})$$

2.2.2. Charge associée au substrat

$$Q_B = C_{ox} W L_{eff} \left\{ \gamma F_S \sqrt{\phi - V_{BS}} + F_N (\phi - V_{BS}) + \frac{F_B}{2} V_{DS} \right\} \left\{ - F_B \frac{(1 + F_B)}{12 F_i} V_{DS}^2 \right\} \quad (\text{III.27})$$

2.2.3. Charge associée u canal

$$Q_{ch} = -(Q_G + Q_B) = Q_s + Q_D \quad (\text{III.28})$$

Où :

Q_s : La charge associée à la source.

Q_D : La charge associée au drain.

À partir des expressions des charges, il est alors possible de calculer la valeur des capacités intrinsèques du modèle. Les relations utilisées sont empruntées au modèle à la charge de WARD, et les valeurs des capacités sont obtenues par différentiation des charges par rapport à la tension aux bornes du dispositif :

$$C_{ij} = - \frac{\partial Q_i}{\partial V_j} \quad (\text{III.29})$$

Avec : $i, j = D, G, S, B$; cette description correspond à celle adoptée par WARD.

3. Résultats et interprétation

Dans cette partie nous allons modéliser le phénomène de dégradation, nous l'avons implanté et validé sous le logiciel Matlab.

Afin de suivre l'étude de dégradation nous avons agi sur les tensions des bandes plates et la tension de seuil. Le potentiel de surface, un paramètre joue un rôle très important dans le phénomène de dégradation du TMOS. Nous avons vu que la dégradation du transistor se traduit par la création des états d'interface et de charges dans l'oxyde. De ce fait des charges électroniques sont alors associées à ces défauts créés qui changent la répartition de la densité des charges dans le semi-conducteur. Ce changement entraîne alors une modification du potentiel supporté par le substrat, ce potentiel est le fameux paramètre électrique le potentiel de surface ψ_s

La validation de ce modèle nous a fourni des résultats concernant les caractéristiques de sortie et de transfert du TMOS simulé, aussi les variations de la transductance selon le modèle décrit dans la section (2), en tenant compte du phénomène de dégradation.

Aussi, nous allons étudier l'influence de quelques paramètres telles que l'épaisseur de l'oxyde et la mobilité sur ses caractéristiques électrique $I_{DS}(V_{DS}), I_{DS}(V_{GS}), g_m(V_{GS})$ et on compare les résultats avec ceux dans la littérature [5]

3.1. Influence des charges d'interface N_{ss} sur les caractéristiques du TMOS

Dans cette section nous allons simuler et analyser l'influence des états d'interface sur les caractéristiques électriques du transistor MOS. Le transistor MOS simulé est de type n à une surface de $W.L \mu\text{m}^2$, avec une épaisseur d'oxyde de 230 \AA , la tension des bandes plates est $V_{FB} = -0,8 \text{ V}$, la tension de seuil est $V_{TH} = 0.8 \text{ V}$.

Si on tient compte des charges d'états d'interface N_{ss} pour un transistor à canal court $L = 1\mu\text{m}$, la tension des bandes plates sera donnée par :

$$V_{FB1} = \psi_{ms} - \frac{qN_{ss}}{C_{ox}} \quad (\text{III.31a})$$

Dans ce cas l'expression de la tension de seuil sera donnée par :

$$V_{TH1} = V_{FB1} + \phi - \Delta V_{DS} + \gamma' F_S \sqrt{\phi - V_{BS}} + F_N (\phi - V_{BS}) \quad (\text{III.31b})$$

Les paramètres de simulation sont répertoriés dans le tableau 1 (page suivante).

Les courbes simulées figures1 ((a) et (b)) montrent l'influence des états d'interface sur les caractéristiques électriques $I_{DS}(V_{DS}), I_{DS}(V_{GS})$. On remarque que :

- ❶ L'effet des charges des états d'interface est négligeable pour des valeurs de concentration des $N_{ss} \ll 10^{11} \text{ cm}^{-2}$. De ce fait, l'influence de ces charges dans ce mode de fonctionnement est négligeable.
- ❷ L'augmentation de la concentration des N_{ss} provoque une augmentation du courant du drain I_{DS} , cette augmentation influe sur la fiabilité et la durée de vie de composant.
- ❸ Une inclinaison de la partie linéaire vers les tensions les plus élevées (pente plus faible), (i.e les flancs des courbes sont modifiés)

Longueur du canal	$L = 1\mu\text{m}$
-------------------	--------------------

Largeur du canal	$W = 1.6\mu\text{m}$
Correction de longueur de canal effectif	$L_D = 0.05\mu\text{m}$
Tension de seuil	$V_{T0} = 0.8\text{V}$
Dépendance de la tension de seuil avec V substrat	$\gamma = 0.4 \text{ V}^{1/2}$
Variation du courant avec V_{DS} en saturation	$\lambda = 0.1$
Potentiel de surface	$\phi = 0.7 \text{ V}$
Pente du courant sous le seuil de type nKT/q	$N_{SS} = 0.07 \text{ V}$
Saturation de la mobilité	$V_{MAX} = 130.10^3 \text{ m/s}$
Mobilité	$U = 600 \text{ cm}^2/\text{V. s}$
Épaisseur de l'oxyde	$t_{ox} = 230 * 10^{-10} \text{ m}$
Permittivité du vide	$\epsilon_0 = 8.85.10^{-12} \text{ F/m}$
Permittivité d'oxyde	$\epsilon_{OX} = \epsilon_0.3.9 \text{ F/m}$
Permittivité du Silicium	$\epsilon_{si} = \epsilon_0.11.9 \text{ F/m}$
transconductance	$K_P = \mu * C_{OX} (\text{A/V})$
Capacité d'oxyde	$C_{OX} = \epsilon_{OX} / t_{ox} (\text{F})$

Tableau 1 : Principaux paramètres électriques de simulation

- ④ Un décalage de la tension de seuil V_T vers les tensions les plus élevées figure 1.b, par conséquent la valeur de la tension de bandes plates est modifiée (Cette variation de l'ensemble des paramètres sera accrue quand les la condition des N_{SS} devient de l'ordre de 10^{13} cm^{-2} ,

Un bon accord avec les résultats trouvés et les résultats prévus dans la littérature [5].

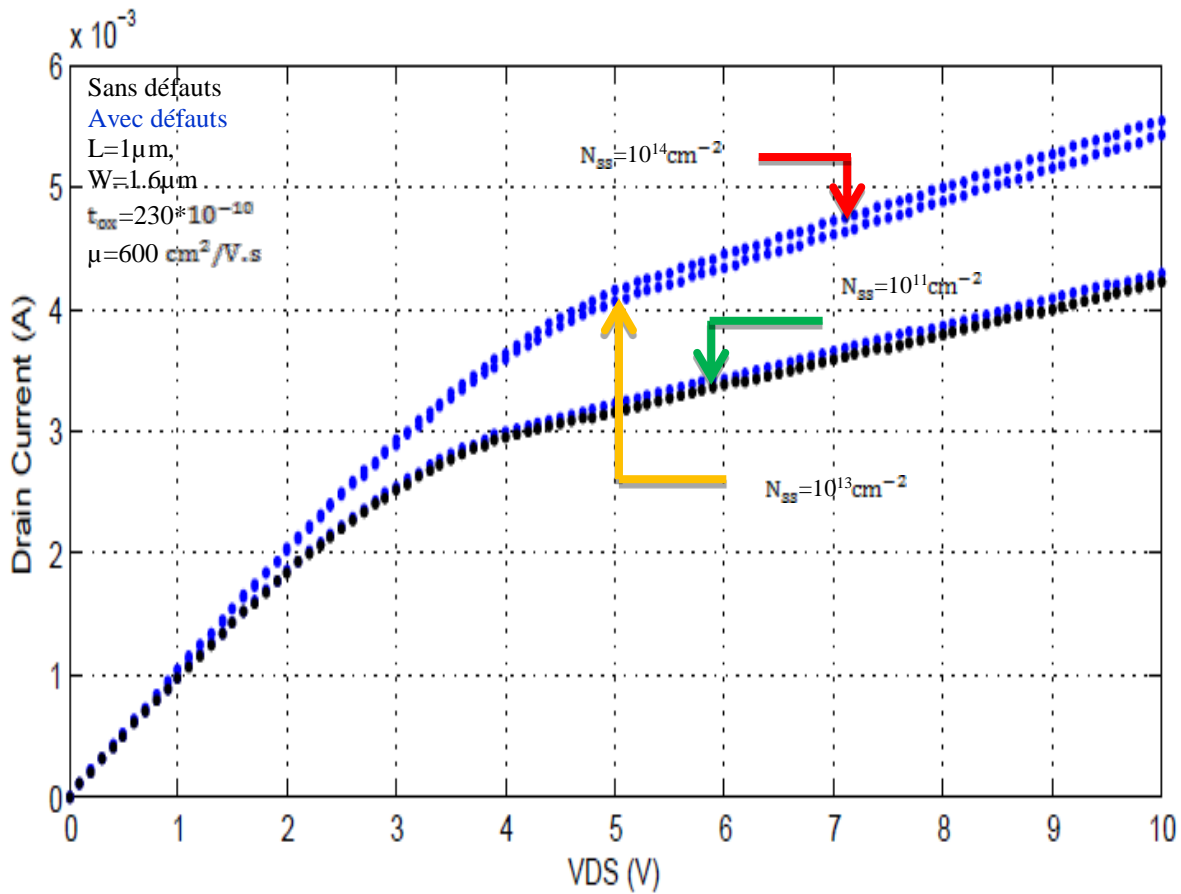


Figure 1(a) : $I_{Ds}(V_{Ds})$ pour différentes valeurs des N_{ss}

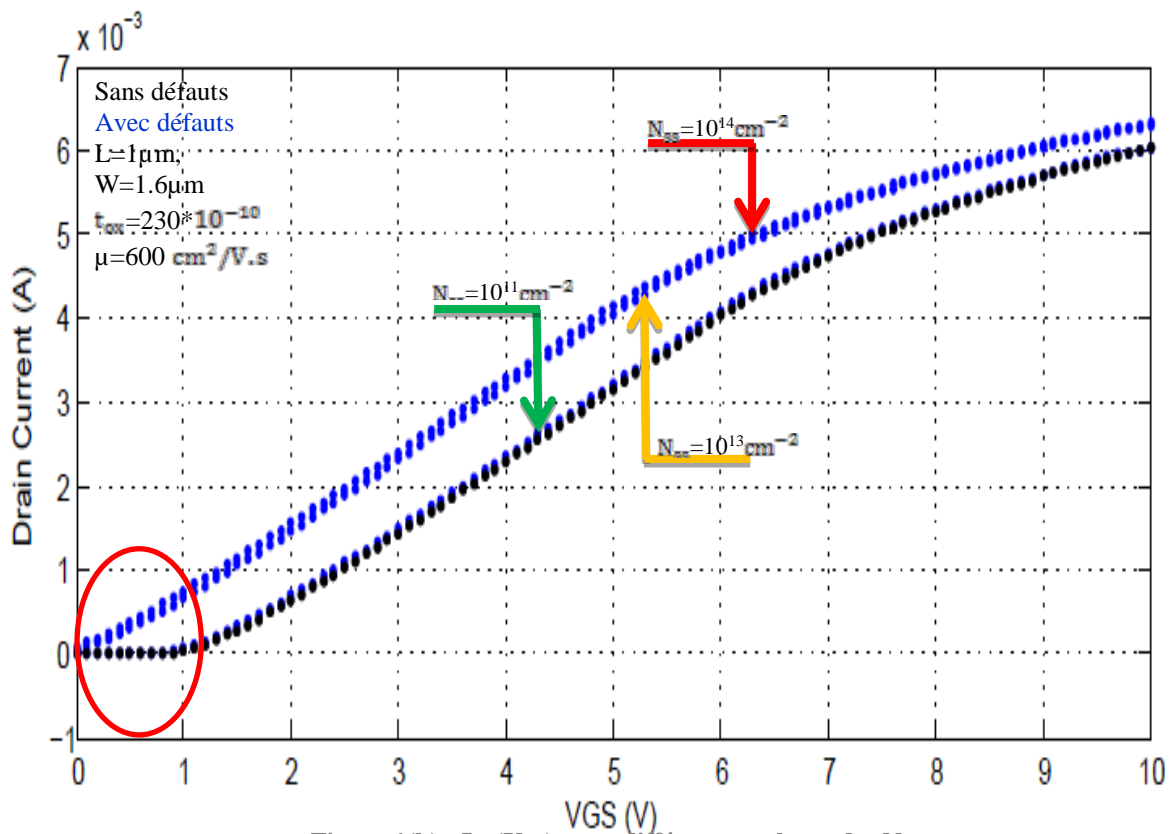


Figure 1(b) : $I_{Ds}(V_{GS})$ pour différentes valeurs des N_{ss}

3.2. Influence d'épaisseur d'oxyde t_{ox} sur les caractéristiques du T.MOS

Nous faisons varier l'épaisseur d'oxyde $t_{ox} = 160 \text{ \AA}, 200 \text{ \AA}, 300 \text{ \AA}$ sur un transistor MOS à canal court de longueur $1 \mu\text{m}$, dans les deux cas : TMOS vierge (sans défauts) et un TMOS dégradé (avec défauts), pour différentes valeurs de t_{ox} nous traçons les caractéristiques $I_{DS}(V_{DS}), I_{DS}(V_{GS})$, représentées sur les courbes des figures.2(a), 2(b).

Tout d'abord sur le réseau de caractéristiques $I_{DS}(V_{DS}), I_{DS}(V_{GS})$, on peut remarquer que :

La tension de seuil du transistor varie avec la variation de l'épaisseur de l'oxyde. En effet, la tension de seuil augmente quand l'épaisseur de l'oxyde augmente (Figure 2b).

En observant la caractéristique $I_{DS}(V_{DS})$ On remarque aisément que le courant I_{DS} augmente lorsque t_{ox} diminue. Dans la littérature ont trouvé que pour ce qui revient à dire qu'une épaisseur de l'oxyde anormalement importante pour des transistors à canal court a pour conséquence l'isolation de la grille qui ne commande plus le canal.

De ce fait, l'épaisseur de l'oxyde doit être le plus mince possible mais tout en étant comprise dans des normes admissibles et non inférieure à une certaine valeur qui changerait la nature de la structure et ceci afin d'avoir un meilleur courant. Notons qu'une épaisseur de grille importante risquerait d'isoler la grille.

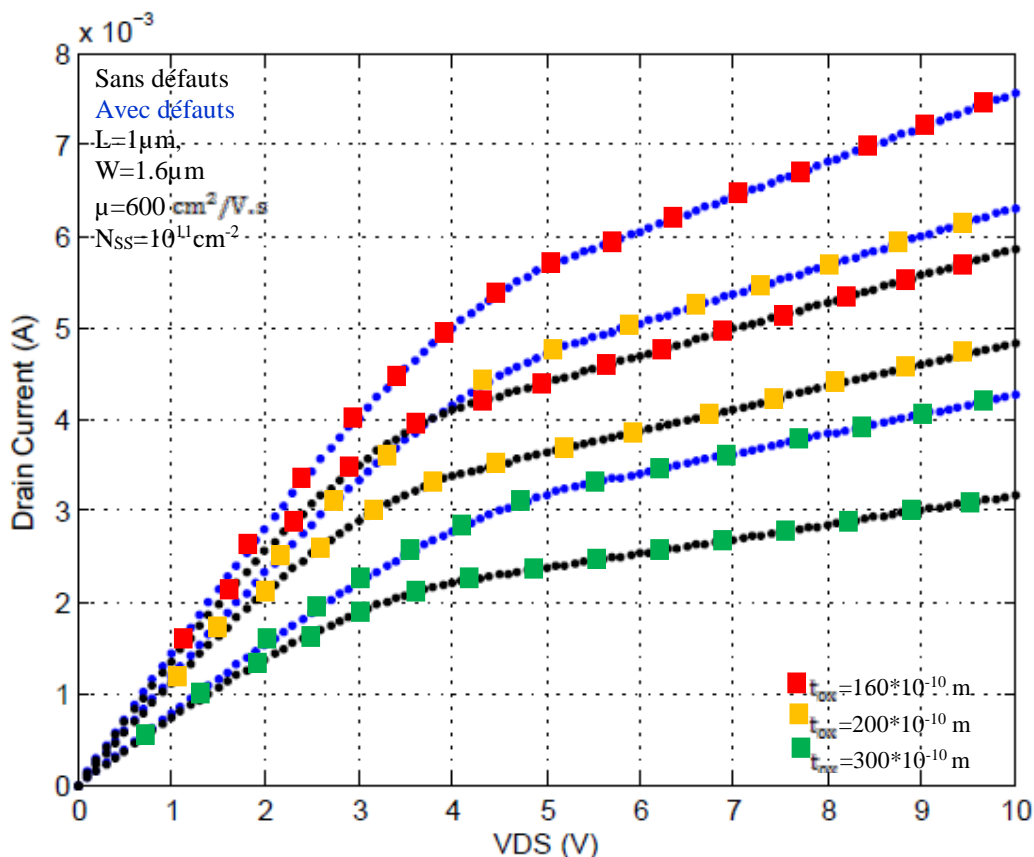


Figure 2(a) : $I_{DS}(V_{DS})$ pour différentes valeurs de t_{ox}

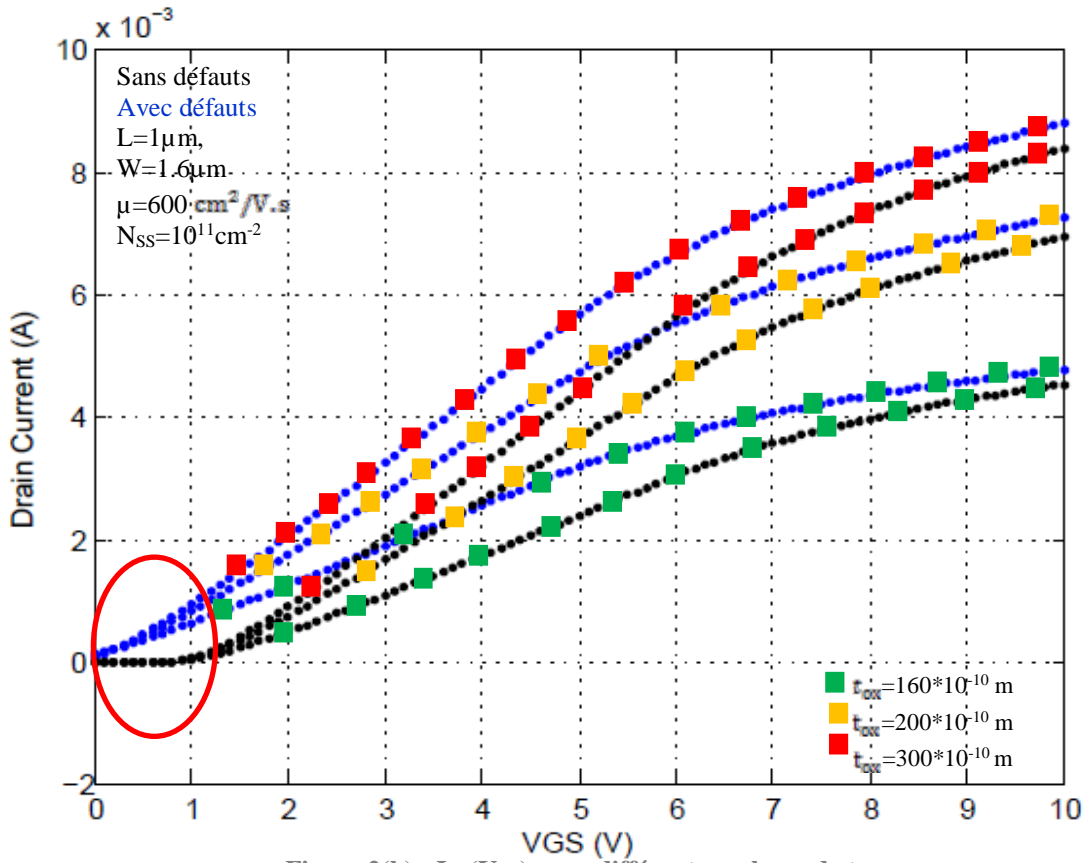


Figure 2(b) : $I_{DS}(V_{GS})$ pour différentes valeurs de t_{ox}

3.3. Influence des charges d'oxyde N_{ox} sur les caractéristiques du TMOS

Pour l'effet des N_{ox} nous avons pris un transistor à canal court ($L=1\mu m$), où la tension des bandes plate devient :

$$V_{FB2} = \psi_{ms} - \frac{qN_{ox}}{C_{ox}} \tag{III.32a}$$

ψ_{ms} : travail de sortie

Dans ce cas l'expression de la tension de seuil sera donnée par

$$V_{TH2} = V_{FB2} + \phi - \Delta V_{DS} + \gamma' F_S \sqrt{\phi - V_{BS}} + F_N (\phi - V_{BS}) \tag{III.2b}$$

Dans ce cas, pour différentes valeurs de concentration des N_{ox} (Les mêmes valeurs que le cas précédent), les variations observées sur les caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$, restent identiques à celles du cas des N_{ss} présenté au paragraphe précédent.

Ceci est dû à ce que le terme pris en compte dans l'équation des bande plates dans le modèle simulé reste aussi identique du point de vu simulation (calcul). Mais du point de vu physique pour $V_{GS} > 0$ les charges sont repoussées vers l'interface, près du canal (On n'a pas présenté les résultats simulation).

Elles ont le même effet que les N_{ss} , par conséquent les caractéristiques électriques devraient varier comme dans le cas précédent.

3.4. Influence simultanée charges d'état d'interfaces Q_{ss} et des charges d'oxyde Q_{ox} sur les caractéristiques du T.MOS

Ce cas considéré caractérise les effets simultanés des charges d'état d'interfaces Q_{ss} et des charges d'oxyde Q_{ox} pour un transistor a canal court de longueur $L = 1\mu m$. La tension de bandes plates sera exprimée par la relation suivante

$$V_{FB3} = \psi_{ms} - \frac{qN_{ss}}{C_{ox}} - \frac{qN_{ox}}{C_{ox}} \quad (III.36a)$$

Dans ce cas l'expression de la tension de seuil est donnée par :

$$V_{TH3} = V_{FB3} + \phi - \Delta V_{DS} + \gamma' F_S \sqrt{\phi - V_{BS}} + F_N (\phi - V_{BS}) \quad (III.36b)$$

Pour différentes valeurs de N_{ss} nous obtenons les caractéristiques $I_{DS}(V_{DS})$, $I_{DS}(V_{GS})$, représentées sur les courbes (1.a et 1.b)

3.5. Influence des charges d'état d'interfaces N_{ss} sur la transconductance g_m

Comme mentionné auparavant que les états d'interface ont une influence sur la transconductance g_m en fonction de V_{GS}

Selon les deux courbes de la figure 3(a et b), et quelques soit la concentration des défauts les pics se superposent, aussi il y a un décalage aux niveaux des flancs de montés et des descentes. La conductance diminue lorsque l'épaisseur d'oxyde augmente dans le côté droit de la courbe, alors qu'on observe le phénomène inverse dans le côté gauche de la courbe (figure 3 b).

Même remarque que dans les caractéristiques électriques du TMOS, pour des valeurs proches de 10^{11} cm^{-2} , l'effet des états d'interface est négligeable

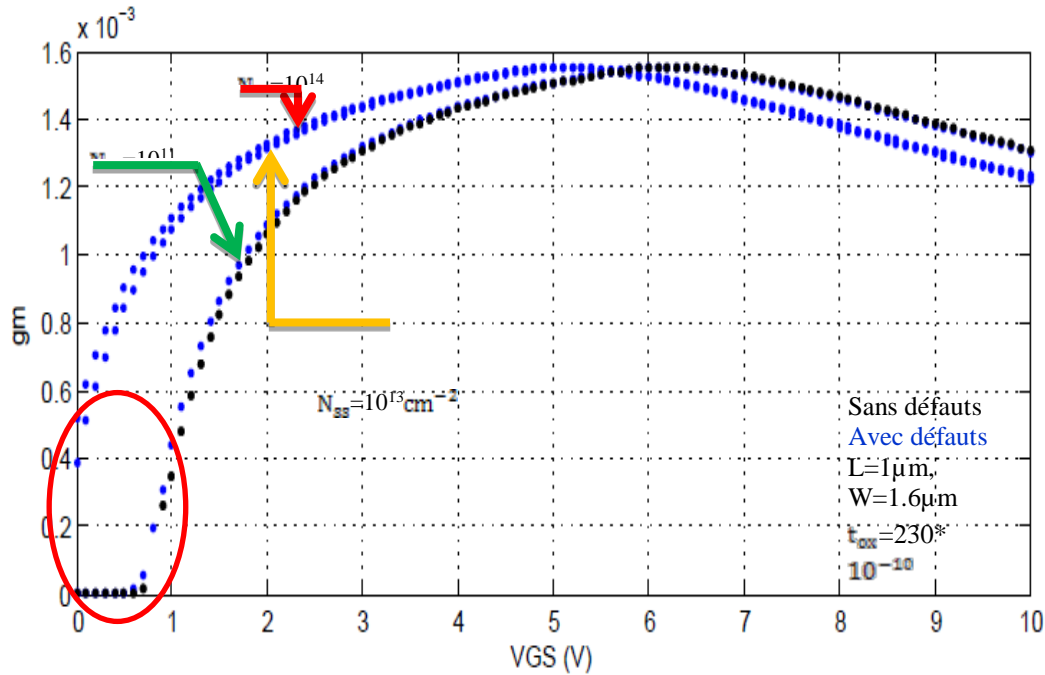


Figure 3(a) : $g_m(V_{GS})$ pour différentes valeurs de N_{ss}

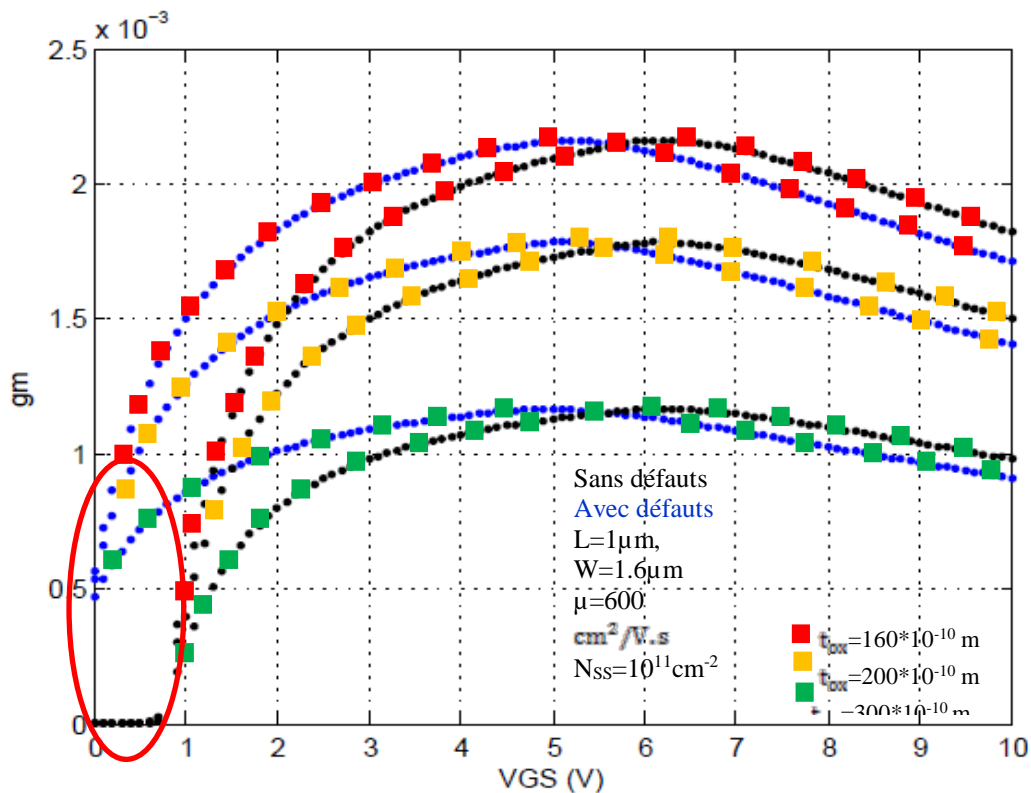
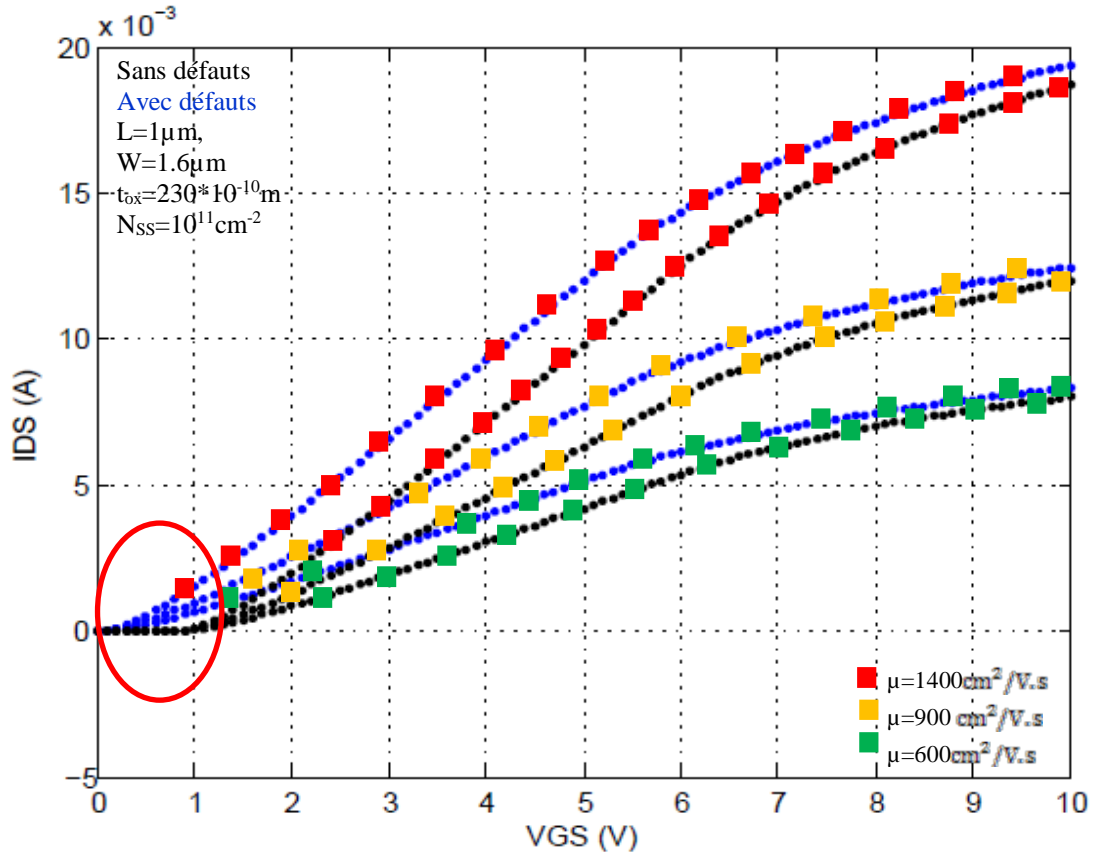


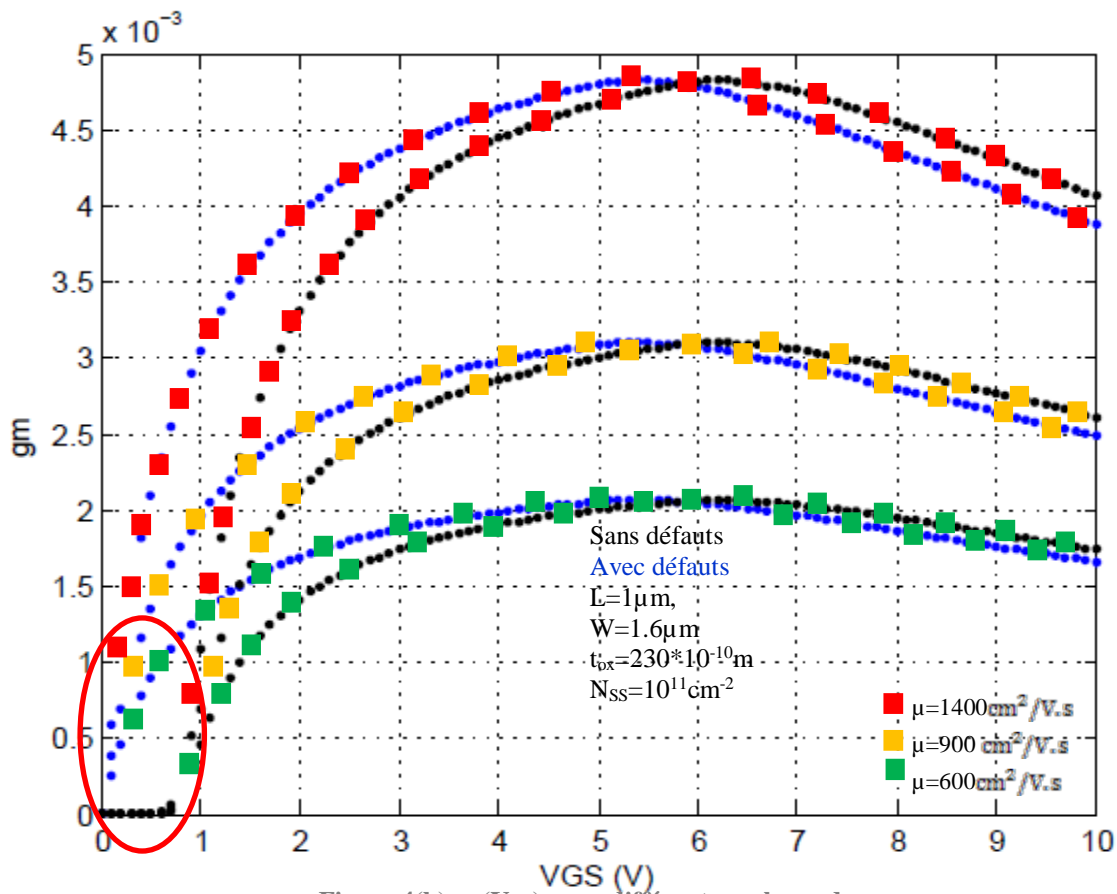
Figure 3(b) : $g_m(V_{GS})$ pour différentes valeurs de T_{ox}

3.6. Influence de la mobilité μ sur les caractéristiques du T.MOS

La mobilité (notée μ , unité : $\text{cm}^2/\text{V} \cdot \text{s}$) étant liée au libre parcours sans choc dans le semi-conducteur, toute modification du réseau cristallin entraîne une modification de cette mobilité. En effet, l'ajout d'atomes dopants et/ou l'élévation de température, créent des perturbations dans le cristal et affectent la mobilité.



D'après les courbes (figures 4 (a et b)), l'augmentation de la mobilité provoque une augmentation du courant du drain



3.7. Comparaison entre les résultats SPICE et MATLAB

Dans cette section, nous allons comparer notre simulation sous Matlab au modèle MOS3 implanté sous le simulateur électrique SMARTSPICE [5], Pour ce faire on a utilisé le logiciel Origin Pro 9. Sous Windows7.

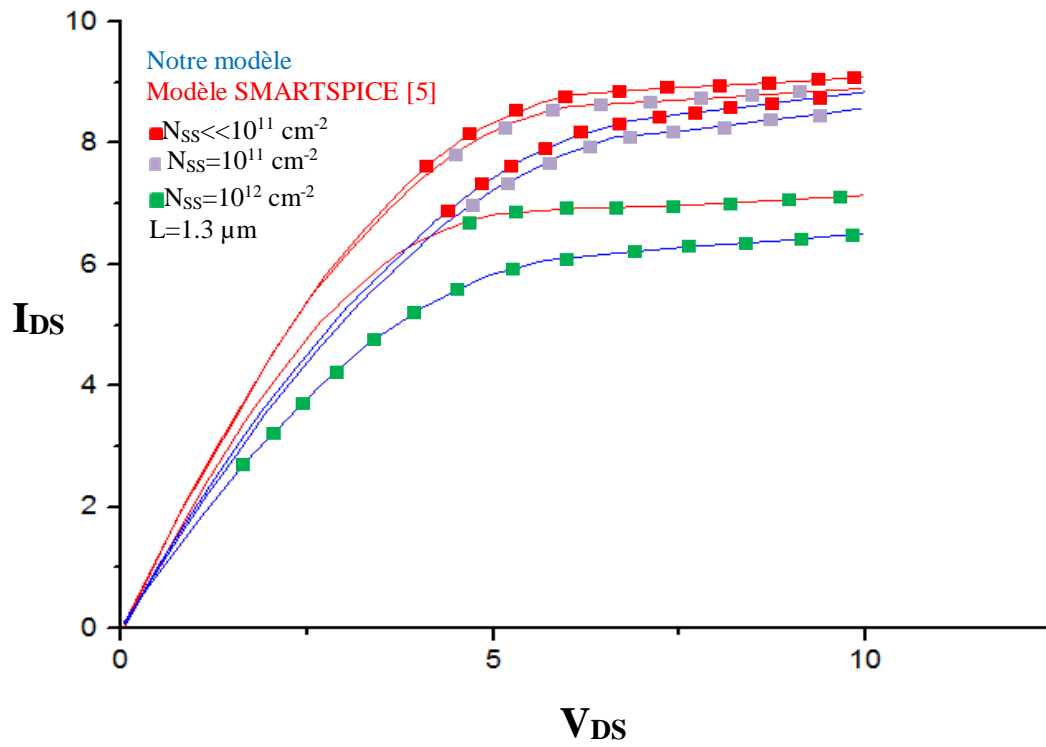


Figure 5 Influence des N_{ss} sur $I_{ds}(V_{ds})$ pour $L = 1.3 \mu\text{m}$

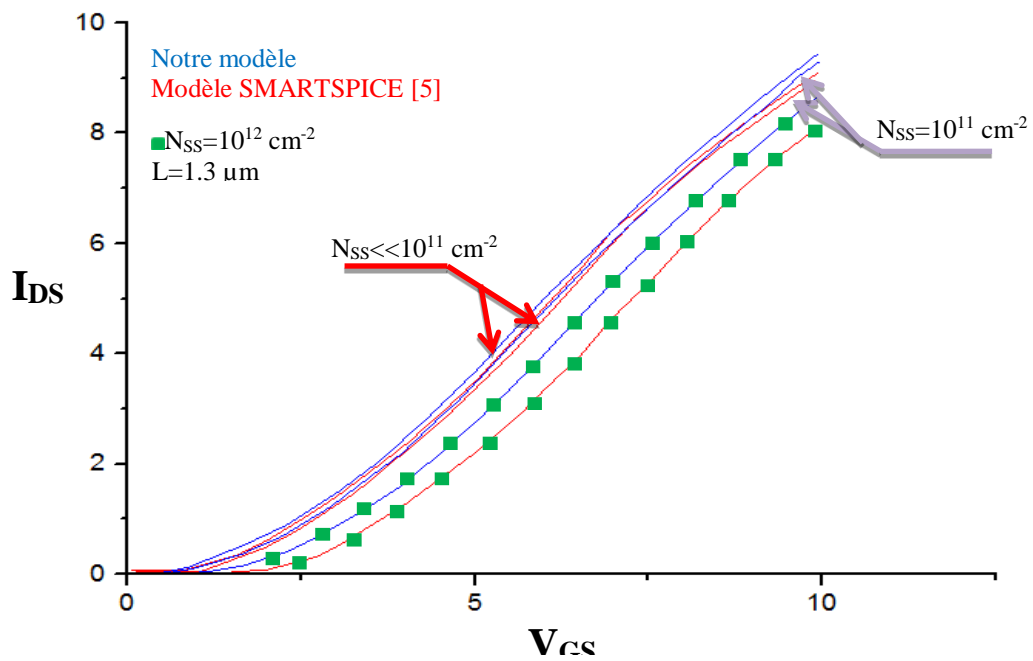


Figure 6 : Influence des N_{ss} sur $I_{ds}(V_{gs})$ pour $L = 1.3 \mu\text{m}$

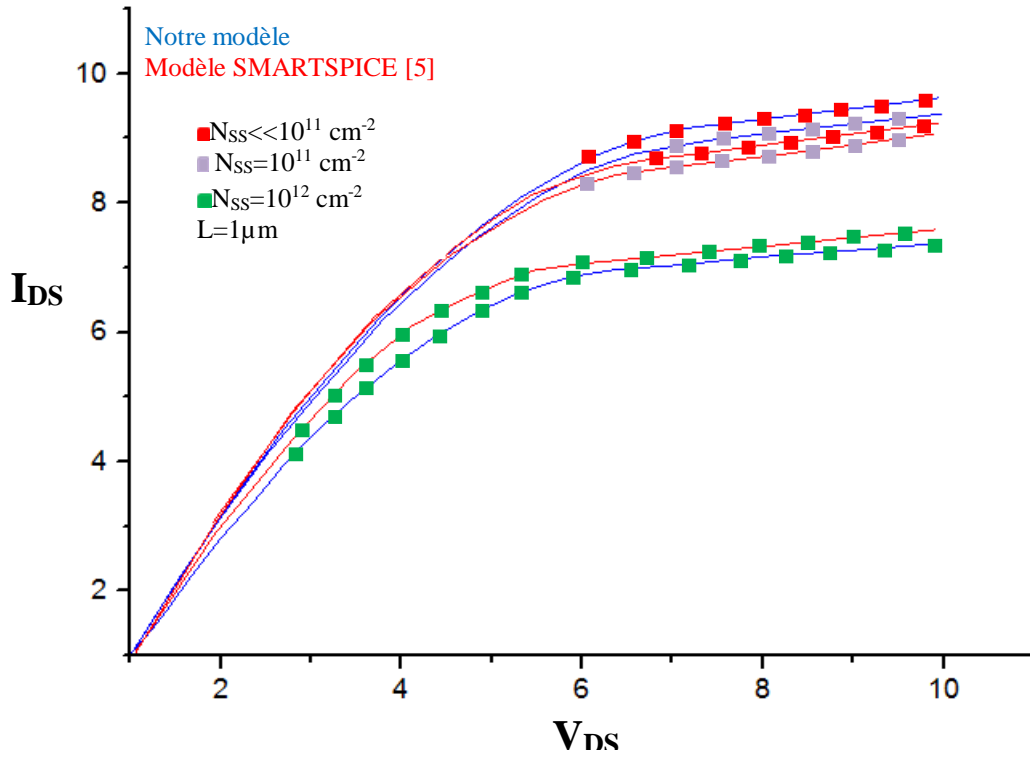


Figure 7 : Influence des N_{ss} sur $I_{Ds}(V_{Ds})$ pour $L = 1.3 \mu m$

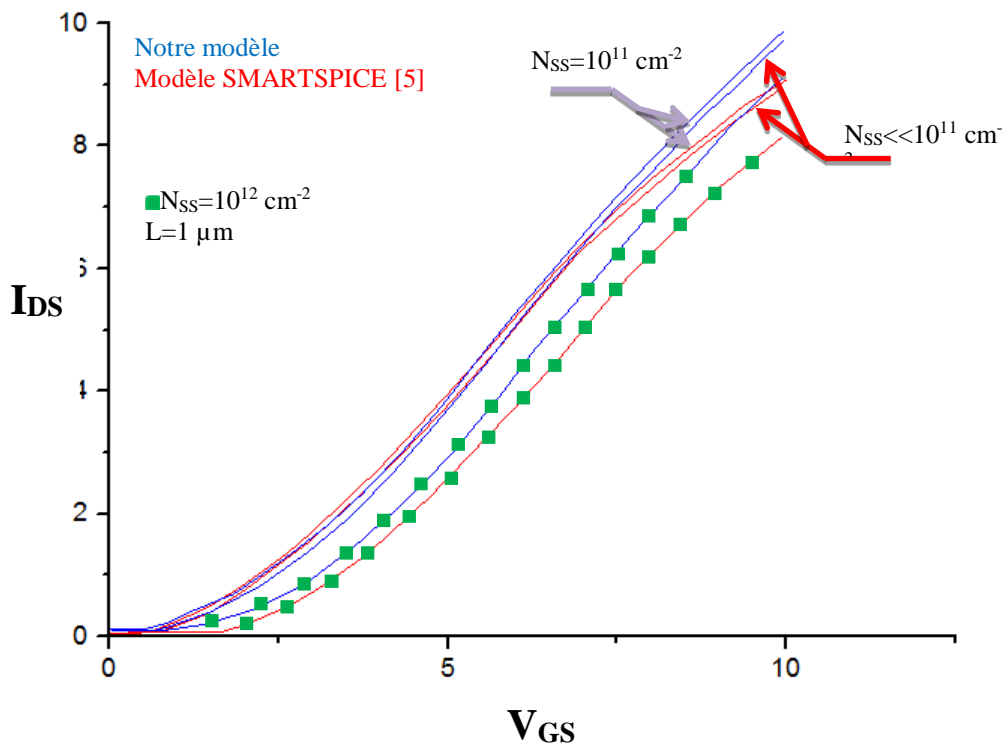


Figure 8 : Influence des N_{ss} sur $I_{Ds}(V_{Gs})$ pour $L = 1 \mu m$

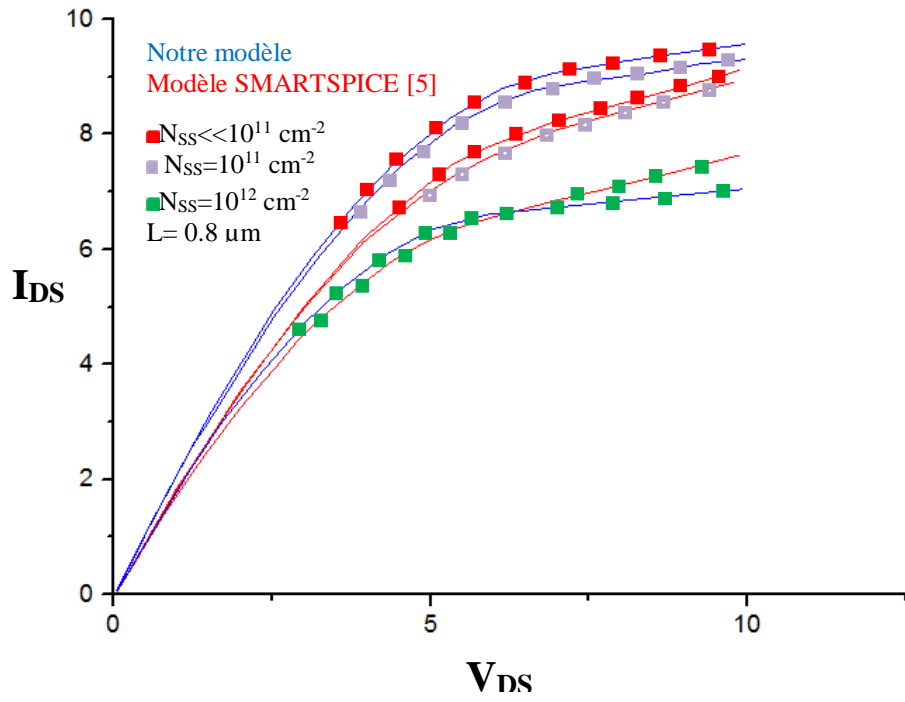


Figure 9 Influence des N_{ss} sur $I_{ds}(V_{ds})$ pour $L = 0.8 \mu\text{m}$

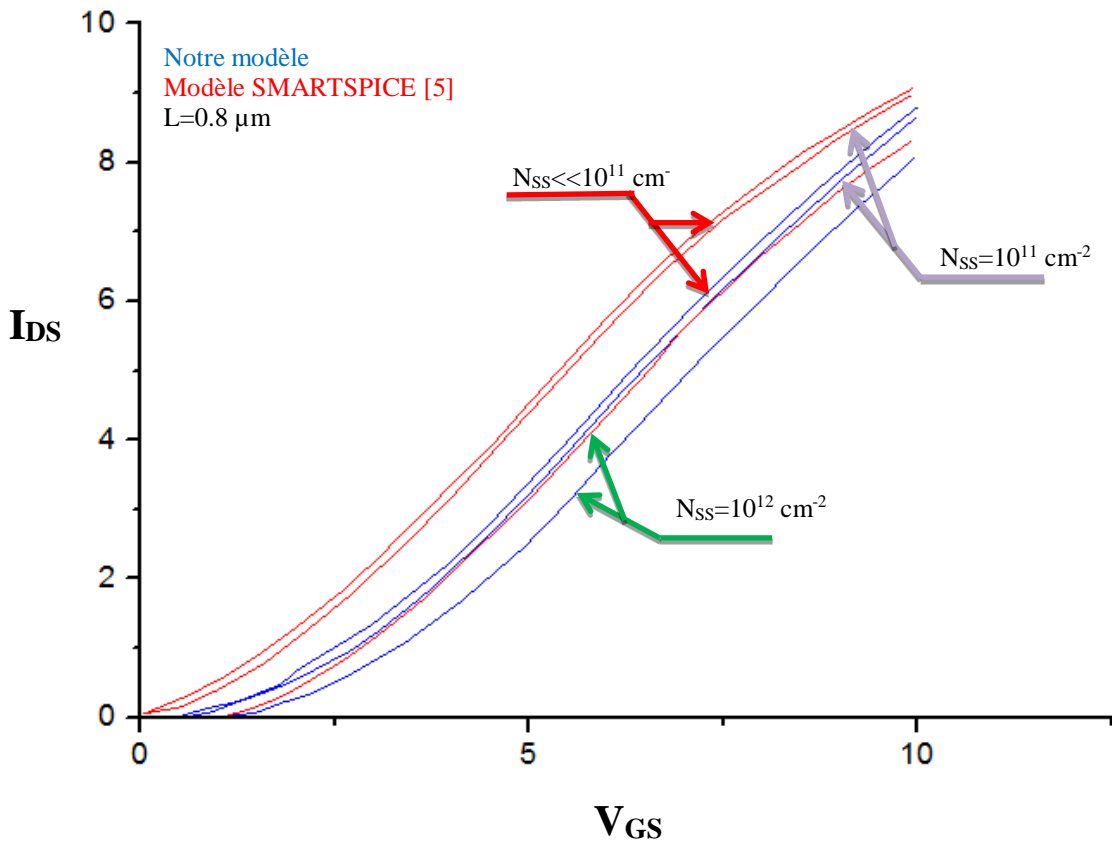


Figure 10 : influence des N_{ss} sur $I_{ds}(V_{gs})$ pour $L = 0.8 \mu\text{m}$

Après la comparaison des résultats obtenus avec notre simulation sous Matlab (figures (5, 6, 7, 8 et 9) avec ceux trouvés dans la littérature [5], on peut conclure qu'il existe une cohérence entre les deux résultats. Malgré la présence d'une certaine erreur qui peut être expliqués par le choix des paramètres. Les courbes ont été analysées dans la section 3. Les paramètres existant dans le simulateur SmartSpice du transistor MOS niveau 3 sont dans l'annexe

4. Conclusion

Vu l'importance du phénomène de dégradation lié à la présence des défauts sur les paramètres électriques du TMOS (tension de seuil, tension des bandes plates...), nous avons implanté un modèle relatif au phénomène de dégradation sous Matlab, sous l'environnement Windows 7. La validation de ce modèle nous a fourni des résultats concernant le courant de la jonction drain-source en fonction de la tension appliqué à cette jonction ($I_{DS} = f(V_{DS})$), on a pris en considération l'effet des états d'interface N_{ss} et la tension de la jonction grille-source V_{GS} étant un paramètre, aussi ($I_{DS} = f(V_{GS})$), la tension de la jonction drain-source V_{DS} étant un paramètre, en variant les paramètres électriques et géométriques du TMOS. Nous avons montré que ces défauts sont entièrement responsables des dérives des caractéristiques des transistors MOS à partir de la concentration des états d'interface N_{ss} supérieure à $10^{11}/\text{cm}^2$. Pour des N_{ss} inférieures à 10^{11} cm^{-2} , on a une influence négligeable sur le fonctionnement du TMOS. Aussi, on a étudié l'influence de quelques paramètres géométrique et électriques tels que l'épaisseur d'oxyde et la mobilité sur le phénomène de dégradation. Nos résultats sont comparés avec des résultats déjà trouvés dans la littérature.

Conclusion Générale

Conclusion Générale

Un modèle est une représentation en langage mathématique d'un aspect de la réalité. Les variables mesurables décrivant l'état d'un système au cours d'un temps sont les variables d'états. La modélisation consiste à associer à ces variables une loi mathématique représentative du comportement du système. La vérification de la vraisemblance de la loi se fait par comparaison avec les valeurs réelles prises par les variables d'état. Cette loi mathématique ne révèle le plus souvent qu'un aspect de la réalité. Elle dépend bien sûr de la complexité du système étudié mais aussi de ce que nous avons décidé d'analyser, de ce qu'il importe de connaître dans un contexte donné.

Appliquée à la conception des circuits et système électroniques, la modélisation prend tout son intérêt dans le cadre de la simulation. Le modèle permet d'anticiper sur la réalisation, de prévoir le comportement électrique d'un composant d'un circuit.

Le travail que nous avons effectué à travers ce mémoire est la modélisation du phénomène de dégradation sur les transistors MOS en utilisant le logiciel Matlab. Ce travail nous a permis de maîtriser la physique du transistor MOS, et les mécanismes qui sont à l'origine de la dégradation de ce composant. D'une part et l'outil de simulation d'autre part.

Les outils de simulation utilisés dans ce travail, les modules technologiques et électriques ATHENA et ATLAS, appartiennent à la famille de logiciel de la société SILACO, disponible au sein de notre salle blanche. L'originalité des outils de simulation, nous ont permis la simulation des caractéristiques de transfert des transistors MOS en étudions l'influence des états d'interface sur la dégradation des caractéristiques électriques du composant. En se basant sur les résultats de simulation trouvés, nous avons implanté le model MOS3 appartient à la famille SPICE où nous avons pris en considération le phénomène de dégradation sous Matlab.

La validation de ce modèle nous a fourni des résultats concernant le courant de la jonction drain-source en fonction de la tension appliquée à cette jonction ($I_{DS} = f(V_{DS})$), la tension de la jonction grille-source V_{GS} étant un paramètre, le courant de la jonction drain-source en fonction de la tension appliquée à cette jonction ($I_{DS} = f(V_{GS})$), la tension de la jonction drain-source V_{DS} étant un paramètre. Les résultats obtenus sont en bonne concordance avec ceux issus de la

littérature. Ces défauts sont totalement responsables des dérives des caractéristiques I-V des transistors MOS.

A travers les courbes simulées, le type de défaut introduit peut engendrer une variation dans les caractéristiques des composants, ce qui facilite expérimentalement, son identification. Une fois identifié son élimination devient facile. Ce qui permet l'obtention de composants de plus en plus fiables. Par conséquent cette simulation nous donne l'opportunité d'améliorer les performances du composant électronique.

Ce travail pourrait être encore amélioré. A cet effet, dans les travaux futurs pouvant constituer une suite de ce travail.

Bibliographie

Bibliographie

- [1] S Kaschieva, A Gushterov, Ch Angelov and S N Dmitriev, "Effect of MeV electron irradiation on Si-SiO₂ structures", *J. Phys.: Conf. Ser.* 514 012039, pp 1-5, 2014
- [2] D K. Schrodera, J A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing", *J. Appl Phys Rev*, Vol. 94, pp.1-18, 2003.
- [3] P. M. Lenahan, "Book chapter on P_b and E prime Centers. in a CRC handbook" (Taylor-Francis publishers) on defects in semiconductor devices, 2008
- [4] S. Iacovo and A. Stesmans, "Inherent point defects at the thermal higher-Miller index (211) Si/SiO₂ interface", *Appl. Phys. Lett.* 105, 262101, 2014.
- [5] R. Mahamdi, L.Saci, F. Mansour, P. Temple-Boyer, E. Scheid and L. Jalabert. "Boron diffusion and activation in polysilicon multilayer films for P+ MOS structure: Characterization and modeling". *Microelectronics Journal*. Vol.40, N°1, (2009), pp.1-4. ISSN (print): 0959-8324.
- [6] R. Mahamdi, L.Saci, F. Mansour, P. Temple-Boyer, E. Scheid and L. Jalabert. "Boron diffusion and activation in polysilicon multilayer films for P+ MOS structure: Characterization and modeling". *Microelectronics Journal*. Vol.40, N°1, (2009), pp.1-4.
- [7] Lynda Saci, Ramdane Mahamdi, Farida Mansour, Jonathan Boucher, Maeva Collet, Elena Bedel Pereira, and Pierre Temple-Boyer. "Study of Nitrogen Effect on the Boron Diffusion during Heat Treatment in Polycrystalline Silicon/Nitrogen-Doped Silicon Thin Films" *Japanese Journal of Applied Physics*, Vol. 50, (2011), 051301(5 pages
- [8] R. Mahamdi, F. Mansour, H. Bouridah, P. Temple-Boyer, E. Scheid, L. Jalabert. "Nitrogen doped silicon films heavily boron implanted for MOS structures: Simulation and characterization". *Materials Science in Semiconductor Processing*, Vol.N°13, pp.383–388 2010
- [9] H. Bouridah, F. Mansour, M.R. Baghoul, R. Mahamdi, and P. Temple-Boyer. "Properties of non-stoichiometric nitrogen doped LPCVD silicon thin films". *Cryst. Res. Technol.* 45, No.2, (2010) pp.119–123.
- [10] R. Mahamdi, L.Saci, F. Mansour, P. Temple-Boyer, E. Scheid and L. Jalabert. "Physicochemical characterization of annealed polySi/NIDOS/SiO₂ structures". *Spectroscopy Letters*. Vol. 42, N°3. (2009), pp.167-170.

- [11] H. Bouridah, F. Mansour, R. Mahamdi, N. Bounar, and P. Temple-boyer. "Effect of thermal annealing and nitrogen content on amorphous silicon thin film crystallisation". *Physica. Status. Solidi (a)* Vol. 204, N°7 (2007), pp.2347-2354.
- [12] H. Bouridah, F. Mansour, R. Mahamdi and P. Temple-boyer." Study of electrical and structural properties of boron doped polysilicon films with a low nitrogen content". *Journal of Materials Science* Vol. 40 (2005), pp.1405 – 1408.
- [13] Hachemi Bouridah, Fatiha Bouaziz, Farida Mansour, Ramdane Mahamdi, and Pierre Temple-Boyer. "Study of grains size distribution and electrical activity of heavily boron doped polysilicon thin films". *Materials Science in Semiconductor Processing; Vol.14, Issues 3–4*, pp. 261–265, 2011.
- [14] Farida Mansour, Ramdane Mahamdi, Laurant Jalabert, Pierre TEMPLE-Boyer. "Boron diffusion into nitrogen doped silicon films for P+ polysilicon gate structures". *Thin Solid Films* 434 (2003), pp.152-156.
- [15] Ramdane Mahamdi, Farida Mansour, Emmanuel Scheid, Pierre Temple-Boyer and Laurant Jalabert. "Boron Diffusion and Activation During Heat Treatment in Heavily Doped Polysilicon Thin Films for P+ Metal-Oxide-Semiconductor Transistors Gates". *Japanese Journal of Applied Physics*, Vol. 40, (2001), pp. 6723-6727.
- [16] N. Guenifi, O. Ghobar and D. Bauza, "Further Evidences That P_{b0} centers dominate Si-SiO₂ Interface Traps in Fully processed MOSFET's", *WoDIM'08, Garmy (Berlin), proc.*, p. 271, 23-25 June, 2008
- [17] N. Guenifi, "L'étude des mécanismes de dégradation et l'interface Si/SiO₂", *Doctorat en Sciences, Université Ferhat Abbas Sétif -1*, 2011
- [18] R. Mahamdi "Modélisation des mécanismes de dégradation de l'interface Si/SiO₂ des transistors MOS", *Thèse de Magister de l'institut d'électronique université de Constantine* (1997)
- [19] H. Kufluoglu, "MOSFET degradation due to negative bias temperature instability (NBTI) and hot carrier injection (HCL) and its implications for reliability ware VLSI design, Purdue University, West Lafayette, Indiana Doctor of Philosophy 2008.
- [20] E. H. Nicollian and J. R. Brews, *MOS (Metal Oxide Semiconductor), Physics and Technology*, editions J.Wiley, pp.784-785,1982
- [21] S.M.SZE "Semiconductor device and technology", John Wiley & Sons. 1985
- [22] S.M. SZE «Physics of semiconductor devices», J. Wiley & Sons, p. 365, 1981.

- [23] S.M. SZE, Kwok K. Ng "Physics of Semiconductor Devices". 3^{emes} Edition, Wiley Interscience (2007).
- [24] "Physique des semi-conducteurs et des composants électroniques", Henry Mathieu, 4^{em} édition Masson, Paris, p293 ,1998.
- [25] D K. Schrodera, "semiconductor material and device characterization", Third Edition, Arizona State University Tempe, AZ, A JOHN WILEY & SONS, INC., PUBLICATION
- [26] P.V. Gray and D.M. Browns, "Density of SiO₂/si interface states", Appl. Phys. Lett. 8, 31 (1966).
- [27] T. Ito, T. Nakamura and H.Ishikawa, "Advantages of thermal nitride and nitroxide gate films in V.L.S.I. process", IEEE Trans. Electron Dev., 1982, Vol. 29, pp. 498-502.
- [28] D. Landheer, G. H. Yousefi and J. B. Weeb, «Deep-level transient spectroscopy of HF-cleaned and sulfupassivated InP metal/nitrid/semiconductor", J. Appl. Phys. vol. 75, pp. 3516-3521;1994
- [29] D. M. Fleetwood, P. S. Winokur, R. A. Reber, T. L. Meisenheimer, J. R. Schwank, M. R. Shaneyfelt, and L. C. Riewe, "Effects of oxide traps, interface traps, and border traps on metal oxide-semiconductor devices", J. Appl. Phys., vol. 73, pp. 5058-5074, 1993.
- [30] S. Iacovo and A. Stesmans, "Multi-frequency electron spin resonance study of inherent Si dangling bond defects at the thermal (211) Si/SiO₂ interface", physica status solidi (c), Special Issue: E-MRS 2014 Spring Meeting – Symposium X, Volume 11, Issue 11-12, pages 1589–1592, 2014.
- [31] N.M.Johnson,D.K.Biegelsen, M.D.Moyer, S.T.Chang E.H.Poindexter and P.J.Caplan., "Characteristic electronic defects at the Si-SiO₂ interface", Appl.Phys.Lett., vol.43,pp.563-565,1983.
- [32] A.Stesmans,B. Nouwenand V.V.Afnas'ev,"Pb1 interface defect in thermal 100.Si/SiO₂:Si hyperfine interaction", PhysicalReviewB,vol.58,pp.15801-15809,1998.
- [33]A.StesmansandV.V.Afnas'ev,"Electricalactivityofinterfacialparamagnetic defectsinthermal(100)Si/SiO₂",PhysicalReviewB,vol.57,pp.10030-100347,1998.
- [34] B . B a l l a n d , "Defects insilica films:their nature—their electrical properties,tire de Instabilities in Silicon Devices",G.Barbottin and A.Vapaille, Eds. ElsevierSciencePublishers Amsterdam,vol.1,pp.101-153,1986.
- [35] D. Bauza, "Handbook of Surface and Interfaces of Materials, Surface and Interface Phenomena";Edited Hari Singh Nalwa, M. SC., PH. D Stanford Scientific Corporation Los Angeles, California, USA Academic Press, Vol. 1, 2001.

- [36] A.S. Grove, "Physics and technology of semiconductor devices ", J. Wiley & Sons, p. 279, 1967.
- [37] M.J.Uren, K.M.Brunson, J.H.Stathis, E.Cartier, "Potential fluctuations due to P_b centres at interface", *Microelectronic Engineering*, vol.36, pp 219-222, 1987.
- [38] M.J.Uren, V.Nayar, K.M.Brunson, C.J.Anthony, J.H.Stathis, E.Cartier, "Interface state capture cross section measurements on vacuum annealed and radiation damaged Si:SiO₂ surfaces"; *Electrochem.Soc.*, vol145(2), pp.683-689, 1998.
- [39] F.Saigne, "Une nouvelle approche de la sélection des composants de type MOS pour l'environnement radiatif spatial", *Thèse de doctorat*, 1998.
- [40] J.R.Schwank, P.S.Winokur, P.J.McWhorter, F.W.Sexton, P.V.Dress end or ferand D.C.Turpinet, "Physical Mechanisms contributing to device "rebound", *IEEE.Trans.Nucl.Sci.*, vol.31, pp.1434-1438, 1984.
- [41] <http://www.ies.univ-montp2.fr/~boch/doc/TP%20SILVACO6.pdf>
- [42] SILVACO International. (2010). "ATHENA User's Manual". Vol. 1–2.
- [43] Manuel d'utilisation de Silvaco, "VWF Interactive Tools, Volume 2, (1998).
- [44] C. Chabrol, "Implantation ionique", *Techniques de l'ingénieur*, m1219, (1989).
- [45] I. Rahmani, "Etude et simulation de l'implantation ionique des dopants dans des structures MOS ". *Thèse de Magister soutenue à l'université de Batna*, 2015
- [46] K. W. MORTON. "Numerical Solution of Partial Differential Equations", Cambridge University Press 2005
- [47] P.Antognrtti, G.Massobrio. "Semi-conductor Device Modeling with SPICE Mac GRAW-Hill International Edition, Electrical and Electronic Engeneering seies", Genoa 1987.
- [48] S.D.BEN DHIA, "Une nouvelle méthodologie de caractérisation de l'intégrité du signal en CMOS submicronique profond". *Thèse de doctorat soutenue à l'INSA de Toulouse en 1998*
- [49] T. Quales and al., "SPICE version F2 user's manual" ,Department of Computer Sciences, University of California, Berkley, Oct. 1992
- [50] T.L Quales, "Ading devices to SPICE3", Memorandum N° U.C.B/E.R.I.M89/45", Electronics Research Laboratory, University of California, Berkeley, Apr. 1989.

Annexe

Les conventions d'écriture des modèles utilisés par le logiciel SPICE sont différentes de celles vues en cours (chapitre III). Par exemple la tension de seuil hors application d'une tension de substrat est notée VT0.

$$VT0 = V_{FB} + 2\phi_F + \frac{\sqrt{2qN_a\epsilon_{si}}}{C_{ox}'} \sqrt{2\phi_F}$$

Par ailleurs le dopage de substrat s'écrit NSUB et dans un souci de simplification on pose :

$$GAMMA = \frac{\sqrt{2q\epsilon_0 N_{SUB}\epsilon_{si}}}{C_{ox}'}$$

Et :

$$PHI = 2\phi_F$$

La tension de seuil qui prend en compte l'effet substrat VTE, s'écrit alors :

$$VTE = VT0 + GAMMA \left| \sqrt{PHI - VBS} - \sqrt{PHI} \right|$$

La longueur de diffusion des dopants de source et de drain sous l'isolant de grille et notée LD avec $\Delta L = 2LD$. La mobilité μ_0 des porteurs devient U0, l'épaisseur d'isolant TOX et le paramètre de modulation de la longueur du canal s'écrit LAMBDA= λ . On pose finalement :

$$C_{ox}' = C_{ox}\epsilon_{si}$$

$$\beta = \frac{KP}{2} \frac{W}{L - 2LD}$$

Avec :

$$KP = U0 \frac{TOX}{\epsilon_0 \epsilon_{OX}}$$

No.	Name	Parameter	Units	Default	Ex.
1	LEVEL	Model index	-		
2	VT0	Zero-bias threshold voltage	V	0	1
3	KP	Transconductance parameter	A/V ²	2E-5	31E-5
4	GAMMA	Bulk threshold parameter	V ^{0.5}	0	0.37
5	PHI	Surface potential	V	0.6	0.65
6	LAMBDA	Channel-length modulation (MOS1 and 2 only)	1/V	0	0.02
7	RD	Drain ohmic resistance	Ohm	0	1
8	RS	Source ohmic resistance	Ohm	0	1
9	CBD	Zero-bias B-D junction capacitance	F	0	20FF
10	CBS	Zero-bias B-S junction capacitance	F	0	20FF
11	IS	Bulk junction saturation current	A	1 ^E -14	1E-15
12	PB	Bulk junction potential	V	0.8	0.87
13	CGS0	Gate –source overlap capacitance per meter channel width	F/m	0	4E-11
14	CGD0	Gate –drain overlap capacitance per meter channel width	F/m	0	4E-11
15	CGB0	Gate –bulk overlap capacitance per meter channel length	F/m	0	2E-10
16	RSH	Drain and source diffusion sheet resistance	Ohm/sq	0	10
17	CJ	Zero-bias bulk junction bottom capacitance per square meter of junction area	F/m ²	0	2E-4
18	MJ	Bulk junction bottom grading coefficient	-	0.5	0.5
19	CJSW	Zero-bias bulk junction sidewall capacitance per meter of junction area	F/m	0	1E-9
20	MJSW	Bulk junction sidewall grading coefficient	-	0.33	
21	JS	Bulk junction saturation current per square meter of junction area	A/m ²	-	1E-8
22	TOX	Oxide thickness	m	1 ^E -7	1E-7
23	NSUB	Substrate doping	1/cm ²	0	4E15
24	NSS	Surface state density	1/cm ²	0	1E10
25	NFS	Fast surface state density	1/cm ²	0	1E10
26	TPG	Type of gate material : +1 opposite to substrate, -1 same as substrate, 0 al gate	-	1	
27	XJ	Metallurgies junction depth	m	0	1U
28	LD	Lateral diffusion	m	0	0.8U
29	U0	Surface mobility	cm ² /V/s	600	700
30	UCRIT	Critical field for mobility degradation (MOS2 only)	V/cm	1E4	1E4
31	UEXP	Critical field exponent in mobility degradation (MOS2 only)	-	0	0.1
32	UTRA	Transverse field coefficient for mobility	-	0	0.3
33	VMAX	Maximum drift velocity of carriers	m/s	0	5E4

34	NFFF	Total channel charge (fixed and mobile) coefficient (MOS2 only)	-	1	5
35	XQC	Coefficient of channel charge share attributed to drain to drain	-	0	0.4
36	KF	Fliker noise coefficient	-	0	1 ^E -26
37	AF	Fliker noise exponent	-	1	1.2
38	FC	Coefficient for forward-bias depletion capacitance formula	-	0.5	
39	DELTA	Width effect on threshold voltage (MOS2 and 3)	-	0	1
40	THETA	Mobility modulation (MOS3 only)	1/V	0	0.1
41	ETA	Static feedback (MOS3 only)	-	0	1
42	KAPPA	Saturation field factor (MOS3 only)	-	0.2	0.5