

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**

**MINISTERE DE L'ENSEIGNEMENT SUPERIEUR**

**ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE DE BATNA**

**FACULTE DES SCIENCES DE L'INGENIEUR**

**MEMOIRE**

*Présenté au*

**DEPARTEMENT D'ELECTRONIQUE**

*Pour l'obtention du diplôme de*

**MAGISTER EN MICROELECTRONIQUE**

**Option : Micro-électronique IC-Design**

*Par*

**Nidhal ABDELMALEK**

Ingénieur, département d'Electronique - Université de Batna

*Intitulé*

---

---

## **Etude et modélisation du transistor VSG MOSFET nanométrique**

---

---

*Devant le jury :*

Pr. MAHAMDI Ramdane	Univ. Batna	Président
Dr. DJEFFAL Fayçal	Univ. Batna	Rapporteur
Pr. TELIA Azzedine	Univ. Constantine	Examineur
Pr. BENHAYA A.Hamid	Univ. Batna	Examineur
Dr. DIBI Zohir	Univ. Batna	Examineur

## Remerciements

Je tiens tout d'abord à remercier DIEU l'Unique et le Tout Puissant qui m'a armé de volonté, de patience et de courage durant toutes ces années d'études.

Un grand merci à monsieur DJEFFAL Fayçal, Maître de Conférences à l'université de Batna, membre du Laboratoire de l'Electronique Avancée (LEA) et directeur de ce mémoire qui a encadré mes travaux. Je le remercie pour ces conseils, sa rigueur et sa patience.

Je tiens à remercier très vivement monsieur MAHAMDI Ramdane, Professeur à l'université de Batna, d'avoir accepté de présider le Jury de ce mémoire.

Mes sincères remerciements les plus vifs à Mr, BENHAYA Abdelhamid Professeur à l'université de Batna, à Mr TELIA Azzedine, Professeur à l'université de Constantine, et à Mr DIBI Zohir Chef du département d'Electronique et Maître de Conférences à l'université de Batna, pour avoir accepté d'être les examinateurs de ce mémoire.

Mes remerciements ne seraient pas complets si je n'exprimais pas ma profonde gratitude à toutes les personnes qui ont collaboré de près ou de loin à la réalisation de ce travail, en particulier, tout le personnel du département d'électronique à l'université de Batna, pour leur bonne humeur et leur disponibilité.

Mes derniers remerciements vont à ma famille et mes amis, et surtout à tous les collègues du Laboratoire de l'Electronique Avancée qui m'ont tous entouré et m'ont donné la force de passer les moments difficiles.

*Je dédie ce travail à :*

*Mes parents,*

*Ma famille,*

*Mon pays.*

## Table des Matières

### Introduction et état de l'art

1. Bref historique du transistor MOSFET.....	1
2. Intégration MOSFET, limites et perspectives.....	2
3. Les transistors à grille enrobée .....	7

### Chapitre I : Technologie SOI et architectures multigrilles

I.1 Introduction .....	10
I.2 Les effets canal court.....	10
I.3 Technologie SOI.....	12
I.3.1 La technologie SOI à une grille.....	12
I.3.2 SOI partiellement et entièrement déserté .....	13
I.3.3 Avantages de la technologie SOI .....	15
I.3.3 Inconvénients de la technologie SOI.....	18
I.4 Vers les transistors à grilles multiples .....	19
I.4.1 Avantages des transistors à grilles multiples.....	22
I.4.2 Inconvénient des transistors à grilles multiples.....	23
I.4.3 Modes de fonctionnement des transistors à grilles multiples.....	23
I.4.3.1 Etat passant.....	23
I.4.3.2 Etat bloqué.....	25
I.4.4 Contrôle des effets canaux courts.....	27
I.5 Conclusion.....	29

### Chapitre II : La modélisation des transistors MOS

II.1 Introduction .....	30
II.2 Histoire de la modélisation compacte .....	30
II.3 Différent types de modèles.....	32
II.4 Challenge de la modélisation .....	36
II.5 Conclusion.....	38

### **Chapitre III : Modélisation analytique du VSG MOSFET**

III.1 Introduction.....	39
III.2 Dérivation du modèle.....	39
III.3 Dérivation de la tension de seuil.....	42
III.4 Calcul du courant de sous le seuil.....	44
III.5 Calcul de l'inverse de la pente de sous le seuil.....	46
III.6 Conclusion .....	47

### **Chapitre IV : Résultats et discussions**

IV.1 Introduction .....	48
IV.3 Validation du modèle analytique.....	51
IV.3.1 Potentiel de surface.....	51
IV.3.2 Tension de seuil et Roll-off .....	52
IV.3.3 DIBL.....	56
IV.3.4 Courant de sous seuil.....	57
IV.3.5 Pente de sous le seuil.....	61
IV.4 Conclusion .....	62

<b>Conclusion générale</b> .....	64
----------------------------------	----

### **Annexe**

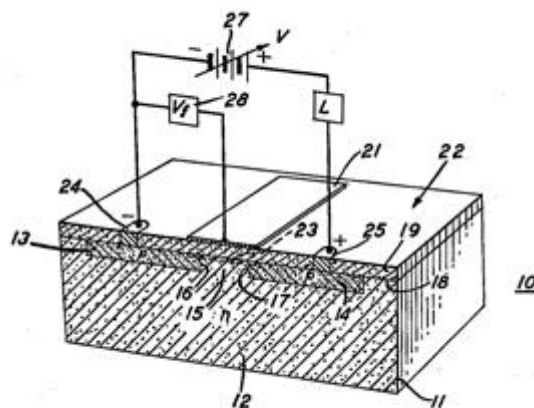
Annexe A : Résolution de l'équation de Poisson.....	66
Annexe B : Exemple de netlist ATLAS.....	68

<b>Bibliographie</b> .....	70
----------------------------	----

## **Introduction et état de l'art**

## 1. Bref historique du transistor MOSFET

La découverte des propriétés semi-conductrices de certains matériaux au 17<sup>ème</sup> siècle, était sans grande incidence sur le monde scientifique dont les physiciens les plus éminents méprisaient ces matériaux et considéraient qu'ils étaient impurs et non respectables [1]. Il a fallu attendre qu'Alan Herries Wilson publie en 1931 ses travaux sur l'application du nouveau domaine de la mécanique quantique au problème de la conduction électrique dans les métaux et les semi-conducteurs pour voir changer l'opinion de la communauté scientifique. Dès lors, l'engouement pour ces matériaux n'a cessé d'augmenter, des recherches sur les propriétés des type n ou p à la découverte en 1940 de la jonction PN, en passant par les procédés de croissance du cristal et de purification, pour aboutir enfin au premier transistor à effet de champ à grille isolée sur silicium, présenté en 1960 par Kahng et Attala [2].



**Figure .1: Figure du brevet de Kahng de 1963, composant semi-conducteur à champ électrique contrôlé [3].**

Kahng et Attala ont contourné l'état de surface qui empêchait les champs électriques de pénétrer dans le semiconducteur. Dans leur recherche sur la croissance thermique du dioxyde de silicium, ils ont trouvé que ces états peuvent être fortement réduits à la surface entre le silicium et l'oxyde dans une pile de couches compressées composé de métal (M), oxyde (O) et semiconducteur (S), d'où l'origine de l'appellation MOSFET.

L'avancée ne s'arrête pas là, puisqu'en 1963 Frank Wanlass invente la configuration logique et faible en consommation MOS complémentaire (CMOS) qui bouleverse l'industrie électronique. 1967, Dennard invente la mémoire DRAM (Dynamic Random Acces Memory) par association d'un transistor MOSFET et d'une capacité de stockage. 1971 est l'année de la conception du premier microprocesseur par Hoof et al de la société Intel. Il s'agit d'un processeur 4 bits (Intel 4004) de 3mm par 4mm comportant 2300 transistors ayant une longueur de 8 $\mu$ m.

## **2. Intégration MOSFET, limites et perspectives**

En 1965 Gordon Moore présente sa théorie sur l'évolution de la densité des transistors dans les circuits intégrés, il prédit que le nombre de transistor par puce doublera tout les deux ans, ce qui devint la « loi de Moore », loi régissant la feuille de route (roadmap) et la ligne d'objectifs, et qui fut très bien suivi par l'industrie semiconducteur tout au long des quarante dernières années [1].

Dans cette course de l'intégration, les plus grands constructeurs ont créé l'ITRS (International technology Roadmap for Semiconductors), une organisation ayant pour but la garantie du rapport coût-efficacité des progrès accomplis dans la réalisation des circuits intégrés et une prédiction plus précise de l'avenir de l'industrie semiconducteur [4].

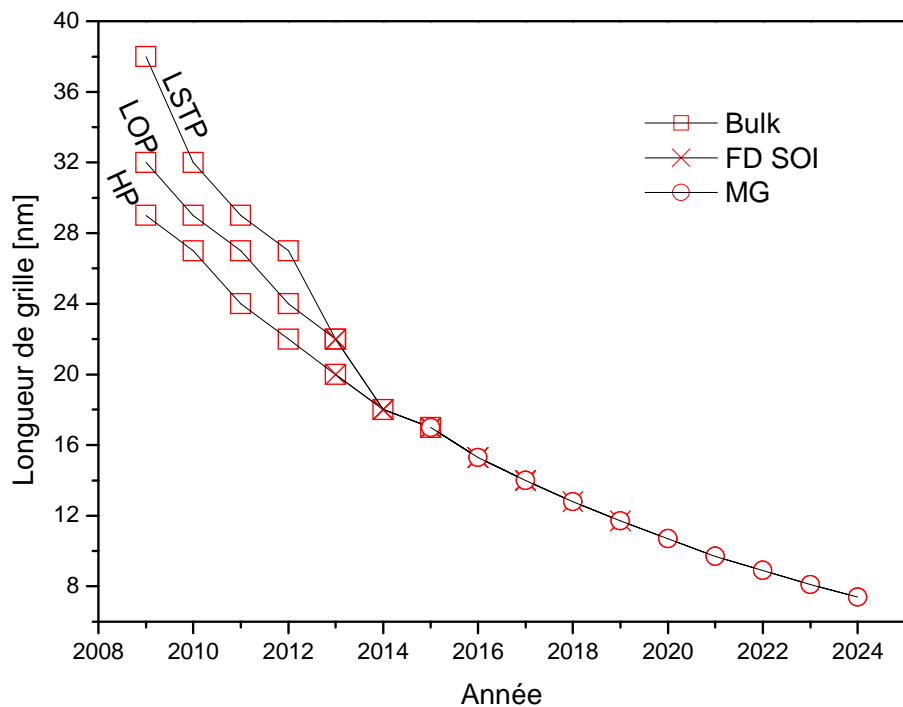
Jusqu'à récemment, la mise en échelle des transistors a généralement suivi des règles de conception simples mais strictes avec de légères modifications. Ces règles de conception sont connues par la loi d'échelle qui dicte que la réduction de la longueur d'un transistor doit s'accompagner par une réduction de plusieurs autres paramètres physiques, géométriques et électrique relativement à un facteur  $\alpha$  (tableau.1), et ceci pour garantir une amélioration dans la vitesse et la densité des circuits avec une réduction de la consommation d'énergie, tout en préservant la fiabilité et l'intégrité électrostatiques [1].

Paramètre	Facteur de dimensionnement
$L_g, W, t_{ox}$	$1/\alpha$
$V_{DD}$	$1/\alpha$
Concentration dopant	$\alpha$
Courant	$1/\alpha$
Capacité	$1/\alpha$
Densité d'intégration	$\alpha^2$
Temps de retard	$1/\alpha$
Puissance /Circuit	$1/\alpha^2$
Puissance /Surface	1

**Tableau .1 : Lois d'échelle pour l'intégration MOSFET.**

Cependant, après plusieurs années de course vers la miniaturisation et en se rapprochant de l'échelle submicronique, les concepteurs furent confrontés à de nouveaux problèmes qui ne se limitent plus aux difficultés techniques de réalisation. De nouveaux phénomènes sont apparus, remettant en cause la physique et les modèles de conception, parmi ces effets non désirables ceux liés au rétrécissement du canal connus par les effets canal court ou SCEs (Short Channel Effects), tel que l'effet de percement (DIBL) et la dégradation de la pente sous le seuil, ces phénomènes résultent en une augmentation du courant  $I_{off}$  qui accroît de ce fait la consommation de puissance. Une des solutions les plus conventionnelles pour diminuer ces effets canal court réside en la diminution de l'épaisseur de l'oxyde pour atténuer l'effet de percement, et à augmenter le dopage pour réduire l'effet des lignes du champ électrique qui se propagent à travers les zones de déplétions associées aux jonctions. Cependant, la diminution de l'épaisseur de l'oxyde cause une augmentation exponentielle du courant de fuite à travers le diélectrique [5], l'augmentation du dopage du canal dégrade la mobilité [6], et à forte échelle d'intégration, l'influence de la fluctuation aléatoire du dopage sur la variation de la tension de seuil devient de plus en plus importante [7].

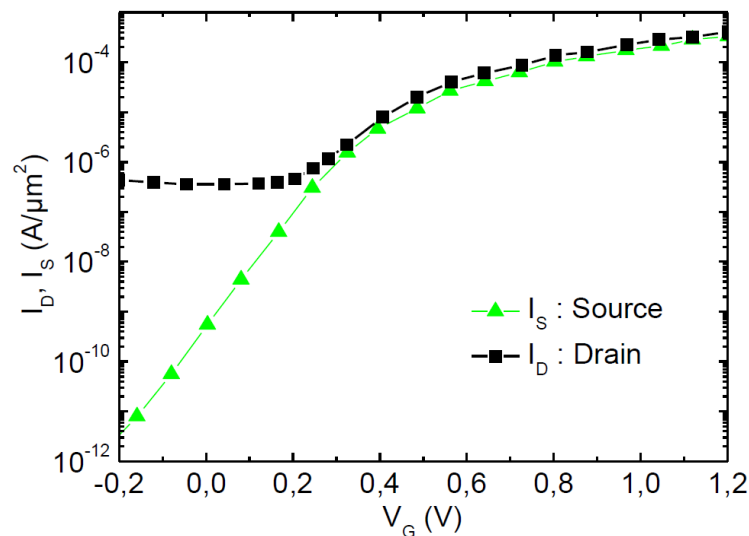
L'ITRS estime la fin des microprocesseurs à MOSFET bulk conventionnel entre 2013 et 2015 pour une longueur de canal allant de 22 à 17nm (Figure .2). A ce niveau d'échelle le relais est repris par la technologie SOI à corps ultra fin notamment le SOI entièrement déserté qui représente une solution non conventionnelle et offre bien des avantages pour la fabrication CMOS dont on cite, une basse tension d'opération, une réduction du courant de fuite et une diminution globale des effets canaux courts. Même si les solutions de fabrication pour les proches années à venir ne sont pas entièrement connues la technologie SOI est un candidat susceptible de réussir dans l'intégration des dispositifs de longueur inférieure ou égale à 20 nm.



**Figure .2: Prédiction de l'ITRS (2009) de la longueur de grille physique pour différentes structures et applications, haute performance (HP), basse consommation en mode d'opération (LOP) et basse consommation en mode de veille (LSTP) [8].**

Plus loin encore, l'ITRS projette l'implantation de transistor multi grille pour une échelle inférieure ou égale à 17 nm. Il existe un bon nombre d'architectures multi grille plus ou moins susceptibles de réussir dans l'intégration à une échelle fortement submicronique tel le FinFET [9], le DGMOSFET [10], le GAA [11], l'Omega gate [12] et le Pi-gate SOI MOSFET [13]. Pour un même volume du canal qu'un transistor SOI classique, les architectures multi grille offrent une meilleure contrôlabilité de la grille sur le canal et une diminution considérable des effets canal courts. Cette performance appréciable des multi grilles permet une plus large intégration, des longueurs plus courtes, des couches d'oxyde plus fines et des concentrations de dopant plus faibles voir graduelles.

Le dopage graduel du canal a été introduit dans le but de réduire les effets parasites bipolaires présents dans les SOI et qui causent une hystérésis, une instabilité durant le fonctionnement en régime dynamique, une anomalie de la pente sous le seuil et dégradation de la tension de claquage [14]. Cependant le dopage graduel a montré d'autres avantages intéressants notamment sur des architectures multigrilles tel que l'accroissement du courant de saturation, de la tension d'early et de la transconductance du fait de la réduction de l'influence du drain sur le canal et de son faible impacte sur la saturation du canal [15].



**Figure .3: Influence du courant de fuite par effet tunnel sur la dégradation du courant de drain [16].**

Comme déjà souligné, la diminution de l'épaisseur d'oxyde provoque une augmentation du courant de fuite à travers le diélectrique par effet tunnel direct qui entraîne une dégradation du courant de drain (figure .3). Dans leurs travaux sur l'évaluation de l'épaisseur minimale de l'oxyde de silicium, Tang et al. [17] suggèrent une limite minimum d'approximativement  $7\text{Å}$ , en deçà, l'offset de la bande interdite est considérablement réduit affectant ainsi la propriété isolante de l'oxyde.

Il existe quelques matériaux pouvant apporter une solution pratique aux courants de fuites à travers le diélectrique tel que les oxynitrides et les oxydes nitrurés caractérisés par une meilleure immunité à la dégradation due aux électrons chauds et une tolérance de plus forts champs électriques. Aussi, la constante diélectrique des ces matériaux est supérieure à celle de l'oxyde de silicium et varie entre 3,9 ( $\text{SiO}_2$ ) et 7,8 ( $\text{Si}_3\text{N}_4$ ), ce qui permet de diminuer l'épaisseur physique pour une épaisseur d'oxyde équivalente (définie par  $EOT = T_k (\epsilon_{ox} / \epsilon_k)$ ) égale à l'épaisseur du  $\text{SiO}_2$ . Cependant, les oxynitrides et les oxydes nitrurés représentent une solution à moyen terme. En effet, on observe une augmentation de la densité d'état d'interface due à la présence d'atomes d'azote ou d'hydrogène issus de la nitruration par  $\text{NH}_3$ . A ce niveau, de nouveaux procédés de fabrication sont mis au point pour pousser les limites de ces matériaux.

Une autre solution plus simple réside dans la substitution de l'oxyde de silicium par un isolant à haute permittivité (high-K). La grande valeur de la constante diélectrique permet de diminuer l'épaisseur d'oxyde équivalente et d'augmenter l'épaisseur physique du diélectrique au-delà de la longueur d'injection des porteurs de charge par effet tunnel. Le choix du matériau ne passe pas que par la valeur de sa constante diélectrique, plusieurs propriétés doivent être prises en compte dans une stricte gamme de valeurs [18]. En plus de la permittivité, les propriétés incluses sont : hauteur de la barrière et alignement des bandes par rapport au silicium, stabilité thermodynamique, morphologie du film, qualité d'interface et défaut dans le volume et enfin compatibilité du procédé (matériau de la grille, technique de dépôt). Cette liste de critères restreint le nombre de matériaux susceptible de réussir dans l'intégration CMOS, on en

retient le  $\text{HfO}_2$ ,  $\text{LaO}_3$ ,  $\text{ZrO}_2$  et le  $\text{Ta}_2\text{O}_5$  dont la permittivité est proche de 20. Les diélectriques à base d'hafnium, considérés comme des oxydes amorphes, sont les plus intéressants au niveau d'échelle actuelle et sont déjà utilisés par INTEL pour le nœud technologique de 45nm.

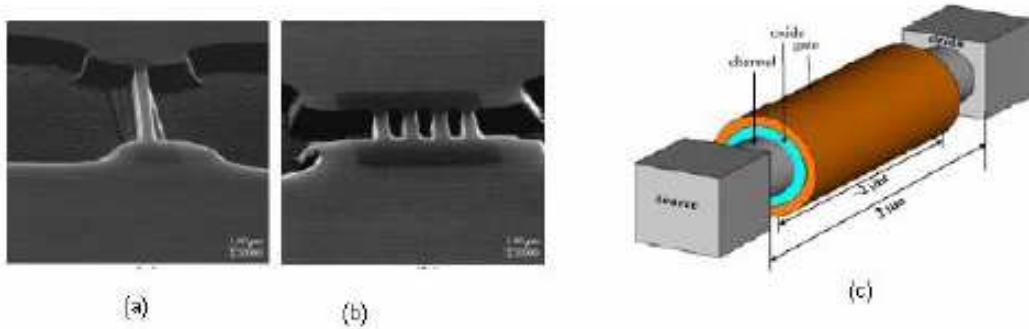
Lors du dépôt du diélectrique, il est possible qu'une couche d'interface ( $\text{SiO}_x$ ) se forme. Cette couche d'épaisseur inconnue est susceptible de dégrader fortement la qualité d'interface d'oxyde. Il est donc plus judicieux de déposer une fine couche de  $\text{SiO}_2$  dont l'épaisseur et les qualités sont connues, ce qui forme une pile d'oxyde d'une constante diélectrique plus faible et une hauteur de barrière plus grande.

L'introduction d'isolant à haute permittivité nécessite l'utilisation d'une grille métallique au lieu de poly silicium dont la réactivité avec certains matériaux high-K peut provoquer une dégradation des caractéristiques du composant. La grille métallique permet également d'éviter une capacité additionnelle créée par le phénomène de déplétion présent dans les grilles poly silicium. Eventuellement, une augmentation du dopage de la grille à l'interface pour atténuer la déplétion peut provoquer une pénétration du dopant dans l'oxyde.

### **3. Les transistors à grille enrobée**

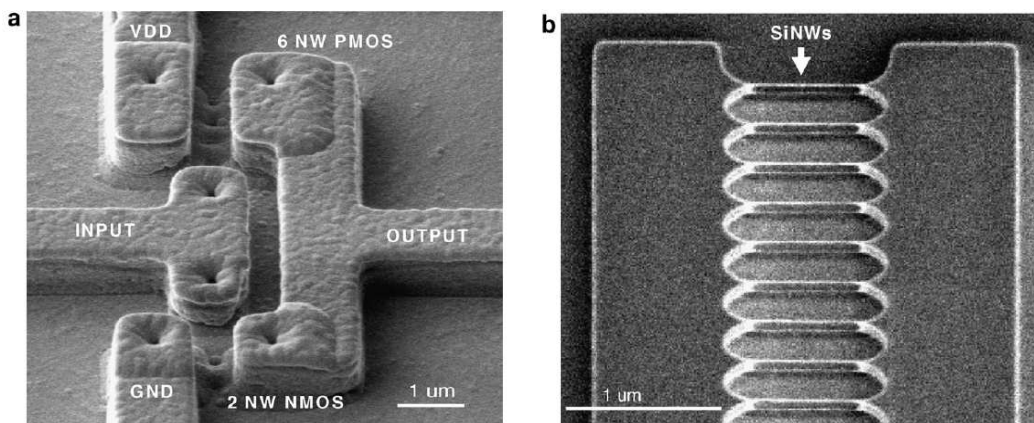
Le transistor à grille enrobée SG (Surrounding Gate) ou GAA (Gate All Around) MOSFET (figure .4) représente la structure qui théoriquement offre la meilleure contrôlabilité de la grille sur le canal et donc la meilleure intégrité électrostatique possible [19].

Le premier SG MOSFET fut fabriqué en enveloppant l'électrode de grille autour d'une pile verticale de silicium. Les structures à grille enrobée incluent des composants tels que le CYNTHIA (à section circulaire) [20] et le SG MOSFET en colonne (à section carrée) [21]. Des SG SOI MOSFETs d'une longueur de grille inférieure à 5nm ont montré une totale fonctionnalité [22]. Plus récemment, des SG MOSFET planaire à section circulaire ou carrée ont été rapportés [23,24].



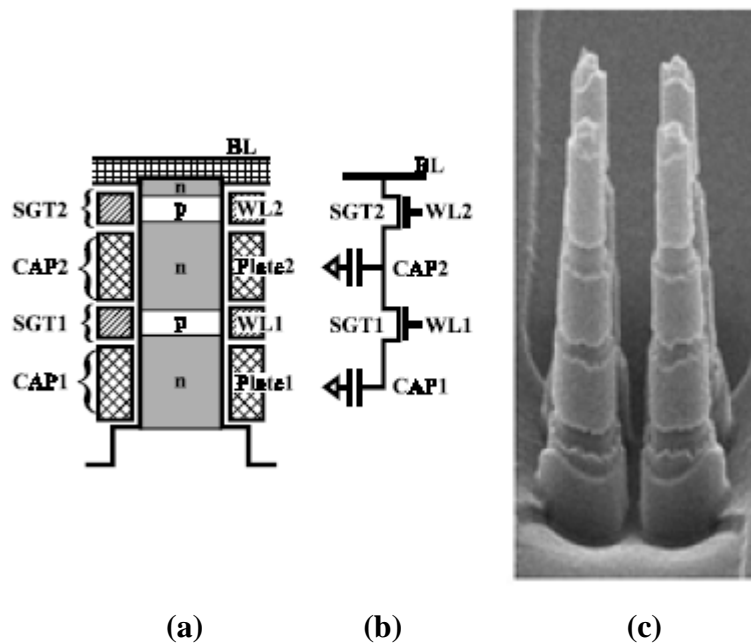
**Figure .4 : Vue TEM (a) d'un et (b) de 4 canaux de MOSFETs à grille enrobée, (c) vue 3D d'un nanofile MOSFET [25].**

Néanmoins, la structure à section cylindrique est plus avantageuse compte tenu de l'absence d'angles droits ou de coins, il a été montré qu'une inversion prématurée peut survenir au niveau des coins, ce qui dégrade les caractéristiques sous seuil et crée une déformation indésirable dans la courbe de transconductance versus tension de grille [26]. Une comparaison entre les deux structures a été effectuée dans [27], les résultats de simulation ont confirmé l'avantage de la structure à section cylindrique avec une diminution considérable du courant  $I_{off}$ , et une réduction du DIBL et de l'inverse de la pente sous seuil.



**Figure .5 : Image SEM (a) de l'inverseur en GAA nanofile, (1x2) canal NMOS et (3x2) canal PMOS, (b) multiple nanofiles en rangée d'une excellente symétrie [28].**

Les transistors à grille cylindrique se sont très bien adaptés à la technologie CMOS et à la l'intégration à très large échelle. Dans [28], un inverseur à base de nanofiles submicroniques d'environ 300nm et d'une épaisseur de 5nm a été réalisé avec succès (figure .5). Une très bonne performance a été enregistré tant au niveau de l'inverseur qu'à celui des nanofiles. Les SG MOSFETs planaires submicroniques voir nanométriques permettent de réduire la surface unitaire des circuits, cependant, une disposition verticale des transistors permet une plus dense intégration. Dans [29], une structure de DRAM à base de transistors SG empilés (Stacked SGT) a été proposée (figure), la simulation du procédé de fabrication a montré que l'empilement permet de réduire la taille de la cellule de moitié par rapport à une cellule SGT conventionnelle. Le transistor VSG MOSFET représente la structure la plus optimale qui allie performance électrique et grande densité d'intégration.



**Figure .6 : (a) structure de la S-SGT DRAM (b) circuit équivalent (c) image SEM de cellule S-SGT [29].**

**CHAPITRE I**  
**TECHNOLOGIE SOI**  
**ET ARCHITECTURES MULTIGRILLES**

## I.1 Introduction

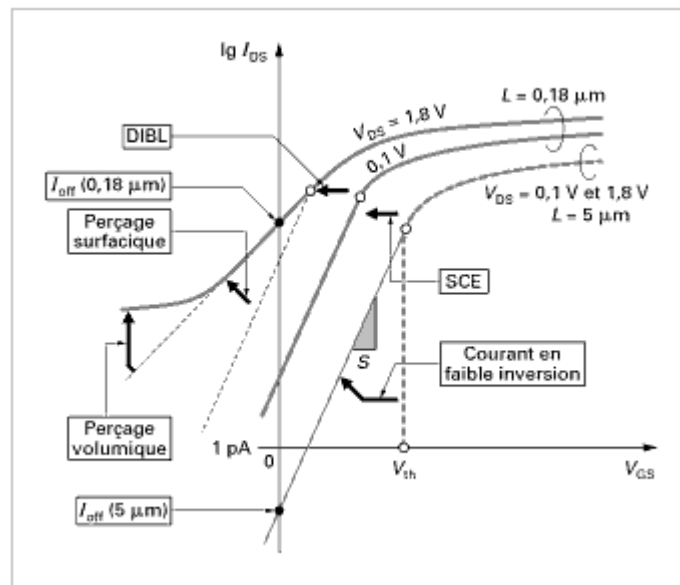
L'étude des effets canal court est un indice de viabilité et de performance, or à un niveau d'échelle submicronique d'intégration des transistors MOSFETs bulk conventionnel, ces effets sont très importants, signe de la dégradation du transistor. La technologie SOI représente une alternative à ces limites en apportant des solutions à un grand nombre d'effets indésirables. Le transistor SOI à une grille offre un meilleur contrôle des effets canal court, une diminution du courant  $I_{off}$ , une réduction du temps de retard, etc. Dans l'effort d'amélioration de la contrôlabilité de la grille et d'augmentation du courant de conduction, le transistor SOI à une grille a évolué pour des structures tridimensionnelles à grille multiple, double, triple ou quadruple. Ces structures ont montré une grande immunité aux effets canal courts en raison de leur bonne intégrité électrostatique [19].

## I.2 Les effets canal court

Comme les dimensions du transistor sont considérablement réduites, ceci diminue l'habilité de la grille notamment en régime sous seuil, à contrôler la distribution du potentiel et du flux de courant dans le canal, ceci est essentiellement dû à l'influence des lignes de champs du drain et de la source qui se propagent dans les régions de déplétion associé aux zones désertées des jonctions dont les épaisseurs deviennent comparables à la longueur du canal. Ces effets se traduisent empiriquement par une variation importante de la tension de seuil et une augmentation du courant de fuite [30]. La figure I.1 illustre l'effet des phénomènes les plus importants qui doivent être pris en compte lors de la modélisation et l'étude d'un dispositif tel que :

*Atténuation de la tension de seuil* : La tension de seuil est déterminée par la barrière de potentiel, essentiellement contrôlée par la tension de grille. En diminuant la longueur du canal, les épaisseurs des zones de déplétion des jonctions deviennent importantes impliquant un abaissement de la barrière de potentiel et une augmentation du nombre de porteurs libres dans le canal et de ce fait, une diminution de la tension de seuil.

*Effet de percement* : Comme mentionné ci-dessus, lorsque l'épaisseur de zone de déplétion de la jonction drain/substrat devient, sous l'effet d'augmentation de la tension de drain, comparable à la longueur du canal, l'influence des lignes longitudinales de champ sur la distribution du potentiel s'accroît, ce qui résulte en un abaissement de la barrière de potentiel source/substrat, phénomène connu par effet de percement ou DIBL (Drain Induced Barrier Lowering). On distingue deux types de percement, le premier dit percement en volume, phénomène qui se produit pour une tension de drain supérieure à la tension de percement, et ce traduit par la facilité d'injection des électrons et une possibilité de création d'un courant de fuite dans le volume du substrat loin de la grille, non contrôlé par celle-ci mais uniquement par la tension de drain. En revanche le second résulte d'une désertion plus près de l'interface Si-SiO<sub>2</sub>, dit percement en surface, qui est contrôlé par les deux tensions de drain et de grille.



**Figure I.1: Représentation des différents effets canal court [31].**

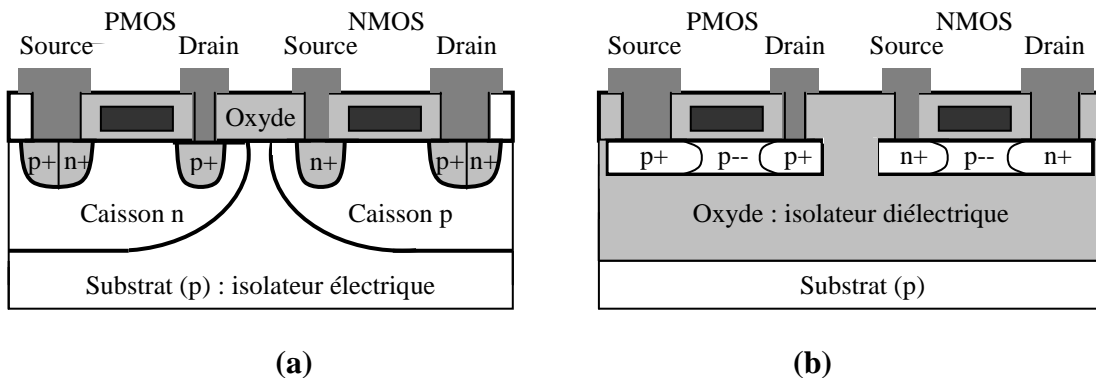
*Dégradation de la pente sous le seuil* : Le phénomène de percement en surface affecte essentiellement le courant de sous seuil, effet qui est traduit par une dégradation de l'inverse de la pente sous seuil  $S$ . Ce paramètre représente la variation de polarisation de grille nécessaire pour augmenter le courant d'une décade [32], et est défini par l'expression  $S = nkT/q \ln(10)$  où le facteur  $n$  appelé

facteur de substrat est égale à  $1+(C_{dep}/C_{ox})$ . La valeur idéale de  $S$  est de 60mV/dec, en pratique elle est de 80mV/dec pour la technologie CMOS et de 65mV/dec pour la technologie SOI à canal ultra mince entièrement déserté. Le percement en surface résulte de plus en une augmentation du courant  $I_{off}$  et de ce fait de la consommation en puissance.

### I.3 Technologie SOI

#### I.3.1 La technologie SOI à une grille

Le développement de cette technologie émane de l'idée du Silicium-sur-Saphir (SOS) par Manasevit and Simpson in 1963 [33]. De la naissance de cette technologie, d'autres SOI ont été fabriqués, entre autre le Silicium-sur-Zircon (SOZ), Silicium-sur-Spinelle, Silicium-sur-Rien (SON) et le plus connu d'entre eux, le Silicium-sur-Oxyde.

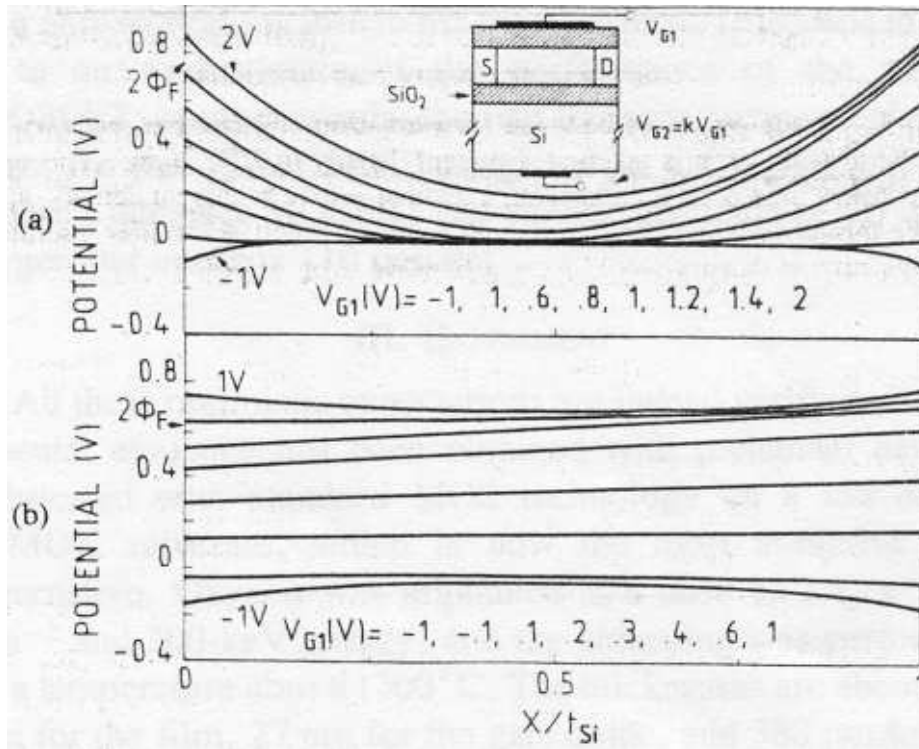


**Figure I.2:** Coupe schématique de transistors MOS (a) bulk et (b) SOI [34].

Contrairement au MOSFET bulk (Fig I.2a) où les composants sont réalisés sur un substrat de silicium – appelé parfois *bulk* – d'une épaisseur de l'ordre de  $600\mu m$  dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de Silicium au préalable posé sur une couche d'oxyde enterrée (Fig. I.2b). Le film de silicium a une épaisseur que nous noterons  $t_{Si}$  [32][35].

Toujours à l'opposé du transistor MOS bulk où le canal d'inversion est localisé à l'interface silicium-oxyde, la structure SOI a fait naître le concept d'inversion volumique découvert en 1987 par Balestra et al [36] et observé pour la

première fois dans un transistor à double grille en 1990 [37]. Le principe de ce phénomène est bien différent de la simple mise en parallèle de deux transistors (Fig I.3) permettant une meilleure répartition volumique des porteurs et une amélioration du contrôle de la charge du canal [30].

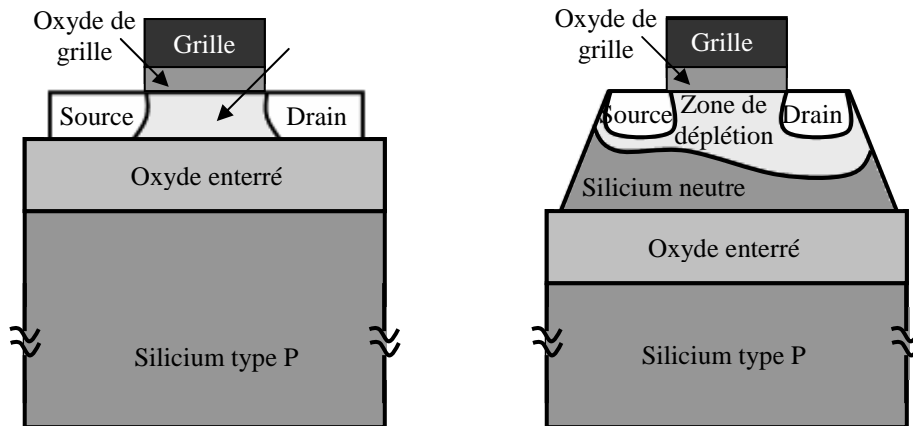


**Figure I.3 : Profil de potentiel à l'intérieur de la zone active pour (a) deux inversions surfaciques (dopage  $N_A = 4.10^{16} \text{ cm}^{-3}$ , épaisseur de film  $T_{si} = 300\text{nm}$ ) et (b) une inversion volumique ( $N_A = 3.10^{15} \text{ cm}^{-3}$ ,  $T_{si} = 100 \text{ nm}$ ) N.B  $2.\Phi_f$  correspond au potentiel d'inversion [36].**

### I.3.2 SOI partiellement et entièrement déserté

Les dispositifs SOI peuvent être classés en deux types, essentiellement suivant l'extension de la couche de désertion dans le film de silicium [38]. Pour un film de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré (Fig I.4), nous parlons alors de transistor partiellement déserté (ou PDSOI, "*Partially Depleted SOI*"), et pour une épaisseur du film réduite, la déplétion atteint l'oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film, nous parlons alors de transistor entièrement déserté (ou FDSOI, "*Fully Depleted SOI*"). Le tableau suivant montre la

différence entre un PD et FD SOI sur quelques caractéristiques électrique comparé un MOSFET classique.



(a) (b)  
**Figure I.4 : Représentation schématique d'un transistor SOI :**  
 (a) entièrement déserté et (b) partiellement déserté [34].

Paramètres physique	Partiellement déserté	Totalement déserté
Mobilité	N	+
Transconductance	N	+
Effets canal court	N	+
Capacité Source et Drain	+	+
Pente sous le seuil	N	+
Sensibilité $V_{th}/t_{si}$	N	-
Parasite bipolaire	+	- ou N

**Tableau I.1 : comparaison de quelques caractéristiques électrique d'un FD et PD SOI avec un MOSFET sur silicium massif. N : neutre, + : meilleur, - : plus mauvais [15].**

Un MOSFET SOI partiellement déserté opère fondamentalement comme un MOSFET bulk classique, en particulier si la part neutre du film de silicium est connectée à la masse [34]. Une autre caractéristique des structures partiellement désertées est la présence de l'effet de corps flottant (floating body effect) [39], effet résultant de l'interaction électrique entre le corps flottant du transistor et du substrat isolant sur lequel il repose qui forment ensemble un condensateur électrique dans le quel les charges s'accumulent ayant pour conséquence des effets plus ou moins indésirables tel que l'apparition de transistors parasites, causant des fuites de courant, et une augmentation du courant total, connu sous le nom d'effet kink, et dans le cas d'une DRAM, une perte de l'information stockée dans la cellule mémoire. Il entraîne également l'apparition d'un effet mémoire, la tension de seuil du transistor dépendant des états précédents de ce dernier.

En revanche, pour des structures entièrement désertées, le champ électrique s'étend sur toute la profondeur du film de silicium. En conséquence, le potentiel de surface de la face supérieure du composant est couplé avec celui de la face inférieure. Si le profile de dopage du film de silicium est uniforme, le potentiel sera sous une forme de fonction parabolique [34]. En raison de la présence de l'oxyde de grille et de l'oxyde enterré, le transistor SOI possède deux grilles dites respectivement grille avant et arrière, et puisque la couche d'isolant, dans ces cas-là, est nettement plus mince que le canal appauvri, la charge et par conséquent le potentiel du corps flottant, est fixe [39].

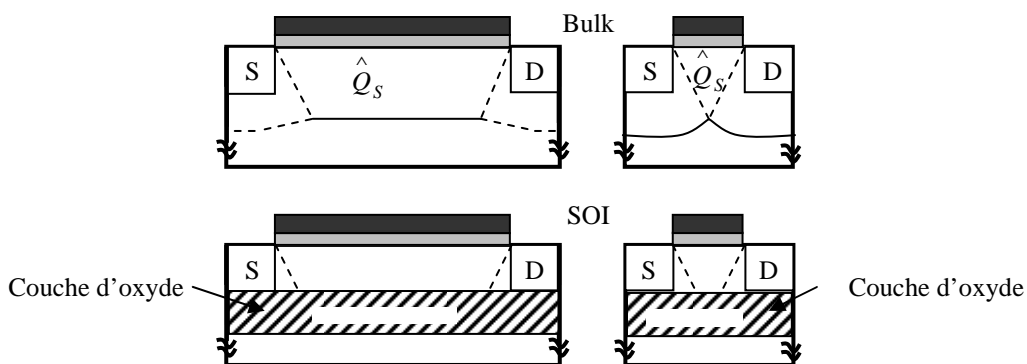
### **I.3.3 Avantages de la technologie SOI**

Voici maintenant quelques avantages de l'usage de plaquettes SOI par rapport au bulk traditionnel dans développement de composant CMOS [33] :

- Basse tension d'opération avec la même performance de sortie comparée avec la technologie bulk qui doit opérer à une plus haute tension de fonctionnement, ceci mène à une basse consommation (autour de 40-50% moins);
- Elimination des capacités de jonction (capacité parasite source-substrat et drain-substrat, qui correspondent à la capacité d'une jonction polarisée en inverse pour le MOSFET bulk, ne sont en réalité pour le SOI qu'une capacité d'oxyde

$C_{Box}$ .) et l'effet de corps conduisant à une amélioration de la performance de 30% par rapport à la technologie bulk, tel l'état de commutation;

- Réduction dans l'influence des radiations tel le taux d'erreur-logicielle qui affecte le stockage en mémoire des données;
- Réduction du courant de fuite, ce qui amène à une meilleure application numérique pour une consommation réduite;
- En plus d'une simplification dans les procédés de fabrication due au nombre réduit de masques, l'isolation verticale et horizontale résulte dans une plus grande densité des composants réalisés sur une même plaquette de même dimension comparée avec la technologie bulk;
- Une meilleure gamme de température d'opération;
- Une diminution des effets canaux courts à la réduction du composant;
- Elimination du *latch-up*, un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones  $N^+$  et  $P^+$  de transistors nMOS et pMOS voisins, ainsi que du claquage entre ces deux zones.
- Amélioration du contrôle de la grille sur la charge de déplétion, le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important pour le transistor SOI, par comparaison au transistor MOS bulk, avec des dimensions identiques ( $L$ ,  $W$ ,  $t_{ox}$ ,  $X_j$ ), ce phénomène est d'autant plus marqué que la longueur du canal diminue comme le montre la figure I.5.

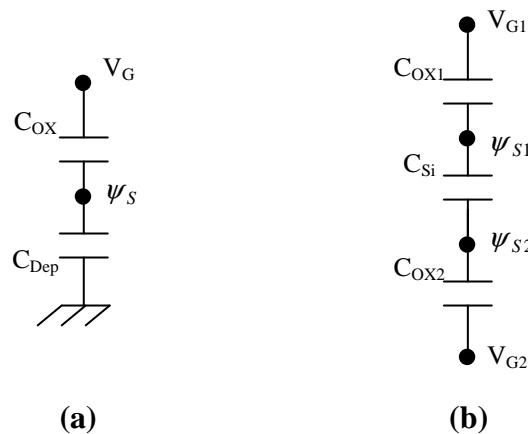


**Figure I.5 : Distribution de la charge de déplétion pour le MOSFET bulk et le SOI [40].**

- Amélioration de la pente sous le seuil, contrairement au transistor MOS bulk (Fig. I.6a), où la capacité  $C_{dep}$  ne peut être négligée d'où un facteur de substrat  $n > 1$ , le film du transistor SOI sur film mince, est déserté en entier avant que la tension n'atteigne la tension de seuil,  $C_{Si}$  qui désigne la capacité du film de silicium entièrement déserté est donc ramenée à une constante, d'où le facteur de substrat défini comme:

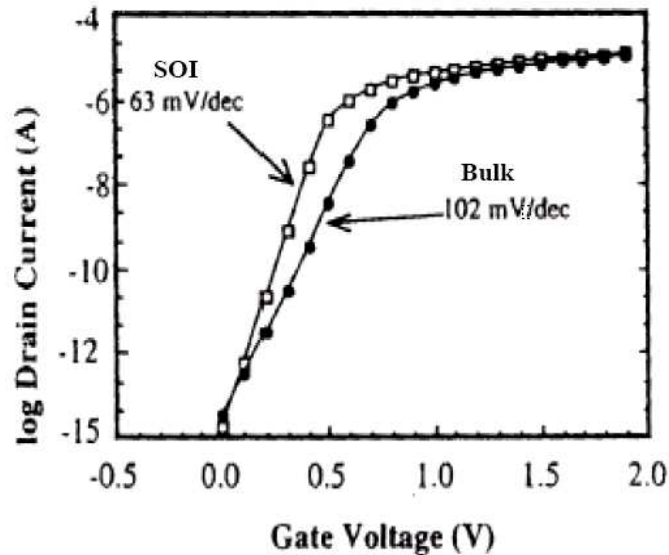
$$n = \left( 1 + \frac{C_{Si}}{C_{OX1}} \right) - \frac{\frac{C_{Si}}{C_{OX2}} - \frac{C_{Si}}{C_{OX1}}}{1 + \frac{C_{Si}}{C_{OX2}}}$$

où  $C_{ox1}$  et  $C_{ox2}$ , représentent les capacités d'oxyde situées respectivement dans la partie supérieure et la partie inférieure du film de silicium.



**Figure I.6 : Circuit capacitif équivalent (a) d'un MOSFET bulk et (b) d'un SOI**

Habituellement, pour des films minces,  $C_{ox2} \ll C_{ox1}$  et  $C_{ox2} \ll C_{Si}$ , et donc nous obtenons une valeur de  $n$  proche de l'unité et une pente sous le seuil optimale. En pratique, la valeur de pente sous le seuil est aux alentours de 65mV/dec (Fig. I.7).

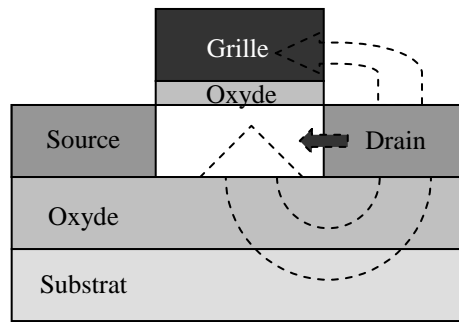


**Figure I.7 : Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante [33].**

### I.3.3 Inconvénients de la technologie SOI

La technologie SOI n'offre pas que des avantages, aussi présente-elle quelques inconvénients plus ou moins important, on peut en citer

- L'auto-échauffement des composants dû à l'importance de la résistance thermique de l'isolant qui ne permet pas d'évacuer assez rapidement la chaleur [40], ceci peut mener à une diminution de la mobilité effective des porteurs et donc une diminution de la conductance de drain et une dégradation du courant [30].
- Augmentation du courant et apparition de bruit en saturation par effet kink, et possibilité de création d'effet de mémoire de la tension de seuil des transistors partiellement désertés.
- Un coût de plaquette élevé, qui peut varier entre 5 et 10% de plus que le substrat bulk, ce qui a pour conséquence une augmentation du coût de production qui peut être réduit dans le cas d'un grand volume à moins de 4% [41].
- L'importance des effets canaux courts. La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré (Fig. I.8). Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante.



**Figure I.8: Influence électrostatique sur le SOI à une grille [33].**

En général, la technologie SOI offre beaucoup d'avantages pour la fabrication CMOS. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à 30nm [33].

Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique, en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Ce principe a ouvert la voie vers de nouvelles structures dites à grilles multiples que nous allons présenter dans la section suivante.

#### **I.4 Vers les transistors à grilles multiples**

La technologie SOI à une grille ne permet pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. En conséquence, nous voyons apparaître des structures SOI avec deux, trois, voire quatre grilles [33].

L'évolution des dispositifs SOI avec l'augmentation du nombre de grilles est illustrée par les figures I.9 et I.10 :

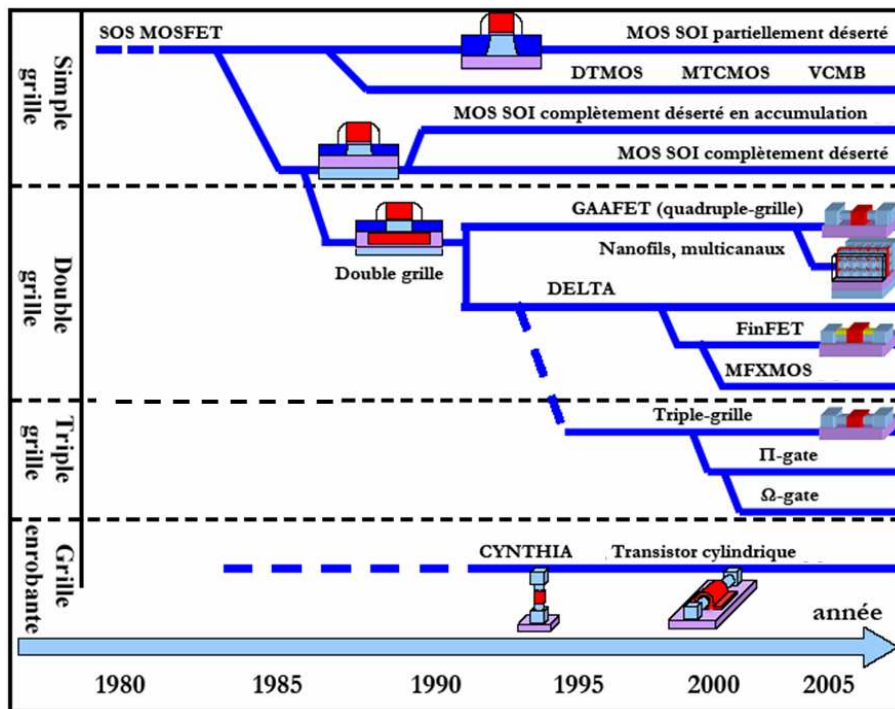


Figure I.9 : Evolution (en recherche) de la technologie SOI au fil des années [33], [19].

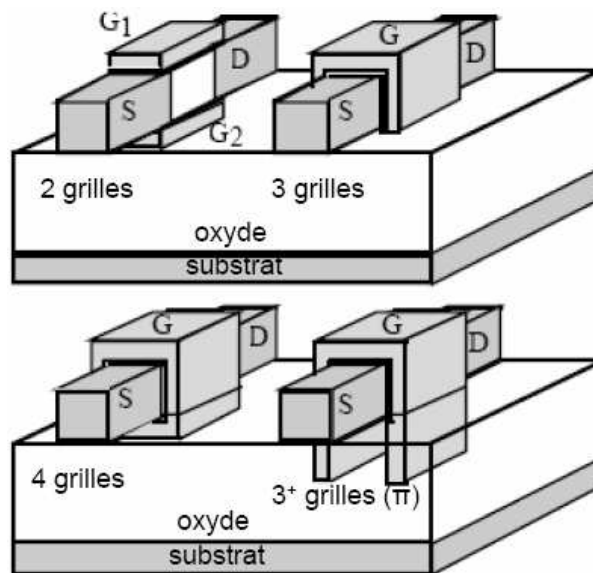


Figure I.10 : Les différentes structures multi-grilles : SOI double-grille (2), SOI triple-grille (3), SOI quadruple-grille/Surrounding-gate (4), et grille en forme  $\Pi$  ou  $\Omega$  (3<sup>+</sup>)

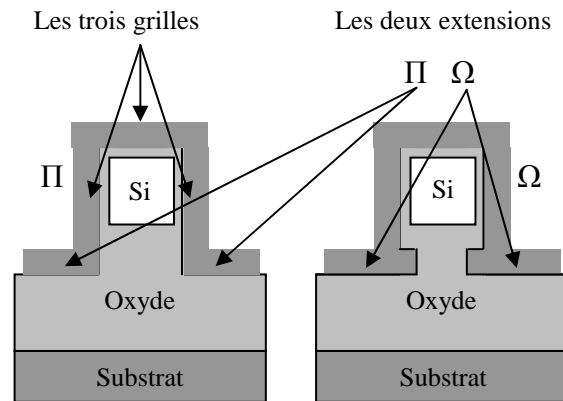
Suivant le nombre de grilles qui contrôlent le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère, ainsi nous trouvons dans la littérature :

*Le double-grille* : Le transistor MOS double-grille (DG) est constitué de deux grilles placées sur le plan horizontal. La figure I.10 représente l'architecture. Chaque grille exerce un contrôle sur le ou les canaux. Il existe une autre structure qui appartient à la catégorie du double grille bien qu'elle possède une grille de plus. Cette structure souvent appelée dans la littérature FinFET, dispose d'une troisième grille reliant les deux grilles principales et est déposée sur une couche d'oxyde d'une épaisseur importante. De ce fait, elle n'affecte nullement le contrôle sur le canal. Ainsi, seules les deux grilles latérales créent et contrôlent un canal d'inversion. Par rapport à un dispositif MOSFET double-grille planaire, l'avantage d'un transistor FinFET est l'auto-alignement intrinsèque des deux grilles. De plus, il existe deux variantes de structure MOSFET double grille planaire, suivant la manière dont le dispositif est polarisé, nous avons ainsi deux modes de fonctionnement distincts, le MOSFET double-grille en mode de fonctionnement symétrique et le MOSFET double-grille en mode de fonctionnement asymétrique.

*Le triple-grille* : Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (Fig. I.10). Les couches d'oxyde en contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [33]. Le contrôle électrostatique de la grille peut être amélioré en ajoutant des extensions de chaque côté latéral de la grille, soit en profondeur dans l'oxyde enterré, nous parlons alors d'une structure PIFET, soit sous le canal où nous parlons d'une structure  $\Omega$ FET, ces extensions sont généralement obtenues en sur-gravant l'oxyde dans la phase de définition des zones actives. Du point de vue électrostatique, le PIFET et l' $\Omega$ FET, aussi connu par les triple<sup>+</sup>-grille, possèdent un nombre effectif de grille entre 3 et 4.

*Le quadruple-grille* : Cette structure possède quatre grilles (QG) (fig I.10) enrobant de ce fait le film de silicium. Comme déjà mentionné, cette structure

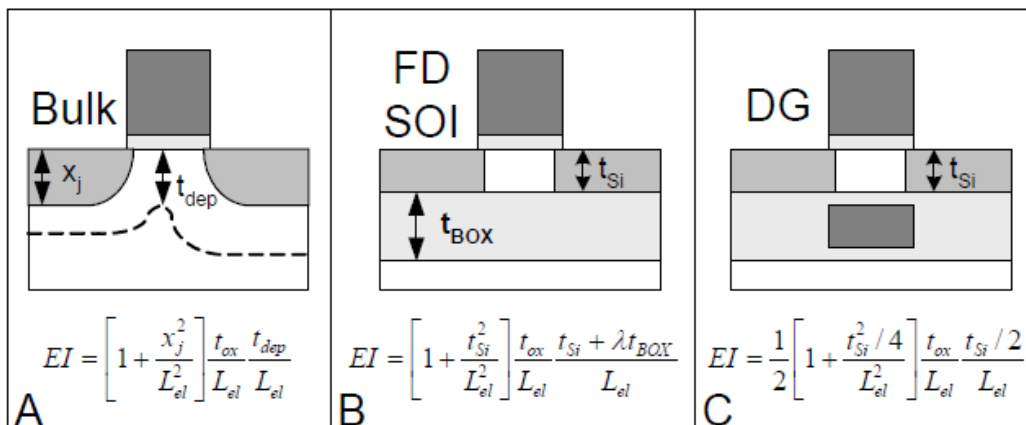
représente théoriquement la configuration la plus optimale qui offre la meilleure contrôlabilité de la grille sur le canal [19]. Les quadruple-grille incluent des structures tels que le CYNTHIA (à section circulaire) [20] et le SG MOSFET en colonne (à section carrée) [21] qui peuvent être planaires ou verticales.



**Figure I.11 : L'extension des grilles conduisant aux structures  $\Pi$  et  $\Omega$  SOI MOSFETs**

#### I.4.1 Avantages des transistors à grilles multiples

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain.



**Figure I.12 : L'intégrité électrostatique dans différentes structures avec  $L_{el}$  la longueur effective du canal [19].**

La conduction s'effectuant alors de manière volumique et non plus surfacique [33], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, pour une intégrité électrostatique plus favorable (fig I.12), et donc une prise de contrôle du canal plus importante, on s'affranchit des effets canaux courts liés à l'influence de  $V_{ds}$ , la diminution impérative de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la polarisation du drain et qui influent sur la circulation des électrons. Finalement, ces particularités des architectures multigrilles mènent à des performances nettement supérieures à des structures conventionnelles comme nous allons le voir ultérieurement.

#### **I.4.2 Inconvénient des transistors à grilles multiples**

L'un des inconvénients de ces structures est l'accroissement des résistances d'accès drain et source, ayant pour conséquence une chute des tensions de polarisation, à savoir  $V_{ds}$  et  $V_{gs}$  et donc la modification de la caractéristique  $I(V)$ . De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs, créant la nécessité d'introduire de nouveaux modèles de transport tel que le transport balistique [42] ou par effet tunnel [43] entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en oeuvre de procédés plus que délicats.

#### **I.4.3 Modes de fonctionnement des transistors à grilles multiples**

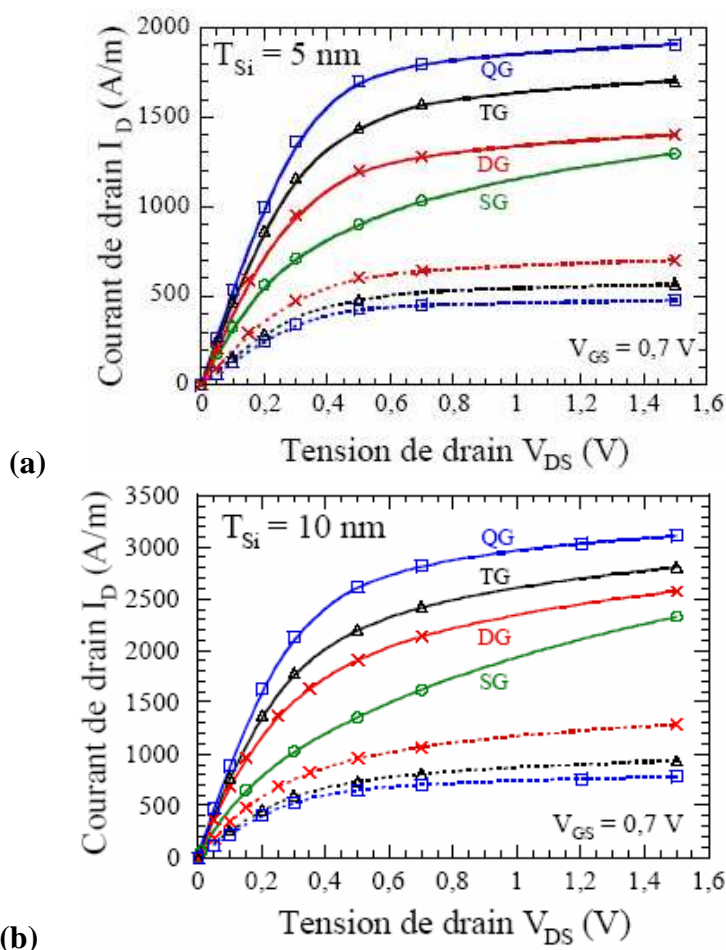
A présent, nous allons nous intéresser de plus près à quelques caractéristiques statiques des architectures multigrilles en se référant notamment à des simulations Monte Carlo [30] en mode de fonctionnement et de blocage.

##### **I.4.3.1 Etat passant**

L'ajout de grille traduit un ajout de canal d'inversion en forte inversion. Ainsi, le courant à l'état passant  $I_{on}$  accroît lorsque le nombre de grilles augmente, comme le montre la figure I.13 où sont tracées les caractéristiques  $I_D-V_{DS}$  pour les différentes structures SOI multigrilles de 15nm de longueur de canal. Nous notons bien un courant croissant relativement au nombre de grilles, à titre

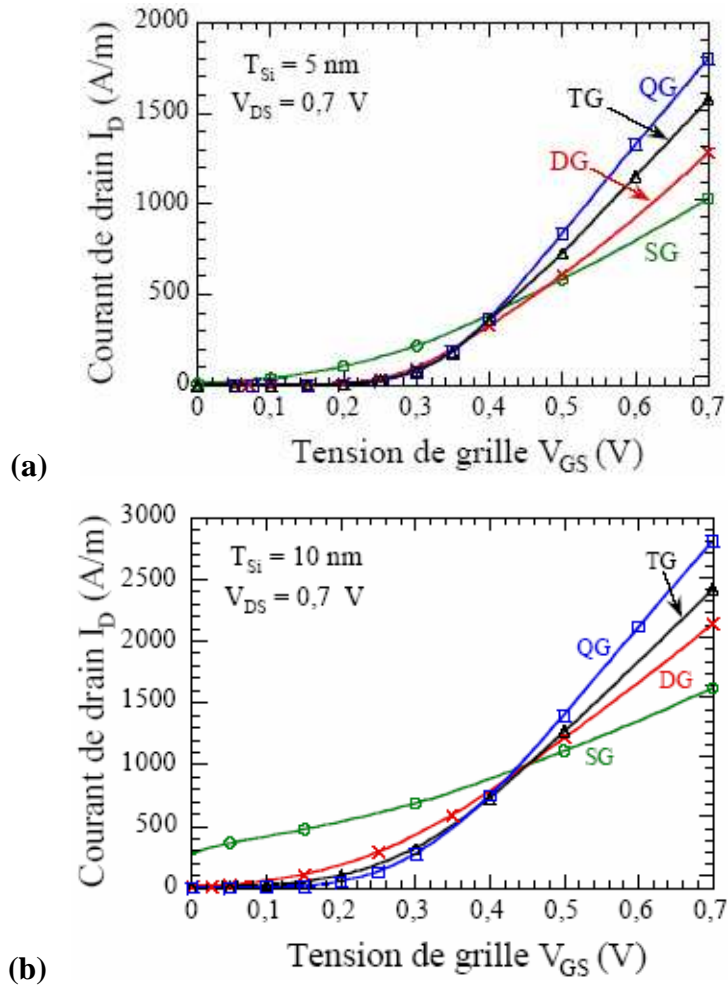
d'illustration et pour  $t_{Si} = 10\text{nm}$ ,  $I_{on}$  atteint 1623A/m pour le MOSFET SOI à une grille, 2138A/m pour le double-grille, 2420A/m pour le triple-grille, et enfin 2815A/m pour le quadruple-grille.

Cependant, cette augmentation de  $I_{on}$  n'est pas proportionnelle au nombre de grilles, les caractéristiques normalisées par le nombre de grilles représentées en tirets sont diminuées quand le nombre de grilles augmente. Ainsi, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruple-grille. La diminution de  $t_{Si}$  réduit de façon quasi-proportionnelle le courant  $I_{on}$ , ainsi le courant d'un double-grille passe de 2420A/m pour une épaisseur de 10nm à 1280A/m pour une épaisseur de 5nm.



**Figure I.13 : Caractéristiques  $I_D$ - $V_{DS}$  des multi-grilles pour  $L=15\text{nm}$ , (a)  $t_{Si} = 5\text{nm}$  et (b)  $10\text{nm}$ . En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille [30].**

La transconductance  $g_m$  est aussi améliorée avec l'augmentation du nombre de grilles (Fig. I.14). Pour  $t_{Si} = 10\text{nm}$ ,  $g_m$  atteint 4170S/m pour un double-grille, 5700S/m pour un triple-grille et 7070S/m pour un quadruple-grille. Comme pour le courant de fonctionnement, l'augmentation de la transconductance n'est pas proportionnelle au nombre de grilles. La diminution de l'épaisseur du canal conduit à une réduction de la transconductance.

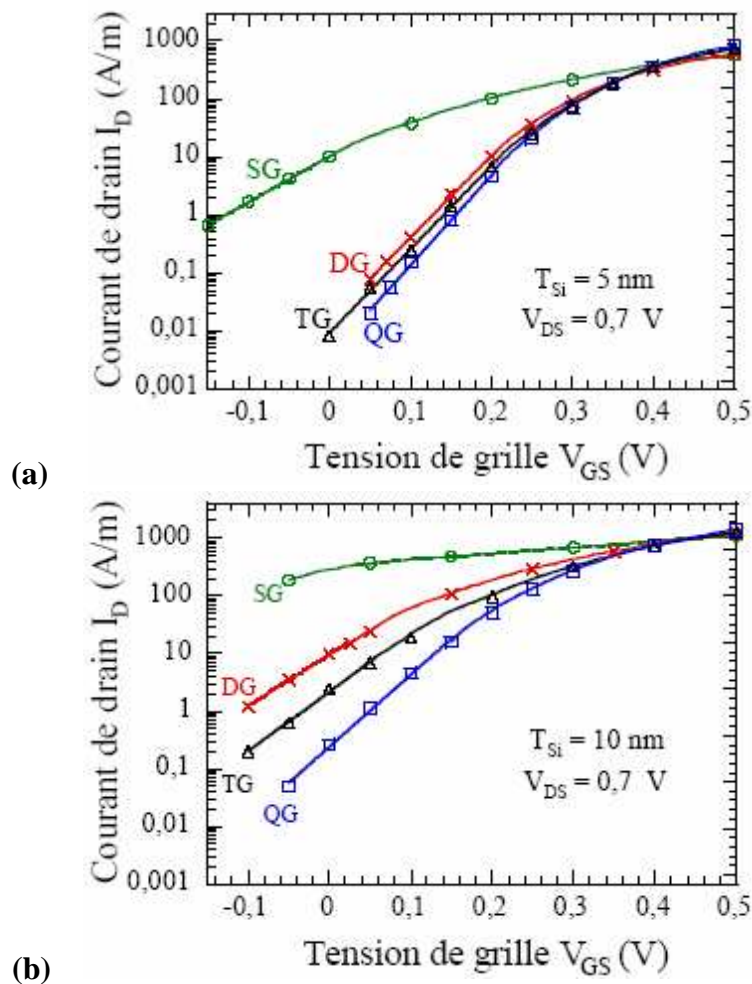


**Fig. I.14: Caractéristiques  $I_D$ - $V_{GS}$  des multi-grilles pour  $L = 15\text{nm}$ , (a)  $t_{Si} = 5\text{nm}$  et (b)  $t_{Si} = 10\text{nm}$  [30].**

#### I.4.3.2 Etat bloqué

L'un des principaux paramètres en état bloqué ou régime sous le seuil, amélioré par l'augmentation du nombre de grille est l'inverse de la pente sous le seuil. La figure I.15 illustre clairement la forte dégradation de la pente pour la

structure à une seule grille où celle-ci dépasse largement les 100mV/dec. Pour les autres structures, la pente est nettement améliorée relativement au nombre croissant de grille, signe de l'amélioration de l'intégrité électrostatique. Pour un film d'épaisseur de 10nm, S vaut 110mV/dec pour le double-grille, 96mV/dec pour le triple-grille et enfin 83mV/dec pour le quadruple grille. De plus, la réduction de l'épaisseur du film ou de la zone active améliore la pente, en effet la valeur de celle-ci pour un double-grille passe de 110 mV/dec pour une épaisseur de 10nm à 80 mV/dec pour une épaisseur de 5nm.



**Figure I.15: Caractéristiques  $I_D$  -  $V_{GS}$  en échelle logarithmique des SOI multi-grilles pour  $L=15$ nm, (a)  $t_{Si} = 5$ nm et (b) 10nm [30].**

#### I.4.4 Contrôle des effets canaux courts

Comme déjà mentionné, l'ajout de grille améliore l'intégrité électrostatique et de ce fait, le contrôle des effets canaux courts, tel que l'inverse de la pente sous le seuil discuté un peu plus haut, et le DIBL. La figure I.16 illustre l'apport de l'augmentation du nombre de grille sur le DIBL en comparant l'abaissement de la bande de conduction d'une structure à une grille et un double grille où l'abaissement de la barrière pour ce dernier est beaucoup moins important. En outre, pour une longueur de canal de 15nm et une épaisseur de 5nm le DIBL est de 89meV pour une structure SG, contre 19meV pour un DG et 3meV pour un QG.

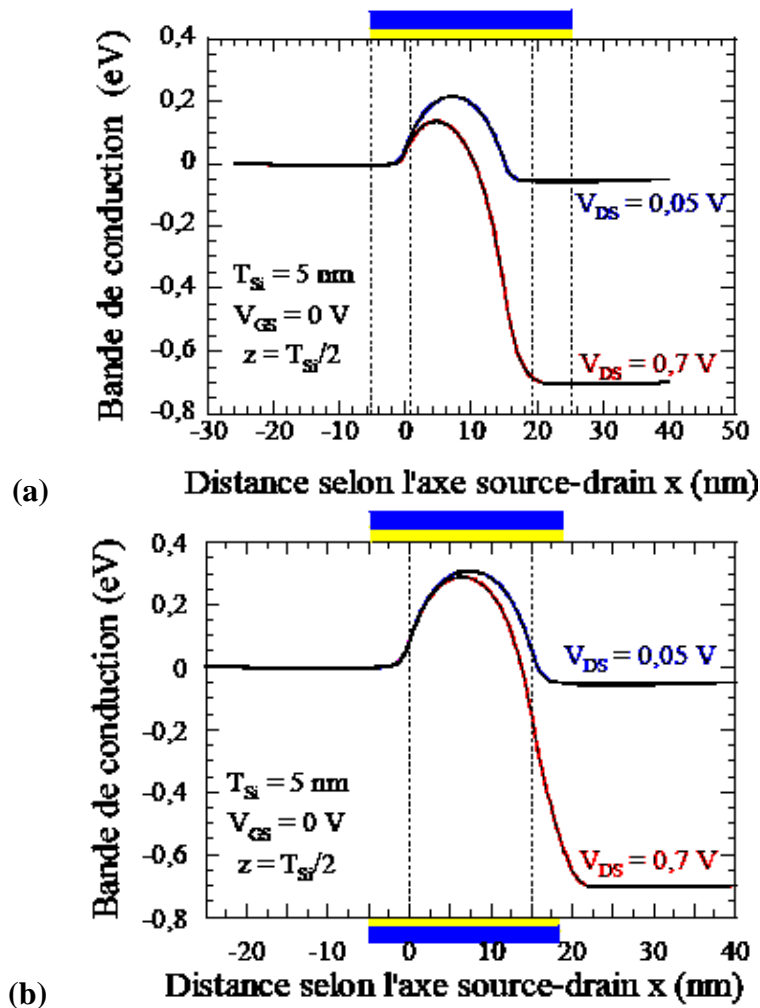


Figure I.16 : Coupes longitudinales de la bande de conduction sur (a) un MOSFET SOI à une grille et (b) un MOSFET double-grille, pour  $V_{GS} = 0V$  suivant la profondeur du film de silicium à  $V_{DS}$  faible et fort.  $L_c = 15nm$  et  $t_{Si} = 5nm$  [30].

Un autre exemple de l'amélioration de la contrôlabilité de la grille sur le canal par l'augmentation du nombre de grille est illustré dans la figure I.17 où le DIBL pour différentes structures multigrilles a été calculé, les résultats montrent la décroissance logique du DIBL respectivement au nombre croissant de grille. L'apport des extensions d'un PIFET sur l'amélioration de l'intégrité électrostatique par rapport à un triple-grille classique est remarquable. Cependant, le quadruple-grille reste la structure la plus optimale avec le DIBL le plus bas et donc la meilleure contrôlabilité possible.

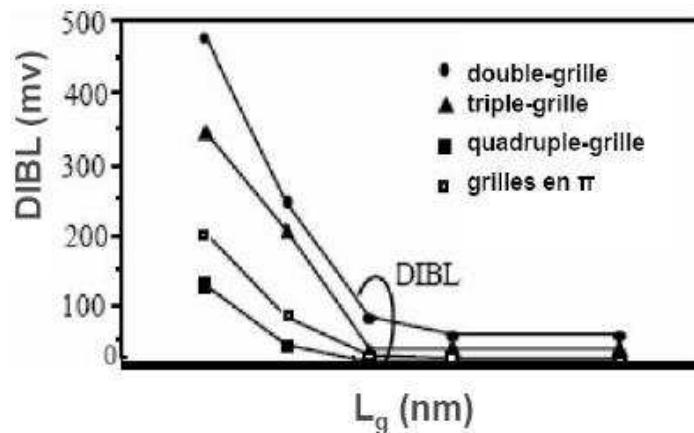


Figure I.17 : Minimisation du DIBL avec l'augmentation du nombre de grille pour  $W = t_{Si} = 10\text{nm}$  [33].

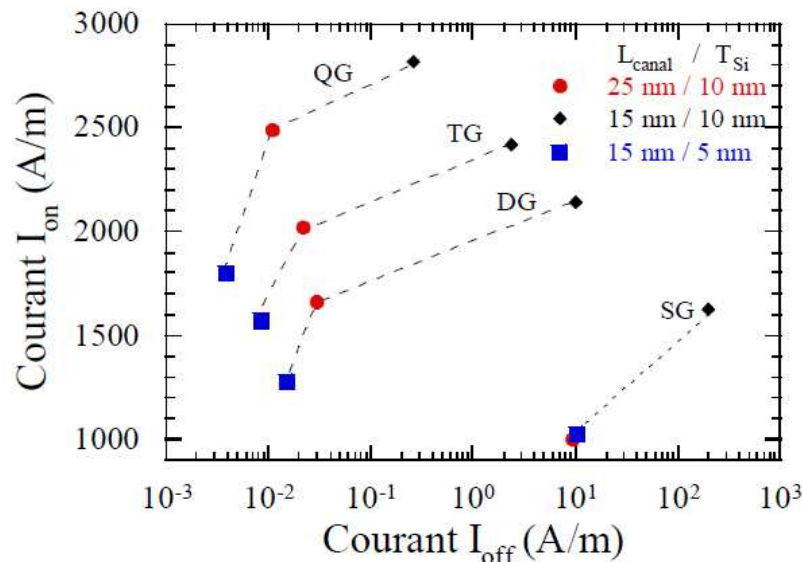


Figure I.18 : Courant à l'état passant  $I_{\text{on}}$  en fonction du courant à l'état bloqué  $I_{\text{off}}$  pour les différentes architectures [30].

La figure ci-dessus représente le courant d'actionnement et de blocage pour différentes structures. Toujours dans cette même logique que l'ajout de grille améliore le contrôle des effets canaux courts, le courant  $I_{off}$  se trouve nettement réduit par rapport à une structure SG conventionnel, diminuant ainsi considérablement la consommation en puissance.

### **I.5 Conclusion**

Les avantages de la technologie SOI notamment des dispositifs à grille multiple offre une alternative prometteuse à la technologie bulk conventionnelle qui se rapproche de ses limites à une échelle fortement submicronique. Les performances électriques des transistors à grille enrobée sont les plus intéressantes, la configuration optimale de ces structures offre une intégrité électrostatique des plus favorable à un meilleur contrôle des effets canaux courts.

**CHAPITRE III**  
**LA MODELISATION**  
**DES TRANSISTORS MOS**

## II.1 Introduction

En général, on définit les modèles compacts comme une description comportementale d'un composant isolé ou dans un circuit, qui sert de lien entre le procédé technologique et la conception des circuits. Au fil des années, la modélisation compacte est passée par plusieurs étapes suivant de près l'évolution des composants, notamment des transistors. De plus en plus fiable, les modèles ont évolué pour inclure le plus grand nombre de paramètres possibles et de décrire au mieux les phénomènes physiques impliqués même si la complexité des modèles exige l'introduction de plusieurs hypothèses simplificatrices.

## II.2 Histoire de la modélisation compacte

L'intégration de divers composants électroniques dans de plus large système a créée la nécessité de modèles compacts qui décrivent le comportement électrique de ces composants. Comme la conception d'un système devient de plus en plus compliquée par le biais de test et d'erreur, les modèles compacts sont essentiels pour permettre la simulation de la fonctionnalité d'un circuit avant sa fabrication. Pour illustrer ces propos, nous allons donner quelques avancées historiques dans la modélisation des MOSFETs [44].

La simplification du problème bidimensionnelle de la structure MOSFET en deux problèmes à une dimension [45]. La première solution, perpendiculaire au canal est connue comme l'équation de tension d'entrée qui, par le biais de la solution électrostatique de l'équation de poisson, relie la tension de grille au potentiel de surface. Quant à la seconde, parallèle au canal est connue comme l'équation de courant de sortie, et qui relie le courant source-drain à l'équation de tension d'entrée et les tensions de drain et de source. Ceci en impliquant une conduction dans le canal par les mécanismes de dérive et de diffusion. Ce procédé de séparation des problèmes 2-D est appelé approximation du canal graduel (gradual channel approximation). Pao and Sah [46] ont introduit une expression du courant de drain basée sur une double intégral (sur la couche d'inversion et tout au long du canal). Enfin, l'introduction de l'approximation CSA (charge-sheet approximation) [47], qui assume que le potentiel ne varie pas sur toute la

largeur du canal, ce qui malheureusement, tend à une expression implicite du potentiel de surface en termes de tensions appliquées.

Le début des années 1970 a vu naître des programmes d'analyse de circuit non linéaire. Le plus tangible programme développé fut le SPICE (Simulation Program with Integrated Circuit Emphasis), créé par l'université de Berkeley et mis sur le marché en 1972. Voici à présent l'évolution des modèles compacts utilisés par le simulateur SPICE et d'autres de même catégories [48].

Le premier modèle compact fut le niveau1, aussi appelé modèle de Shichman-Hodges [49], simple modèle de premier ordre adapté pour les transistors à canal long seulement, qui décrit la dépendance du courant de la tension de grille beaucoup plus que de la tension de seuil. Le courant de sous le seuil est assumé nul et les capacités de terminaux, qui sont décrites par le modèle de Meyer [50], ne sont pas conservatrices de charge.

Le modèle niveau 2 est un modèle qui prend en compte les effets de second ordre associés aux structures de petite géométrie. A l'inverse du niveau 1, le courant de sous le seuil n'est pas nul. Le modèle de capacité peut être le modèle de Meyer [50] ou le modèle conservateur de charge de Ward-Dutton [51]. Cependant, les calculs du niveau 2 sont très complexes et génèrent le plus souvent des problèmes de convergence [52].

Le niveau 3 est un modèle semi-empirique développé pour détourner les défauts du modèle niveau 2, avec un temps d'exécution plus rapide, une diminution des problèmes de convergences et le Ward-Dutton comme modèle capacitive. Cependant, les deux inconvénients majeurs du niveau 3 sont son incapacité à modéliser convenablement le courant de sous le seuil et la conductance de sortie.

La rapide évolution de la technologie MOS du début des années 1980s a montré les limites de l'efficacité de ces trois modèles dans la simulation de plus large circuit à base de transistors de plus en plus petits. Dès lors, s'en suit une multitude de modèles assez simples et nécessairement utiles à la conception

analogique. En 1987, l'équipe de l'université de Berkeley a publié son modèle BSIM (Berkeley Short-Channel IGFET Model) [53], le premier d'une célèbre série de modèle en potentiel de surface pour MOSFET, suivi par BSIM2 (1990), BSIM3 (1994) et BSIM4 (2000).

Développé au sein de Philips en 1991 et mis sur le domaine public en 1995, le modèle en tension de seuil, MOS Model 9 constitue avec le BSIM3 les premiers modèles de domaine public capable de décrire le comportement de composant analogique. L'amélioration des performances analogiques fut la raison de l'introduction en 1995 du modèle en inversion de charge EKV [54]. Depuis l'an 2000, beaucoup de modèles en potentiel de surface furent proposés, tel le HiSIM [55] de l'université d'Hiroshima, le MOS Model 11 de Philips et le SP de l'université de Pennsylvanie. Du fusionnement de ces deux derniers est né le modèle PSP, mis sur le domaine public en 2005 [56] et qui est à présent le nouveau modèle standard du CMC (Compact Model Council) et le successeur du BSIM.

### II.3 Différent types de modèles

Selon leurs formes et leurs bases de fondement, les modèles compacts pour MOSFET peuvent être classés en trois types essentiels [57] :

*Les modèles physiques.* Basés sur la physique du composant, ils décrivent des phénomènes spécifiques dans un transistor en utilisant des paramètres ayant une signification physique telle que la tension de bande plate ou la concentration du dopage du substrat, etc.

*Les modèles empiriques* [58-60]. Basés sur l'ajustement de courbe, ils peuvent utiliser n'importe quelle équation qui ajuste adéquatement les données, (ex, une fonction spline polynomiale ou cubique). Les paramètres dans un modèle empirique sont seulement des coefficients, des exposants, etc., n'ayant aucune signification physique, ils sont utilisés dans les expressions de d'ajustement de courbe. Les modèles empiriques peuvent être associés à des modèles physiques pour donner des modèles semi-empiriques plus fiables permettant de mettre en évidence la dépendance des paramètres des modèles physiques envers de

nouveaux mécanismes [59] et la modélisation de phénomènes difficilement modélisable analytiquement [60].

*Les modèles en tables* [61], [62]. Typiquement en forme de table contenant pour un large nombre de combinaisons de tensions appliquées, les valeurs du courant de drain (et dans quelque cas, les paramètres en petits signaux [62]). Dans ce cas, l'ordinateur recherche les valeurs concordantes au lieu de les calculer, et ainsi obtenir un gain de temps. Les valeurs stockées peuvent provenir soit de mesures, soit de simulateurs numériques. Dans un souci de précision, de larges tables de valeurs doivent être prévues en association avec des fonctions d'interpolation permettant le calcul des valeurs des points entre ceux stockés. Il existe des variantes où un moindre nombre de points sont stockés en plus des coefficients pour des fonctions d'interpolation extensives.

Les modèles empiriques et en table fournissent des valeurs indépendamment des phénomènes responsables de celles-ci. Ils peuvent être, développés rapidement, utilisés pour un certain nombre de technologies, et rapidement mis à jour. Cependant, un ajustement différent des paramètres des expressions empiriques, ou une table différente est nécessaire pour chaque combinaison de valeurs  $W$ ,  $L$ , de température ou de tension appliquée, car pour un changement d'un de ces paramètres, les modèles sont incapables de prédire les nouvelles valeurs. Cet inconvénient d'incapacité de prédiction s'étant en général pour tout changement de paramètres du transistor. En particulier, ces modèles ne peuvent pas être utilisés pour la modélisation statistique.

Les modèles statistiques sont essentiels lors de la conception de circuits intégrés pour assurer que les spécifications électriques déterminées à partir d'un modèle physique soient satisfaites, compte tenu des fluctuations ou des variations systématiques ou aléatoires dues au procédés de fabrication et qui peuvent modifier statistiquement certains paramètres du transistor, tel le dopage du substrat [63], l'épaisseur de l'oxyde [64], l'overlap et l'underlap de la grille [65], etc. On parle alors d'erreur globale qui affecte identiquement tous les transistors d'un même circuit, ou d'une erreur locale ou erreur d'appariement qui modifie différemment les caractéristiques électriques de chaque transistor. Cette erreur est

à l'origine de tous les défauts de symétrie, et ainsi génératrice de tensions de décalage, de courants de décalage, de distorsion harmonique, d'erreur sur les gains, etc., [66]. La modélisation statistique peut être utilisée pour orienter la conception dans le but d'améliorer le rendement, et permet d'étudier les disparités entre des composants identiquement disposés sur circuit, de telles études sont essentielles dans la conception de circuit analogique intégrés [67], [68].

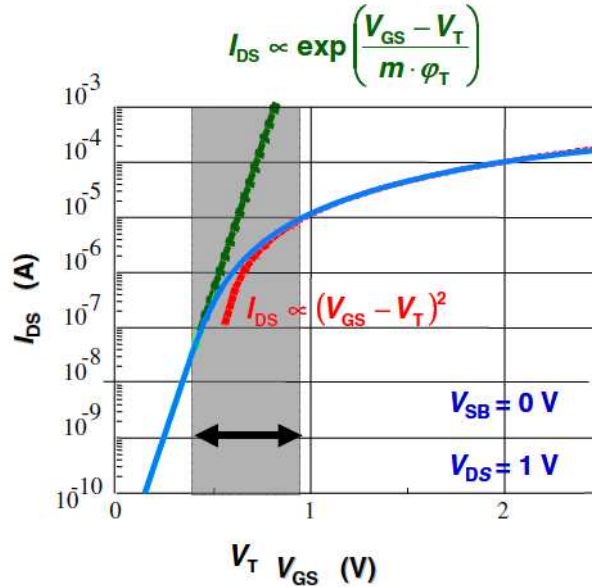
Les modèles physiques quant à eux, nécessitent beaucoup de temps pour le développement, en particulier si la technologie change significativement. Les bons modèles sont généralement complexes puisque ils doivent soigneusement tenir compte de plusieurs phénomènes qu'un modèle simple ignore et peuvent facilement contenir une quarantaine de paramètres en incluant toutes les régions opérationnelles. Cependant, un large nombre de paramètre peut donner une précision plus ou moins satisfaisante mais ne signifie pas que la physique du composant a été modélisée correctement, ce genre de modèle extensif nécessite un large ajustement empirique et ne possède pas une grande force de prédiction.

Toutefois, les modèles physiques présentent en contre partie, un atout majeur puisque les valeurs obtenues prennent en compte les paramètres géométriques et physiques du transistor. Donc une efficacité avérée qui néanmoins doit trouver un compromis entre précision, simplicité, et temps d'exécution. De plus, cette particularité permet une analyse statistique dans le but de prédire la gamme de performance attendue et le rendement pour des spécifications données, telle la prédiction statistique de la caractéristique I-V ou autre comportement du composant [69-71], puisque les modèles physiques peuvent utiliser les données sur les erreurs systématiques ou aléatoires des paramètres.

On distingue trois classes de modèles physiques, les modèles en tension de seuil, les modèles en potentiel de surface, et enfin les modèles en charge [44].

Dans les modèles en tension de seuil, le potentiel de surface est approximé par une simple fonction de la tension de grille, constante au dessus la tension de seuil et linéaire en tension de grille au dessous. Le but principal de ce modèle est

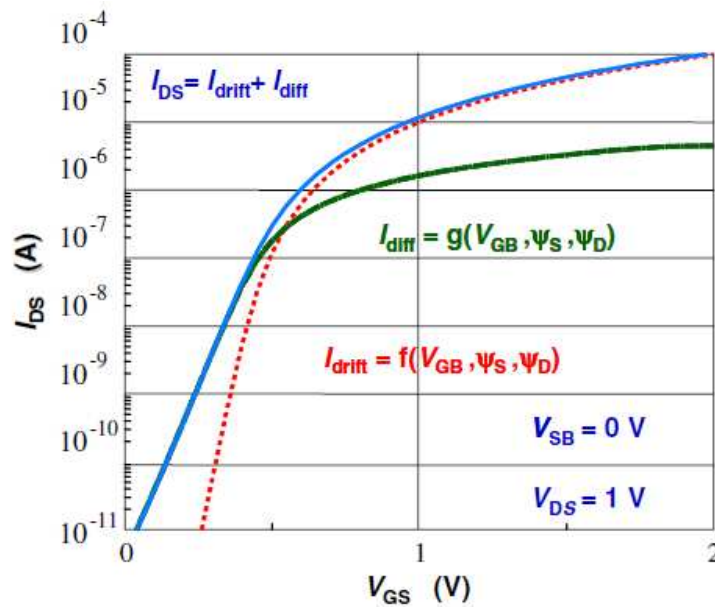
de trouver des formules de connexions qui joignent avec régularité les courbes I-V non intersectées du régime faible et forte inversion comme le montre la figure II.1.



**Figure II.1 : Principe du modèle en tension de seuil avec les deux parties du courant à joindre : la partie (exponentielle) sous le seuil et la partie (quadratique) du régime d'inversion, en gris, la zone d'intersection des deux parties [44].**

Dans les modèles en charge, l'équation de tension (tension versus potentiel de surface) est transformée en une approximation d'équation nœud de charge versus nœud de tension. Similairement, l'équation de courant (courant versus potentiel de surface et nœud de tension) peut être transformée en une approximation courant versus équation de nœud de charge. Ainsi, les nœuds de charge deviennent des variables indépendantes.

Les modèles en potentiel de surface résolvent le potentiel de surface aux limites du canal. Les charges terminales, courants et dérivées sont ensuite calculés à partir du potentiel de surface. Ces modèles introduisent le courant de dérive et le courant de diffusion produisant une description précise dans toutes les régions d'opérations incluses dans les régimes d'inversion modérée et d'accumulation (Fig II.2).



**Figure II.2 : Représentation des deux composantes du courant total : le courant de dérive et de diffusion calculés par le modèle en potentiel de surface en fonction des tensions de polarisation [44].**

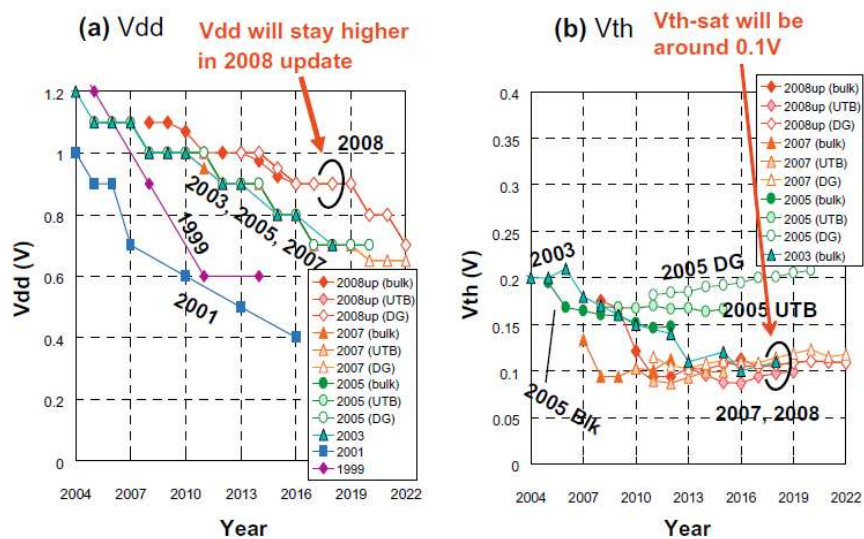
L'approche en charges et en tension de seuil sont des cas spéciaux et simplifiés de l'approche en potentiel de surface. Cette dernière est la plus proche de la physique du transistor, mais la complexité des mathématiques et le temps important de simulation ont entravé l'utilisation de ces modèles jusqu'à la moitié des années 1990.

En ce temps, les modèles en tension de seuil sont devenus plus complexes de par l'introduction des effets submicroniques profonds, les ordinateurs sont devenus plus performants et de nouvelles techniques mathématiques ont été développées pour simplifier les équations du potentiel de surface, telle la méthode de linéarisation symétrique [72].

#### II.4 Challenge de la modélisation

La voie de l'intégration et de la miniaturisation empruntée par les constructeurs a créé une évolution du procédé et de la physique des transistors, une évolution qui doit être suivie de près par une adaptation conséquente de la modélisation compacte. A 90 nanomètres et moins, les difficultés de conception

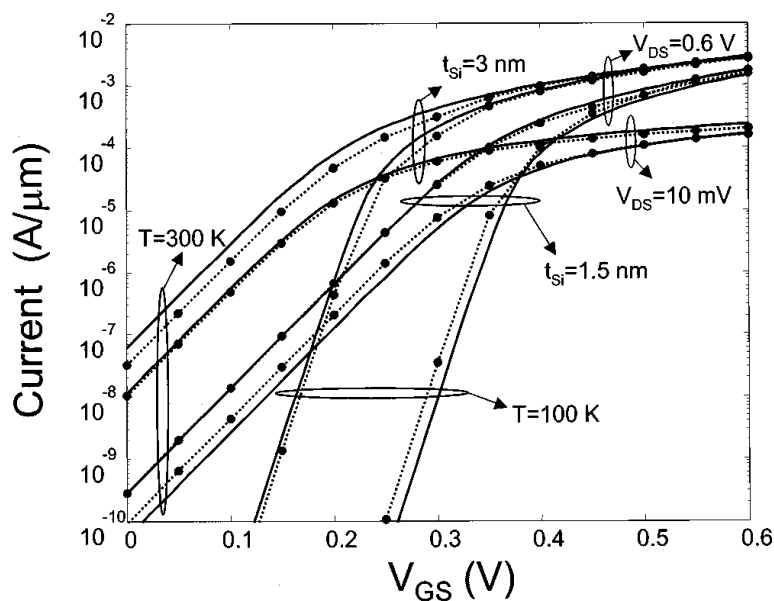
s'accroissent, et les nouveaux obstacles de modélisation d'un degré d'influence variable deviennent critiques pour produire une précision d'analyse et d'implémentation du silicium [73]. Il est clair que pour une miniaturisation des composants, l'épaisseur d'oxyde et le niveau de tension doivent aussi être réduits (Fig II.3). A ce niveau d'échelle, on commence à voir l'apparition des phénomènes tels que l'injection thermique et l'effet tunnel quantique qui causent une perte des propriétés d'isolation des barrières électriques, des fuites plus importantes et une réduction de la vitesse.



**Figure II.3: Tendances des différentes versions de l'ITRS (mise à jour 2008  $L_g = 32\text{nm}$ ): (a) tension d'alimentation (b) tension de seuil [74].**

Plus loin encore, vers 50 nanomètres et moins, le changement de procédés et l'impact des imperfections des masques devient important. Le mécanisme de transport n'est pas forcément dominé par le mécanisme de dérive-diffusion. Il est possible que le transport balistique ou quasi-balistique opère, les modèles adéquats de structures nanométriques doivent considérer ces deux régimes [75-77]. Le principal défi de la modélisation du transport est de développer une formulation de modèles qui permettent d'orienter le courant vers l'expression en régime balistique pour une longueur de canal nanométrique et vers l'expression en dérive-diffusion pour de plus grandes longueurs [78].

Pour des films de largeur inférieure à 10 nanomètres, le confinement quantique dans le film peut ne plus être négligeable. Les contributions des sous bandes doivent être considérées dans l'équation du courant de drain. Les effets quantiques affectent la distribution des charges dans le film et par conséquent, la tension de seuil (augmentation de la tension de seuil dans les composants à canal N). Quelques récents modèles qui considèrent la structure des bandes ont été récemment présentés. A de très basses températures, le confinement quantique des charges devient plus important, ceci affecte l'allure de la caractéristique transconductance de et de transfert [79] (Fig II.4).



**Figure II.4: caractéristique de transfert d'un transistor double grille à puits quantiques d'épaisseur de film de 3 et 1.5 nm à une température de 100 et 300°k [79].**

## II.5 Conclusion

Dans ce chapitre, l'intérêt de la modélisation compacte pour la simulation et la conception des circuits a été discuté, notamment des modèles physiques qui offrent l'avantage d'inclure les paramètres physiques et géométriques du transistor et de tenir compte de plusieurs phénomènes qu'un modèle empirique ou en table n'est pas en mesure d'incorporer. Les modèles physiques permettent aussi une analyse statistique dans le but de prédire et d'améliorer la performance et le rendement des transistors.

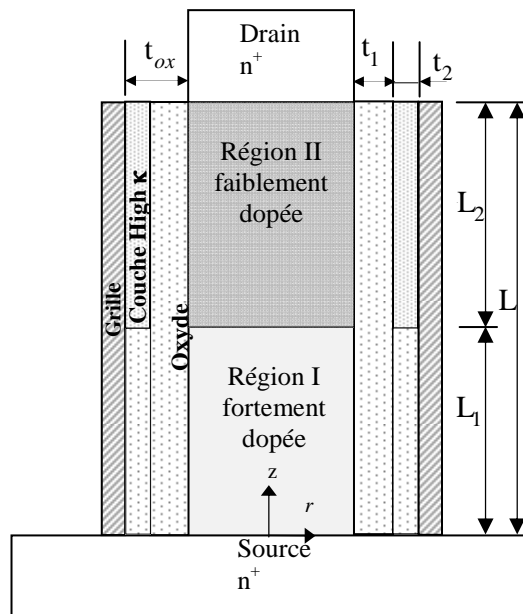
**CHAPITRE III**  
**MODELISATION ANALYTIQUE**  
**DU VSG MOSFET**

### III.1 Introduction

Ce chapitre verra le développement d'un modèle analytique de la tension de seuil, du courant et de la pente de sous le seuil, basé sur la physique du transistor vertical à grille cylindrique, et unifié pour les structures conventionnelles et avancées qui inclue une couche d'isolant à haute permittivité et un canal à dopage graduel.

### III.2 Dérivation du modèle

La figure ci dessous montre la structure considérée dans ces travaux, un transistor vertical à grille cylindrique dont le canal graduellement dopé, est divisé en deux régions, une première fortement dopée du coté de la source, et une seconde faiblement dopée du coté du drain. Une couche d'isolant à haute permittivité est introduite entre la grille et l'oxyde pour créer une pile d'oxyde de grille.



**Figure III.1: Coupe droite du transistor considérée dans ces travaux.**

En ce référant à cette figure, on assume une uniformité du dopage dans le canal et en négligeant l'influence des porteurs charge, l'équation du potentiel électrostatique du canal en coordonnées cylindriques s'écrit

$$\text{Région I:} \quad \frac{\partial^2 \psi(z, r)}{\partial r^2} + \frac{1}{r} \cdot \frac{\partial \psi(z, r)}{\partial r} + \frac{\partial^2 \psi(z, r)}{\partial z^2} = \frac{qN_{AH}}{\epsilon_{Si}} \quad (\text{III.1a})$$

$$\text{Région II:} \quad \frac{\partial^2 \psi(z, r)}{\partial r^2} + \frac{1}{r} \cdot \frac{\partial \psi(z, r)}{\partial r} + \frac{\partial^2 \psi(z, r)}{\partial z^2} = \frac{qN_{AL}}{\epsilon_{Si}} \quad (\text{III.1b})$$

Par la satisfaction de la continuité de la composante normal du déplacement électrique à l'interface Si-SiO<sub>2</sub>, et du potentiel aux jonctions drain et source, les conditions aux limites du potentiel pour les deux régions sont déterminées ainsi

$$C_{ox1} [V_g^* - \psi_1(z, r = \pm a)] = \epsilon_{Si} \left. \frac{\partial \psi_1(z, r)}{\partial r} \right|_{r=a} \quad (\text{III.2a})$$

$$\text{où } C_{ox1} = \frac{2\epsilon_{ox}}{t_{si} \ln(1 + 2t_{ox}/t_{si})} \quad \text{et } a = \frac{t_{si}}{2}$$

$$\psi_1(z = 0, r) = V_{bi} \quad (\text{III.2b})$$

$$\psi_1(z = L, r) = V_{bi} + V_{ds} + V_{p1} \quad (\text{III.2c})$$

$$C_{ox2} [V_g^* - \psi_2(z, r = \pm a)] = \epsilon_{Si} \left. \frac{\partial \psi_2(z, r)}{\partial r} \right|_{r=a} \quad (\text{III.2d})$$

$$\text{où } C_{ox2} = \frac{2\epsilon_{ox}}{t_{si} \ln(1 + 2t_{oxeff}/t_{si})}$$

$$\psi_2(z = 0, r) = V_{bi} + V_{p2} \quad (\text{III.2e})$$

$$\psi_2(z = L, r) = V_{bi} + V_{ds} \quad (\text{III.2f})$$

Dans ces équations,  $t_{si}$  et  $t_{ox}$  représentent respectivement l'épaisseur du canal et de l'oxyde,  $t_{oxeff}$  représente l'épaisseur effective de la pile d'oxyde définie par  $t_1 + t_2 (\epsilon_1/\epsilon_2)$  (fig III.1),  $C_{ox}$  et  $\epsilon_{ox}$  sont respectivement la capacité effective et la permittivité de l'oxyde.  $V_{bi}$  est la tension créée entre le drain ou la source et le silicium intrinsèque et s'exprime par  $V_{bi} = (kT/q) \ln(N_D/n_i)$  et enfin  $V_g^*$  représente la tension effective de la grille introduite pour simplifier les notations

et est définie par  $V_g^* = V_{F,eff} = V_{B,eff} = V_{gs} - \Phi_{MS}$ , où  $V_{gs}$  est la tension appliquée à la grille et  $\Phi_{ms}$  est la différence de potentiel entre le métal et le semi-conducteur.  $V_{p1}$  et  $V_{p2}$  sont des termes ajoutés aux conditions aux limites pour relier les expressions du potentiel des deux régions.

Pour résoudre l'équation du potentiel électrostatique, celle-ci doit être décomposée en deux, une première composante unidimensionnelle  $V(r)$  qui satisfait l'équation de Poisson, et une seconde composante bidimensionnelle  $U(r,z)$  qui satisfait l'équation de Laplace.

$$\psi_i(z, r) = V_i(r) + U_i(z, r) \quad (\text{III.3})$$

avec  $i=1,2$ . respectivement pour les deux régions, et de (III.1a-b) l'équation des deux composantes s'écrit

$$\frac{\partial^2 U_i(z, r)}{\partial r^2} + \frac{1}{r} \cdot \frac{\partial U_i(z, r)}{\partial r} + \frac{\partial^2 U_i(z, r)}{\partial z^2} = 0 \quad (\text{III.4a})$$

$$\frac{\partial^2 V_i(r)}{\partial r^2} + \frac{1}{r} \cdot \frac{\partial V_i(r)}{\partial r} = \frac{qN_{Ai}}{\epsilon_{Si}} \quad (\text{III.4b})$$

La solution la plus exacte de l'équation de Laplace en coordonnées cylindriques s'exprime en série de Bessel-Fourier, et pour les conditions aux limites précédentes, la solution des équations (III.1a) et (III.1b) s'exprime par

$$\begin{aligned} \psi_i(z, r) = & \underbrace{V_g^* + \frac{qN_{Ai}}{4\epsilon_{Si}} r^2 - \frac{qN_{Ai}}{16\epsilon_{Si}} t_{Si}^2 - \frac{qN_{Ai}}{4C_{oxi}} t_{Si}}_{\text{Solution 1D de l'équation de Poisson}} \\ & + \underbrace{\sum_{n=1}^{\infty} \frac{J_0(\lambda_{in} r)}{\sinh(\lambda_{in} L)} [A_{in} \sinh(\lambda_{in} (L - z_i)) + B_{in} \sinh(\lambda_{in} z_i)]}_{\text{Solution de l'équation 2D de Laplace}} \end{aligned} \quad (\text{III.5})$$

avec  $0 \leq z_1 \leq L_1$ ,  $L_1 \leq z_2 \leq L$ ,  $A_n$  et  $B_n$  sont les coefficients de la série Bessel-Fourier, et s'expriment par (voir annexe-A) :

$$A_{in} = p_{in} \left( \psi_i(z=0, a) - V_g^* + \frac{qN_{Ai}}{4C_{oxi}} t_{Si} + \frac{qN_{Ai}}{4\epsilon_{Si}} t_{Si}^2 \right) - \left( \frac{qN_{Ai}}{4\epsilon_{Si}} \right) \left( \frac{2J_2(\lambda_{in}a) - \lambda_{in}a J_3(\lambda_{in}a)}{\lambda_{in}^2 J_0^2(\lambda_{in}a)(1+C_i^2/\lambda_{in}^2)} \right) \quad (\text{III.6a})$$

$$B_{in} = p_{in} \left( \psi_i(z=L, a) - V_g^* + \frac{qN_{Ai}}{4C_{oxi}} t_{Si} + \frac{qN_{Ai}}{4\epsilon_{Si}} t_{Si}^2 \right) - \left( \frac{qN_{Ai}}{4\epsilon_{Si}} \right) \left( \frac{2J_2(\lambda_{in}a) - \lambda_{in}a J_3(\lambda_{in}a)}{\lambda_{in}^2 J_0^2(\lambda_{in}a)(1+C_i^2/\lambda_{in}^2)} \right) \quad (\text{III.6b})$$

$$\text{où } p_{in} = \frac{2J_1(\lambda_{in}a)}{\lambda_{in}a J_0^2(\lambda_{in}a)(1+C_i^2/\lambda_{in}^2)} \quad (\text{III.6c})$$

$$C_i = \frac{C_{oxi}}{\epsilon_{Si}} \quad (\text{III.6d})$$

$J_0, J_1, J_2$  et  $J_3$  sont les fonctions de Bessel respectivement d'ordre 0, 1, 2 et 3.  $\lambda_1$  et  $\lambda_2$  sont les racines de l'équation

$$\frac{\lambda_{in}}{C_i} = \frac{J_0(\lambda_{in}a)}{J_1(\lambda_{in}a)} \quad (\text{III.6e})$$

Le développement en série, notamment en série de Bessel-Fourier ne permet pas la détermination du potentiel crée à la limite des deux régions sans perdre l'allure de la courbe du potentiel dans le canal, ceci explique l'usage de deux termes  $V_{p1}$  et  $V_{p2}$  au lieu d'un seul. Pour déterminer ces termes, nous devons résoudre le système à deux équations composé de la condition de continuité du potentiel  $\psi_{s1}|_{z=L_1} = \psi_{s2}|_{z=L_1}$  et de continuité du champ  $\frac{\partial \psi_{s1}}{\partial z}|_{z=L_1} = \frac{\partial \psi_{s2}}{\partial z}|_{z=L_1}$  à la limite

des deux régions.

### III.3 Dérivation de la tension de seuil

La tension de seuil est déterminée à partir de l'expression du potentiel de surface en utilisant la condition suivante

$$\psi_{S \min}|_{V_{gs}=V_{th}} = 2.\phi_B \quad (\text{III.7})$$

où  $\Phi_B$  représente la différence entre le niveau de fermi et le niveau intrinsèque du substrat et est égale à  $\phi_B = (kT/q)\ln(N_A/n_i)$ .  $\psi_{Smin}$  représente le minimum du potentiel de surface appelée aussi cathode virtuelle, sa localisation sur l'axe (z) peut être analytiquement obtenue par la résolution de l'équation  $d\psi_{s,1,2}(z)/dz = 0$  pour obtenir l'expression suivante

$$z_{i\min} = \frac{L}{2} + \frac{1}{2\lambda_{i1}} \ln \left( \frac{B_{i1}e^{-\lambda_{i1}L} - A_{i1}}{A_{i1}e^{-\lambda_{i1}L} - B_{i1}} \right) \quad (\text{III.8})$$

Il est à noter cependant que le minimum du potentiel de surface entre deux régions est défini comme  $\psi_{s\min} = \min(\psi_{s1\min}, \psi_{s2\min})$ .

Enfin la solution de la tension de seuil est déterminée par résolution d'une équation cubique obtenue à partir de l'équation (III.7) pour arriver à l'expression analytique qui suit

$$V_{thi} = \frac{A'_{i1} - \eta}{p_{i1}} \quad (\text{III.9})$$

où

$$A'_{i1} = A_{i1}|_{V_{gs}} = 0$$

$$\eta = \frac{-\eta_2 + \sqrt[3]{\mu + \sqrt{\mu^2 + \nu^3}} + \sqrt[3]{\mu - \sqrt{\mu^2 + \nu^3}}}{3\eta_3}$$

$$\mu = -\frac{27}{2}\eta_1^2\eta_4 + \frac{9}{2}\eta_1\eta_2\eta_3 - \eta_2^2$$

$$\nu = 3\eta_1\eta_3 - \eta_2^2$$

$$\eta_1 = \frac{1}{p_{i1}} + 2J_0(\lambda_{i1}a) \frac{\sinh(0.5\lambda_{i1}L)}{\sinh(\lambda_{i1}L)}$$

$$\eta_2 = -\frac{qN_{Ai}}{4C_{oxi}}t_{Si} - V_{fb} + \frac{A'_{i1}}{p_{i1}} - 2\phi_{Bi} - p_{i1}(V_{ds} + V_{pi}) \left( J_0(\lambda_{i1}a) \frac{\sinh(0.5\lambda_{i1}L)}{\sinh(\lambda_{i1}L)} \right)$$

$$\eta_3 = (p_{i1}(V_{ds} + V_{pi}))^2 \frac{J_0(\lambda_{i1}a)}{\sinh(\lambda_{i1}L)} \left( \frac{1}{4} \sinh(0.5 \cdot \lambda_{i1}L) - \frac{1}{2} \cosh(0.5 \cdot \lambda_{i1}L) \right)$$

$$\eta_4 = \frac{1}{16} (-p_{i1}(V_{ds} + V_{pi}))^3 \frac{J_0(\lambda_{i1}a)}{\sinh(\lambda_{i1}L)} (3 \exp(0.5 \cdot \lambda_{i1}L) + \exp(-0.5 \cdot \lambda_{i1}L))$$

$$V_{pi} = \begin{cases} V_{p1} & \text{for } i=1 \\ -V_{p2} & \text{for } i=2 \end{cases}$$

Une fonction d'ajustement de la tension de grille tel que  $V_g^* = 2\phi_B \cdot [1 + 0.05(L_2\lambda_{21}/L_1\lambda_{11})]$  peut être utilisée afin de déterminer la valeur des termes additionnels  $V_{p1}$  et  $V_{p2}$  dépendants de  $V_{gs}$ .

### III.4 Calcul du courant de sous le seuil

Une expression analytique explicite du courant en régime sous le seuil peut être obtenue à partir de la procédure proposée pour les FDSOI MOSFETs [80], reprise ensuite pour les FinFETs [81], et enfin l'approche suivie dans ce travail, celle adaptée pour les IDG MOSFETs [82]. Dans le régime faible inversion, le courant est essentiellement dominé par la diffusion et est proportionnel à la concentration des électrons au niveau de la cathode virtuelle  $n_{min}(r)$  obtenue en utilisant l'approximation de Boltzmann comme  $n_{min}(r) = (n_i^2/N_A) e^{\psi_{min}(r)/V_t}$ , ce qui mène à l'expression de la densité du courant tel que [82] :

$$J_n = qD_n \frac{n_{min}(y)}{L_e} (1 - e^{-V_{ds}/V_t}) \quad (\text{III.10})$$

où  $D_n$  est la constante de diffusion,  $L_e$  est la longueur effective du canal,  $q$  est la charge de l'électron et  $V_t$  est la tension thermique.

La longueur effective du canal est obtenue en considérant la pénétration latérale dans le canal de la zone de déplétion associée à la source ( $L_s$ ) et au drain ( $L_d$ ) et s'exprime par :

$$L_e = L - L_s - L_d - 2L_D \quad (\text{III.11})$$

$L_D$  représente la longueur de Debye, et dans notre cas la longueur effective et les longueurs associées s'écrivent :

$$L_{e1} = L_1 - L_s - L_{D1}$$

$$L_{e2} = L_2 - L_d - L_{D2}$$

$$L_s = \frac{2(V_{bi} - \psi_m)}{|\partial\psi_1/\partial z|_{z=0}} = \frac{2(V_{bi} - \psi_m)}{\sum_{n=1}^{\infty} \frac{J_0(\lambda_{1n}a)}{\sinh(\lambda_{1n}L)} (A_{1n} \sinh(\lambda_{1n}L))}$$

$$L_d = \frac{2(V_{bi} + V_{ds} - \psi_m)}{|\partial\psi_2/\partial z|_{z=L}} = \frac{2(V_{bi} + V_{ds} - \psi_m)}{\sum_{n=1}^{\infty} \frac{J_0(\lambda_{2n}a)}{\sinh(\lambda_{2n}L)} (B_{2n} \sinh(\lambda_{2n}L))}$$

$$L_{Di} = \sqrt{\frac{\epsilon_{si} kT}{q^2 N_{Ai}}}$$

où  $\psi_m = \psi_{\min}(r_m)$ .  $r_m$  représente la localisation du minimum du potentiel dans tout le canal et peut être obtenue par résolution de l'équation  $d\psi_{\min}(r)/dr = 0$ , à noter que  $\psi_{\min}$  est défini comme étant le minimum du potentiel 2D sur l'axe ( $z$ ) suivant la condition  $d\psi_{2D}(z, r)/dz = 0$ , et puisque dans notre cas la structure est symétrique,  $r_m = 0$ . Enfin, en intégrant l'équation (III.10) sur toute la largeur de la structure, on obtient le courant de drain comme

$$I_{DS} = K \int_{-t_{si}/2}^{t_{si}/2} e^{\frac{\psi_{\min}(r)}{V_i}} dr = K \left[ \int_{-t_{si}/2}^{r_m} e^{\frac{\psi_{\min}(r)}{V_i}} dr + \int_{r_m}^{t_{si}/2} e^{\frac{\psi_{\min}(r)}{V_i}} dr \right] = 2K \int_0^{t_{si}/2} e^{\frac{\psi_{\min}(r)}{V_i}} dr \quad (\text{III.12})$$

avec  $K = (q\mu_n \pi V_i n_i^2 / L_e N_A)(1 - e^{-V_{DS}/V_i})$ . Dans le but d'évaluer analytiquement l'intégral (III.12), la variation de  $\psi_{\min}(r)$  et considérée comme étant linéaire de  $\psi_m^s = \psi_{\min}(t_{si}/2)$  à  $\psi_m$  [82], ce qui correspond à un champ électrique constant  $E = (\psi_m^s - \psi_m)/(r_m + t_{si}/2) = (\psi_m^s - \psi_m)/(t_{si}/2)$  qui simplifie la solution de l'intégrale à :

$$I_{DS} = 2K \int_0^{t_{si}/2} e^{\frac{\psi_{\min}(r)}{V_t}} dr = \frac{2KV_t}{E} \left[ e^{\frac{\psi_m}{V_t}} - e^{\frac{\psi_m^s}{V_t}} \right] \quad (\text{III.13})$$

### III.5 Calcul de l'inverse de la pente de sous le seuil

Toujours en considérant la proportionnalité du courant à la concentration des électrons au niveau de la cathode virtuelle  $n_{\min}(r)$  qui pour rappel est obtenue en utilisant l'approximation de Boltzmann comme  $n_{\min}(r) = (n_i^2/N_A) e^{\psi_{\min}(r)/V_t}$ , l'inverse de la pente de sous le seuil est défini par [78] :

$$S = \frac{\partial V_{gs}}{\partial \log I_{ds}} = V_t \ln(10) \left[ \frac{\int_0^{t_{si}/2} e^{\frac{\psi_{\min}}{V_t}} \frac{\partial \psi_{\min}}{\partial V_{gs}} dr}{\int_0^{t_{si}/2} e^{\frac{\psi_{\min}}{V_t}} dr} \right]^{-1} \quad (\text{III.14})$$

Hélas, il est quasi impossible d'obtenir une solution analytique pour cette intégrale, nous nous tournons donc vers une approximation simplificatrice [83] de l'équation III.14 tel que :

$$S = V_t \ln(10) \left[ \frac{\partial \psi_{s \min}}{\partial V_{gs}} \right]^{-1} \quad (\text{III.15})$$

La solution de cette équation est exprimée par les équations suivantes, à noter que l'indice  $i$  est égale à 1 ou 2 suivant la localisation du minimum du potentiel de surface dans la première ou la seconde région

$$S = V_t \ln(10) / S_d \quad (\text{III.16a})$$

$$S_d = 1 + \sum_{n=1}^{\infty} -\frac{1}{2} p_{in} \frac{J_0(\lambda_{in} a)}{\sinh(\lambda_{in} L)} \left( (1 + A_{in}/B_{in}) \sinh(\lambda_{in} (L - z_{i \min})) \right) + (1 + B_{in}/A_{in}) \sinh(\lambda_{in} z_{i \min}) \quad (\text{III.16b})$$

### **III.6 Conclusion**

La série Bessel-Fourier représente la solution 2D la plus complète de l'équation de Poisson en coordonnées cylindrique. Cette solution a permis le développement d'un modèle analytique explicite de la tension de seuil incluant les paramètres physiques du transistor. Une expression explicite du courant de sous le seuil a été obtenue, essentiellement à partir de l'approximation de Boltzmann sur la concentration des électrons au niveau de la cathode virtuelle.

**CHAPITRE IV**  
**RESULTATS ET DISCUSSIONS**

## IV.1 Introduction

Nous allons à présent discuter la validité de notre modèle en partant de la solution de l'équation de Poisson et du potentiel de surface qui représente la première étape du modèle et qui donc, doit être la plus exacte possible. Nous étudierons ensuite la validité du modèle de la tension de seuil en utilisant une nouvelle approche de détermination de la condition de seuil. Nous poursuivrons avec la validation de l'expression du courant de sous le seuil et du modèle l'inverse de la pente sous seuil. Nous aborderons l'apport de la couche à haute permittivité et du dopage graduel dans le transistor VSG et l'impacte des paramètres physiques, géométriques et électriques sur la performance du transistor en incluant l'effet DIBL et Roll-off.

## IV.2 Outil de simulation numérique

L'usage d'outil de simulation numérique est essentiel pour vérifier les modèles analytiques, notamment en absence de base de données expérimentale. Notre choix s'est porté sur le progiciel ATLAS de SILVACO, qui est un outil de simulation et de caractérisation électrique des structures semi-conducteurs 2D et 3D, basé sur la physique des semi-conducteurs [84].

Le progiciel ATLAS dispose d'une multitude de modèles physiques des semi-conducteurs couvrant presque la généralité des phénomènes connus de la physique classique et quantique, tels les modèles de transport (dérive-diffusion, énergie-balance, hydrodynamique et quantique), de recombinaison (Auger, radiative, en surface et Shockly-Read-Hall), ou de mobilité (Arora, Yamaguchi, Klaassen, Dhirahata, etc.).

ATLAS dispose aussi de méthodes numériques d'itération non-linéaire (Newton, Gummel et Block) qui peuvent être utilisées séparément ou en combinaison pour des simulations spécifiques à chaque type de structure et de semi-conducteur, il est aussi possible de régler le nombre d'itérations et les critères de convergences.

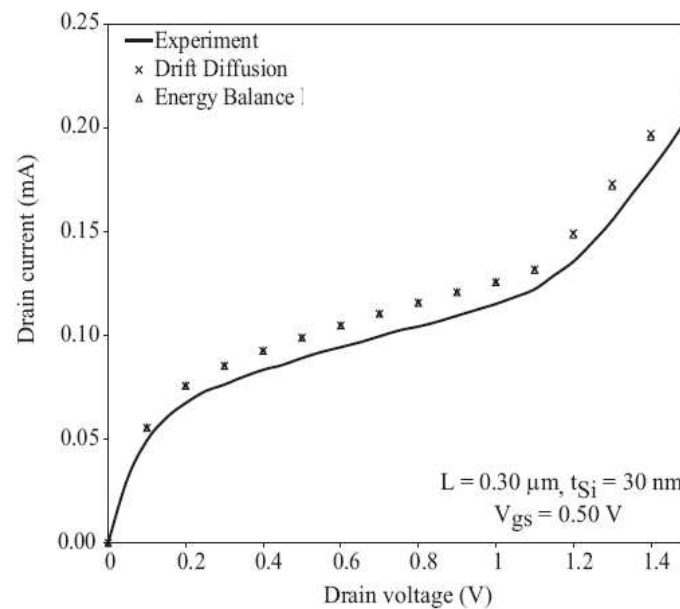
Vu la simplicité de notre modèle analytique, il en va de même pour le choix des modèles pour la simulation (voir annexe-B). Ainsi le plus simple des

modèles de transport est celui de dérive-diffusion, qui permet une approximation de la densité du courant dans l'équation de continuité à partir d'une dérivée de l'équation de transport de Boltzmann. La forme la plus conventionnelle des équations de courant de dérive-diffusion est comme suit :

$$\vec{J}_n = qn\mu_n\vec{E}_n + qD_n\nabla n \quad (\text{IV.1a})$$

$$\vec{J}_p = qp\mu_p\vec{E}_p - qD_p\nabla p \quad (\text{IV.1b})$$

Le modèle de dérive-diffusion est plus approprié pour les transistors de longueur supérieur à  $1\mu\text{m}$ . Pour des structures submicroniques, l'approximation obtenue devient moins précise, en effet, le modèle ne prend pas en considération les effets non-locaux tel le transport non-stationnaire des porteurs et sous estime le courant de fonctionnement des transistors à canal court [15]. Dans ce cas, le modèle d'énergie-balance ou hydrodynamique sont plus préférable. Néanmoins la différence entre ces derniers et le modèle de dérive-diffusion n'est pas très importante dans le cas de simple simulation comme le montre la courbe I-V suivante.



**Figure IV.1: Courbe  $I_{ds}$ - $V_{ds}$  d'un nMOSFET SOI avec  $t_{Si}=30\text{nm}$  et  $L=0.30\mu\text{m}$  montrant les différences de simulation en utilisant les modèles de dérive-diffusion et d'énergie-balance pour  $V_{gs}=0.5\text{V}$  [14].**

Pour la mobilité, notre choix s'est porté sur le modèle dit Analytique basé sur les travaux de Caughey et Thomas, qui décrit la mobilité pour les faibles champs, dépendant du dopage et de la température suivant les équations suivantes:

$$\mu_{n0} = \mu_{n1} \left( \frac{T_L}{300} \right)^{\alpha_n} + \frac{\mu_{n2} \left( \frac{T_L}{300} \right)^{\beta_n} - \mu_{n1} \left( \frac{T_L}{300} \right)^{\alpha_n}}{1 + \left( \frac{T_L}{300} \right)^{\gamma_n} \cdot \left( \frac{N}{N_{crit_n}} \right)^{\delta_n}} \quad (\text{IV.2a})$$

$$\mu_{p0} = \mu_{p1} \left( \frac{T_L}{300} \right)^{\alpha_p} + \frac{\mu_{p2} \left( \frac{T_L}{300} \right)^{\beta_p} - \mu_{p1} \left( \frac{T_L}{300} \right)^{\alpha_p}}{1 + \left( \frac{T_L}{300} \right)^{\gamma_p} \cdot \left( \frac{N}{N_{crit_p}} \right)^{\delta_p}} \quad (\text{IV.2b})$$

où  $N$  est la concentration locale des impuretés et  $T_L$  la température du réseau en Kelvin.

Nous utiliserons la distribution de Boltzmann pour définir la statistique des porteurs de charge en équilibre thermique où la probabilité d'occupation d'un état d'énergie  $\varepsilon$  par un électron est

$$f(\varepsilon) = \exp\left(\frac{E_F - \varepsilon}{kT_L}\right) \quad (\text{IV.3})$$

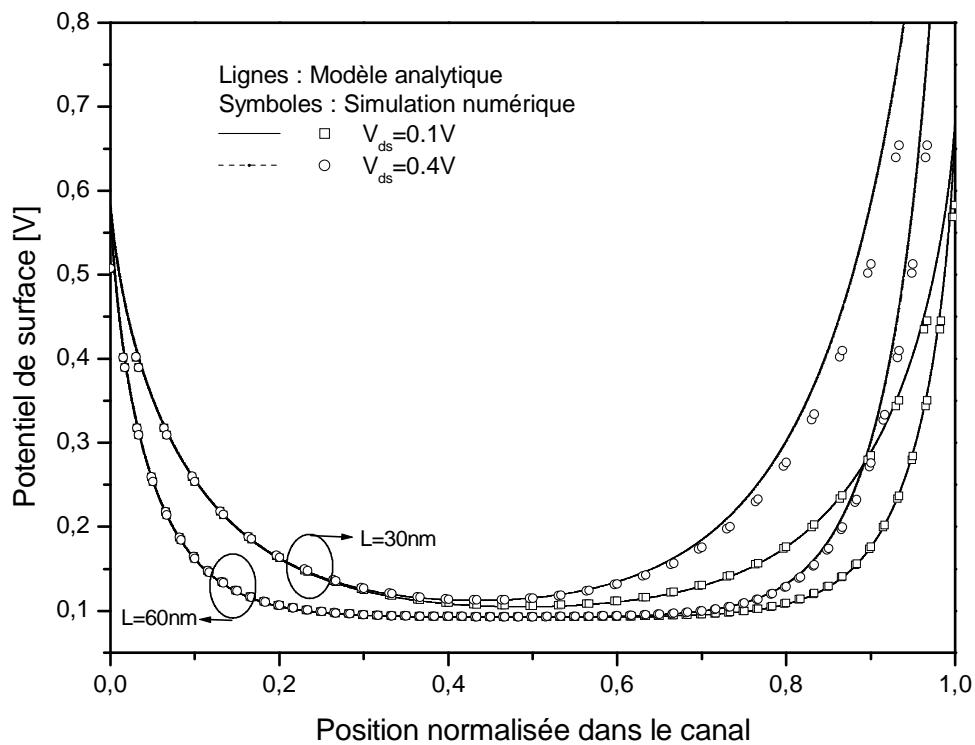
où  $E_F$  représente le niveau de Fermi. A noter que la statistique de Boltzmann intervient dans le calcul de la densité effective d'états et dans le modèle de dérive-diffusion.

Pour ce qui est de la méthode numérique, nous utiliserons la combinaison des deux méthodes Newton et Gummel, qui est la plus appropriée pour la simulation des structures SOI [84], où le potentiel dans le canal est considéré comme flottant puisque cette région n'est connectée à aucune électrode, en conséquence, l'estimation initiale de la solution est faible avec une possibilité d'avoir un problème de convergence.

### IV.3 Validation du modèle analytique

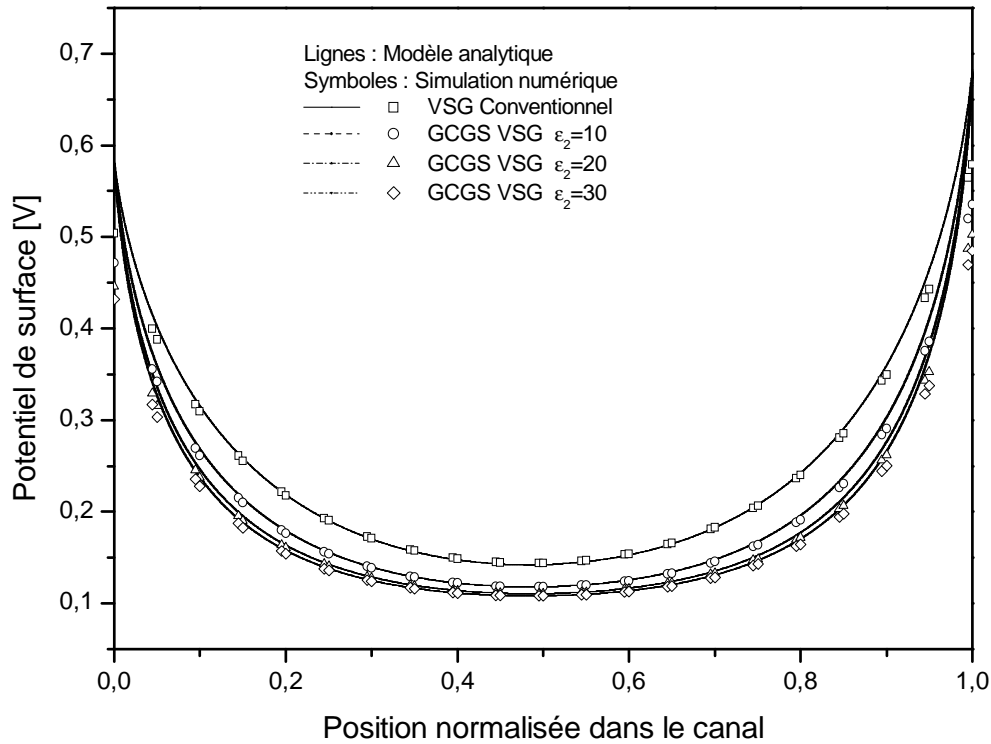
#### IV.3.1 Potentiel de surface

La figure ci-dessous montre la variation du potentiel de surface tout au long du canal pour des longueurs normalisées et différentes valeurs de  $V_{ds}$ . Afin d'obtenir une bonne précision on prend en compte les 30 premiers termes de la série Bessel-Fourier, il est essentiel de prendre plusieurs termes jusqu'à l'obtention de valeurs assez proches de celles des conditions aux limites  $V_{bi}$  et  $V_{bi}+V_{ds}$ . On observe alors l'effet DIBL sur les canaux courts causant ainsi une augmentation du potentiel minimum dans le canal, et de ce fait, une diminution de la barrière d'énergie et de la tension de seuil.



**Figure IV.2: Variation du potentiel de surface suivant la position normalisée dans le canal pour différentes longueurs et différents  $V_{ds}$ .**

Dans la figure (IV.3), la variation du potentiel de surface est décrite pour différentes valeurs de high-K. On déduit alors l'intérêt de la pile d'oxyde qui cause un abaissement du potentiel minimum relatif à la valeur de permittivité venant ainsi réduire l'effet de percement.

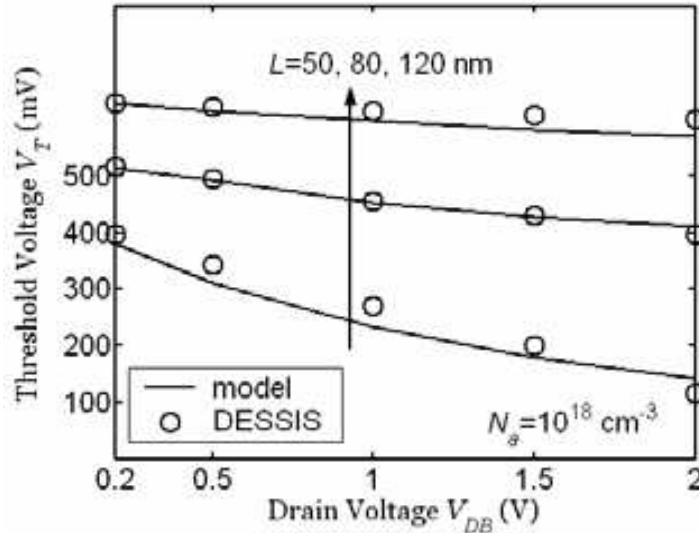


**Figure IV.3: Variation du potentiel de surface suivant la position normalisée dans le canal pour différentes valeurs de high-K avec  $L_g=20\text{nm}$ ,  $T_{\text{ox}1}=0.5\text{nm}$ ,  $T_{\text{ox}2}=1\text{nm}$ ,  $T_{\text{si}}=10\text{nm}$ ,  $N_{\text{AL}}=1.10^{15}\text{cm}^{-3}$ ,  $N_{\text{AH}}=5.10^{16}\text{cm}^{-3}$ ,  $V_{\text{fb}}=-0.0915\text{V}$ ,  $V_{\text{ds}}=0.1\text{V}$ ,  $V_{\text{gs}}=0\text{V}$ ,  $\Phi_{\text{m}}=4.63\text{V}$ .**

### IV.3.2 Tension de seuil et Roll-off

La définition de la tension de seuil basée sur le potentiel de surface est la tension de la grille à la quelle la courbure de bande à l'interface atteint  $2\Phi_B$  [85]. Une définition conventionnelle satisfaisante pour les structures à canal long moyennement et fortement dopée ( $\geq 10^{16}$ ). Cependant, les simulations ont montré un accoissement de l'erreur dans la détermination de la tension de seuil pour les

canaux ultra courts (fig IV.4). Il est donc impératif de réviser le modèle analytique pour avoir la description la plus précise, et de revoir la condition de définition de la tension de seuil.

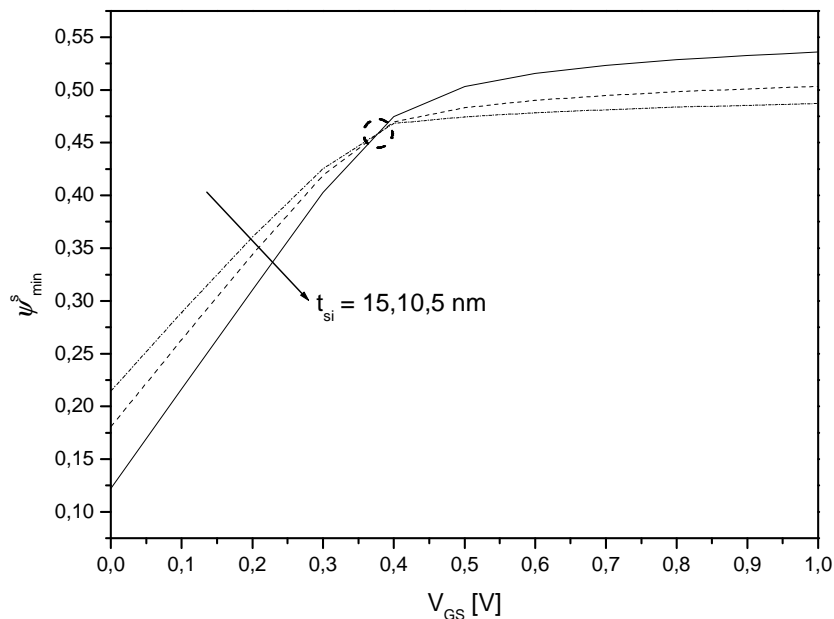


**Fig. IV.4** Tension de seuil en fonction de  $V_{ds}$  pour différentes longueurs [86].

Dans ce qui suit, nous axerons vers la revalorisation de la tension à laquelle le potentiel de surface atteint le point d'actionnement du transistor (turn-on). Plusieurs travaux [57], [87-90] ont proposé de nouvelles expressions extrapolées des résultats de simulations de la forme  $2\phi_B + \phi_0$ , où  $\phi_0$  représente le terme de correction. Dans [57], le terme de correction est proposé égale à  $nV_t$ , où  $n$  est un paramètre flou dont la valeur est supposé varier entre 4 et 6 pour une large gamme de paramètres technologiques ( $N_A$ ,  $t_{ox}$ ), cette définition a été reprise dans [87] où pour un intervalle de  $N_A$  entre  $10^{14}$  et  $10^{18}$  et pour une épaisseur  $t_{ox}$  de 5 à 25 nm,  $n$  varie entre 3.37 et 0.48. Dans [88], le terme  $\phi_0$  est défini comme  $V_t \ln[2\phi_B / (\zeta V_t)]$ . La fraction  $1/\zeta$ , déterminée par méthode de test-erreur, a été proposée d'une valeur de 10 pour une gamme typique de  $N_A$ . Similaire à l'expression de Tsvitidis [57], une définition simple du terme de correction a été proposée dans [89] comme étant égale à  $\delta_0 V_t$ , où la valeur du paramètre d'ajustement  $\delta_0$  varie entre 0.05 et 0.1. Dans [90], le terme  $\phi_0$  a pour expression

$V_t \ln[(2\phi_B/V_t) - 1]$ , résultant pour un intervalle de  $N_A$  entre  $10^{14}$  et  $10^{18}$  d'une valeur de  $2.8V_t$  à  $3.5V_t$ .

Comme on le constate, ces expressions du terme de correction sont assez différentes de par le fait que chacune d'elle utilise une méthode différente d'extraction de la tension de seuil. De même, il est à noter que toutes ces expressions ne prennent pas en compte assez de paramètres qui peuvent avoir, pour des canaux courts et des couches d'oxyde ultrafin, une influence non négligeable sur la tension de la condition de seuil. Donc en plus du dopage du canal, il est essentiel d'introduire l'épaisseur du canal et de l'oxyde dans les expressions au lieu de termes de valeur moyenne qui ne couvre qu'une gamme de paramètre. Cependant, le développement d'un modèle robuste nécessite une très large base de données.



**Figure IV.5: Variation du minimum du potentiel de surface en fonction de  $V_{gs}$  pour différentes épaisseurs de canal.**

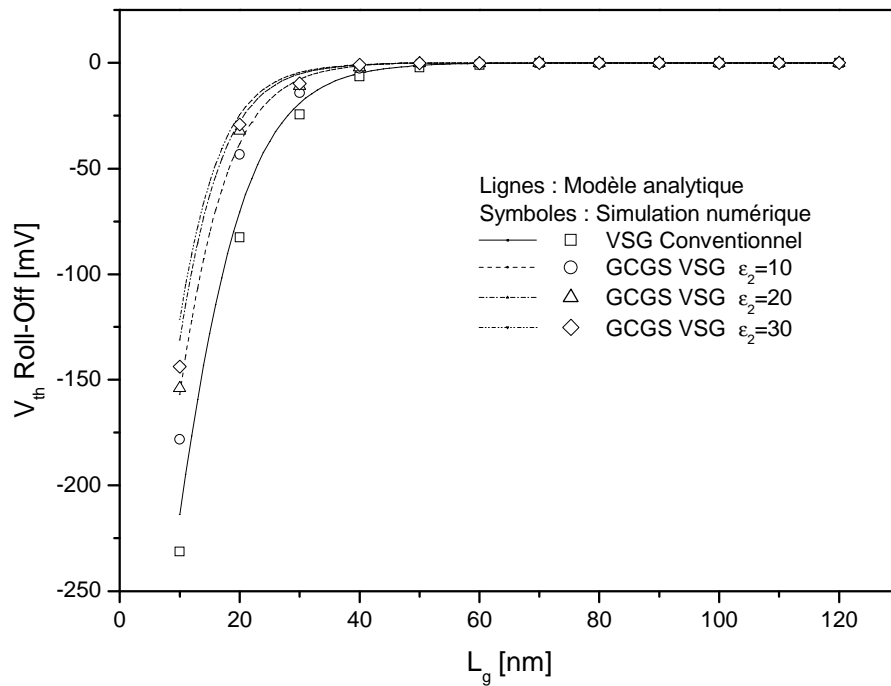
Pour déterminer la tension de la condition de seuil, nous nous baserons sur une nouvelle approche très simple. En supposant, dans le cas du calcul la tension de seuil basée sur le potentiel de surface, que la tension de la condition de seuil est indépendante de l'épaisseur du film de silicium, la méthode consiste à déterminer le point d'intersection (cross point) du minimum du potentiel de surface en fonction de  $V_{gs}$  pour plusieurs  $t_{si}$  (fig IV.5).

Le tableau suivant montre les valeurs de la tension de condition de seuil, obtenues pour une longueur de 30nm pour différentes valeurs de permittivité, le tableau compare la tension de seuil obtenue avec notre modèle et les valeurs issues de simulations numériques. Les résultats confirment le bien fondé de notre approche, avec des valeurs de tension de seuil plus proches des valeurs de simulation que celles issues de la définition classique.

		Conventionnel	$\epsilon = 10$	$\epsilon = 20$	$\epsilon = 30$
2. $\Phi_B$ classique		0.5766	0,779	0,779	0,779
$V_{th}$	$V_{ds}=0.05V$	0,46266	0,67656	0,68039	0,68151
	$V_{ds}=0.4V$	0,46745	0,67855	0,68168	0,68259
DIBL (mV)		13.68	5.71	3.70	3.11
2. $\Phi_B$ cross point		0.45618	0.45213	0.45152	0.45121
$V_{th}$	$V_{ds}=0.05V$	0,34505	0,35284	0,35494	0,35541
	$V_{ds}=0.4V$	0,34999	0,35502	0,35636	0,35661
DIBL (mV)		14.12	6.22	4.05	3.41
Sim. Num					
$V_{th}$	$V_{ds}=0.05V$	0.35144	0.36511	0.36805	0.36911
	$V_{ds}=0.4V$	0.35739	0.36856	0.37083	0.37138
DIBL (mV)		17.01	9.87	7.93	6.51

**Tableau IV.1 : Mise en évidence de l'influence des différentes définitions de la condition de seuil.**

La figure IV.6 illustre le roll-off ou le décalage de la tension de seuil pour différentes valeurs de high-K qui représente la différence entre la tension de seuil pour une longueur donnée et celle d'un canal long suivant l'expression  $\Delta V_{th} = V_{th_{Long}} - V_{th}$ . Les résultats obtenus confirment la validité de notre modèle. Il est clair que la dégradation de la tension de seuil augmente avec le rétrécissement du canal, ceci est dû à une perte de la contrôlabilité de la grille sur la charge du canal. Néanmoins, on observe une diminution de la dégradation de la tension de seuil, relativement à l'accroissement de la valeur de permittivité de la couche high-K.



**Figure IV.6: Variation du Roll-Off en fonction de la longueur du canal pour différentes valeurs de high-K.**

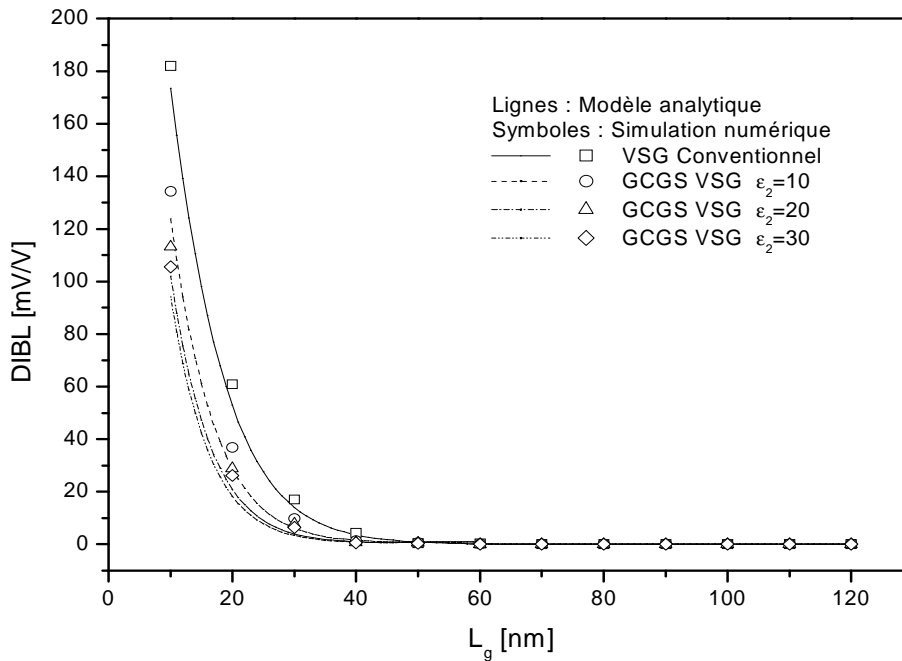
### IV.3.3 DIBL

Le DIBL est un paramètre très important qui traduit l'effet de perçement sur les canaux courts, il est obtenu en effectuant la différence sur la tension de

seuil pour deux tensions de drain, une première assez élevée (0.4V) et une seconde

$$\text{très faible (0.05V) tel que } DIBL = \frac{V_{th}|_{V_{ds2}} - V_{th}|_{V_{ds1}}}{V_{ds2} - V_{ds1}}.$$

La figure ci-dessous montre l'effet DIBL en fonction de la longueur pour différentes valeurs de high-K. Le phénomène d'abaissement de la barrière est perceptible à moins de 40nm et devient très important pour une longueur de 10nm. On observe alors l'impacte de la couche high-K sur la diminution du DIBL dans les canaux ultracourts et de ce fait, l'amélioration de la contrôlabilité de la grille.

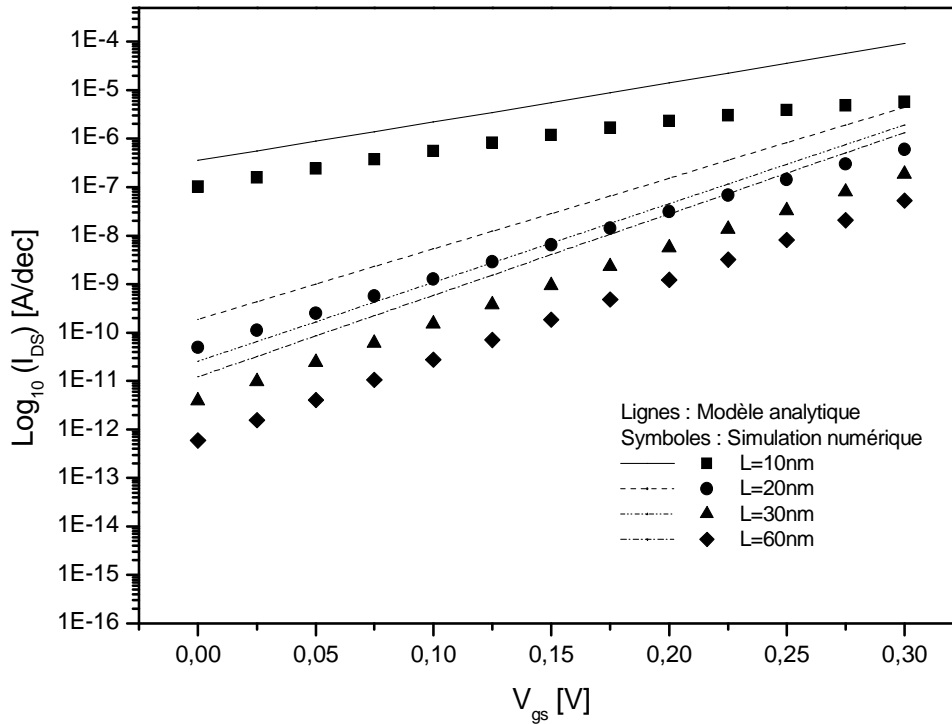


**Figure IV.7: Variation du DIBL en fonction de la longueur du canal pour différentes valeurs de high-K.**

#### IV.3.4 Courant de sous seuil

Comme déjà souligné, le courant en régime de sous seuil est particulièrement affecté par la réduction des dimensions du transistor, s'exprimant

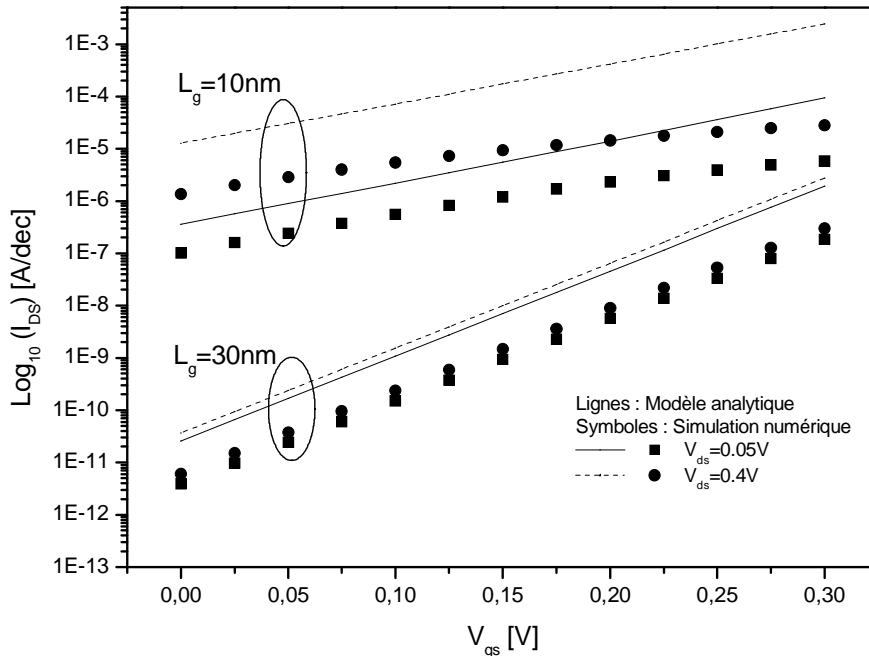
par une augmentation du courant, notamment lors de la réduction de la longueur comme le montre la figure IV.8 où le courant de sous le seuil d'un transistor VSG conventionnel a été calculé suivant l'équation III.13 pour différentes longueurs de canal.



**Figure IV.8 : Courant de sous le seuil pour différentes longueurs de la structure VSG conventionnelle avec  $V_{ds}=0.05\text{V}$ ,  $T_{ox}=1.5\text{nm}$ ,  $T_{si}=10\text{nm}$ ,  $N_A=1.10^{15}\text{cm}^{-3}$ ,  $V_{fb}=-0.0915\text{V}$ ,  $\Phi_m=4.63\text{V}$ ,  $\mu=1385.39\text{cm}^2/\text{Vs}$ .**

Les résultats montrent le bon accord du modèle analytique avec les valeurs numériques avec une pente correcte du courant en dépit d'un décalage dû à la simplification appliquée sur l'intégral III.12 en supposant la linéarité de la variation de  $\psi_{min}(r)$ . Le courant reste, pour des longueurs de 30 ou 20nm de valeur acceptable avec une légère augmentation et une pente tolérable. Néanmoins, à

10nm, on observe une augmentation très importante du courant essentiellement à très faible tension de polarisation et une nette dégradation de la pente.

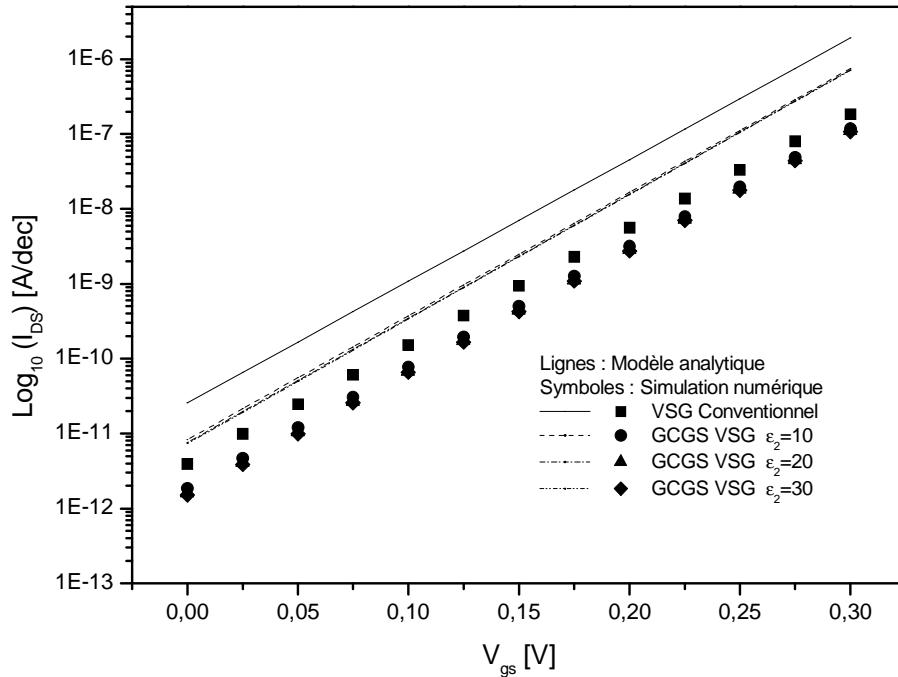


**Figure IV.9 : Courant de sous le seuil pour différentes tensions de polarisation de la structure VSG conventionnelle avec  $T_{ox}=1.5\text{nm}$ ,  $T_{si}=10\text{nm}$ ,  $N_A=1.10^{15}\text{cm}^{-3}$ ,  $V_{fb}=-0.0915\text{V}$ ,  $\Phi_m=4.63\text{V}$ ,  $\mu=1385.39\text{cm}^2/\text{Vs}$ .**

La figure ci-dessus illustre l'effet de la tension de polarisation sur le courant de sous le seuil qui se traduit par une augmentation plus ou moins importante suivant la longueur du canal. En effet, on observe l'importance de l'effet DIBL pour une longueur de 10nm où l'écart s'étend à plus d'une décade. Toutefois la variation de la tension de drain reste sans influence notable sur la pente du courant.

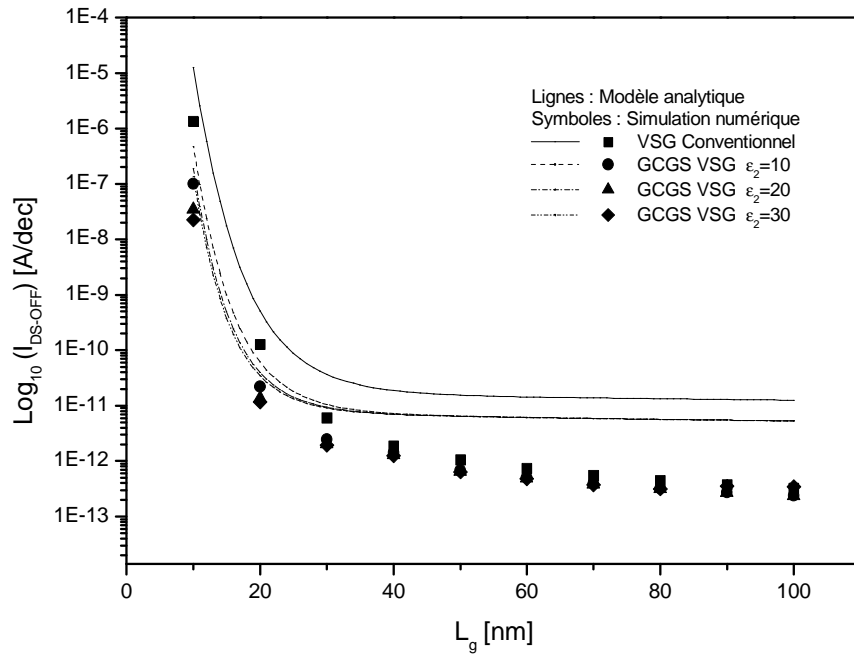
Dans la figure IV.10, l'impacte de la couche high-K sur le courant de sous le seuil est discuté. On observe alors une nette diminution du courant tout en respectant la pente. La diminution est appréciable à partir d'une valeur de

permittivité de 10, cependant cette différence n'est pas importante entre les différentes valeurs de permittivité high-K.



**Figure IV.10 : Courant de sous le seuil pour différentes valeurs de permittivité de la couche high-K avec  $L_g=30\text{nm}$ ,  $T_{\text{ox}1}=0.5\text{nm}$ ,  $T_{\text{ox}2}=1\text{nm}$ ,  $T_{\text{si}}=10\text{nm}$ ,  $N_{\text{AL}}=1.10^{15}\text{cm}^{-3}$ ,  $N_{\text{AH}}=5.10^{16}\text{cm}^{-3}$ ,  $V_{\text{fb}}=-0.0915\text{V}$ ,  $V_{\text{ds}}=0.05\text{V}$ ,  $\Phi_m=4.63\text{V}$ ,  $\mu_1=928.68\text{cm}^2/\text{Vs}$ ,  $\mu_2=1385.39\text{cm}^2/\text{Vs}$ .**

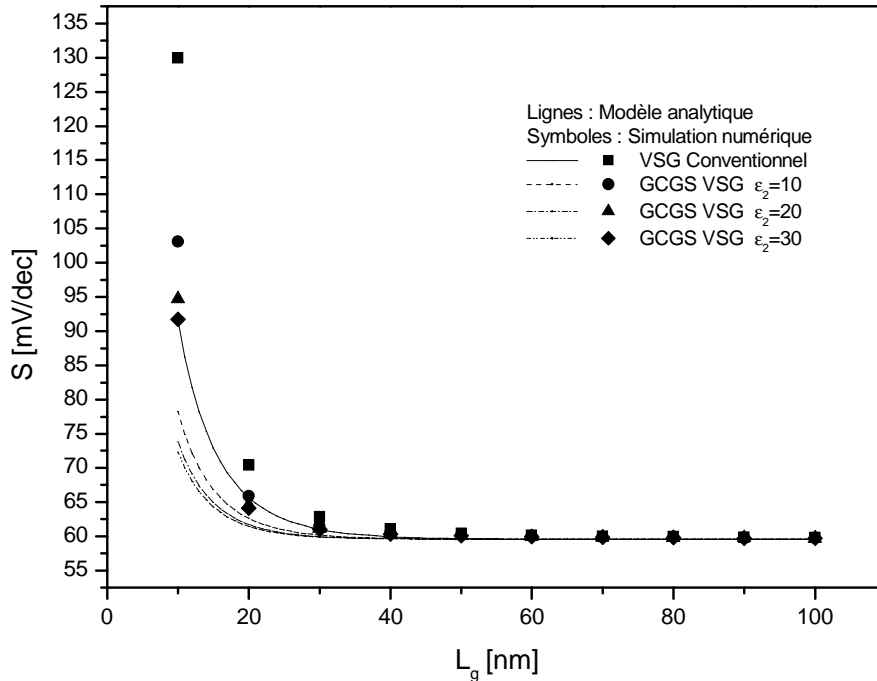
La variation du courant  $I_{\text{off}}$  en fonction de la longueur pour différentes valeurs de high-K est illustrée dans la figure IV.11. On observe une augmentation très importante du courant allant, pour une structure conventionnelle d'une longueur de canal de 10nm, jusqu'à plus de 10 $\mu\text{A}$ , ce qui est une valeur inacceptable en mode blocage. Cependant, l'insertion de la couche high-K a pour effet de réduire cette augmentation, essentiellement pour des longueurs ultra courtes de moins de 30nm.



**Figure IV.11 : Courant  $I_{\text{off}}$  en fonction de la longueur pour différentes valeurs de permittivité de la couche high-K avec,  $T_{\text{ox1}}=0.5\text{nm}$ ,  $T_{\text{ox2}}=1\text{nm}$ ,  $T_{\text{si}}=10\text{nm}$ ,  $N_{\text{AL}}=1.10^{15}\text{cm}^{-3}$ ,  $N_{\text{AH}}=5.10^{16}\text{cm}^{-3}$ ,  $V_{\text{fb}}=-0.0915\text{V}$ ,  $V_{\text{ds}}=0.4\text{V}$ ,  $\Phi_{\text{m}}=4.63\text{V}$ ,  $\mu_1=928.68\text{cm}^2/\text{Vs}$ ,  $\mu_2=1385.39\text{cm}^2/\text{Vs}$ .**

#### IV.3.5 Pente de sous le seuil

La figure IV.12 illustre la variation de l'inverse de la pente de sous le seuil en fonction de la longueur pour différentes valeurs de high-K. Le modèle analytique de l'inverse de la pente présente une allure assez correcte, néanmoins, la simplification utilisée dans le modèle implique un décalage par rapport aux résultats numériques de plus en plus importants en allant vers des longueurs ultracourtes. L'effet de réduction du paramètre  $S$  apporté par la couche à haute permittivité est appréciable à moins de 30nm en présentant des valeurs correctes jusqu'à une longueur de 15 nm où l'inverse de la pente varie entre 65 et 70mV/dec.



**Figure IV.12 : Inverse de la pente de sous le seuil en fonction de la longueur pour différentes valeurs de permittivité de la couche high-K avec,  $T_{ox1}=0.5\text{nm}$ ,  $T_{ox2}=1\text{nm}$ ,  $T_{si}=10\text{nm}$ ,  $N_{AL}=1.10^{15}\text{cm}^{-3}$ ,  $N_{AH}=5.10^{16}\text{cm}^{-3}$ ,  $V_{fb}=-0.0915\text{V}$ ,  $V_{ds}=0.4\text{V}$ ,  $\Phi_m=4.63\text{V}$ .**

#### IV.4 Conclusion

L'étude effectuée confirme la validité de notre modèle par une bonne concordance avec les résultats de simulation numérique. Les résultats ont mis en évidence la performance du transistor VSG. Les valeurs obtenues de l'analyse des effets canal court restent admissibles. Pour une structure conventionnelle, la longueur minimale autorisée se situe autour de 20nm avec un DIBL de 52mV/V, une pente sous le seuil de 65mV/dec et un roll-off de la tension de seuil aux alentours de 70mV, ce qui représente la valeur acceptable de la variation de la tension de seuil pour un double grille [91], et qui peut s'étendre au VSG. Le courant de sous le seuil augmente considérablement avec le rétrécissement du

canal, à 20nm et pour une tension d'alimentation de 0.05V, le courant  $I_{\text{off}}$  est de  $1.8 \cdot 10^{-10}$  A, ce qui est assez important compte tenu de la surface du transistor, pour une surface active de  $100\mu\text{m}^2$  (i.e., plus de 100 millions de transistors), et une tension d'alimentation de 0.4V, la consommation en puissance est de 26mW.

En ce qui concerne la structure à pile d'oxyde, l'apport de la couche à haute permittivité est très important, notamment pour une longueur entre 30 et 10nm ce qui ouvre le champ à une plus forte intégration. A 10nm, on remarque une baisse du roll-off et du DIBL de près de 50%. La structure VSG à pile d'oxyde offre donc une meilleure contrôlabilité de la grille et représente une solution potentielle pour l'intégration fortement submicronique.

## **CONCLUSION GENERALE**

## Conclusion générale

L'intégration CMOS suscite toujours l'intérêt de l'industrie électronique et de la communauté scientifique dont les efforts ne cessent de repousser les limites afin de suivre au mieux les prévisions de la loi de Moore et la feuille de route de l'ITRS. La technologie SOI et tout spécialement les transistors à grille multiple représentent une alternative prometteuse au transistor MOSFET bulk conventionnel qui se rapproche de ses limites à une échelle fortement submicronique.

Les structures non conventionnelles sont encore au stade de recherche et requièrent une étude approfondie de la physique et du fonctionnement pour aboutir à la performance et au dimensionnement attendu dans la feuille de route (ITRS). Cette étude passe par la modélisation des dispositifs. Destinée aux outils de simulation numérique, les modèles doivent tenir compte du plus grand nombre possible de phénomènes et de paramètres, tout en gardant un aspect simple et explicite.

Les travaux reportés dans ce manuscrit ont eu pour objectif l'étude et la modélisation du transistor vertical à grille cylindrique avec ou sans pile d'oxyde et dopage graduel, notamment en régime faible inversion par une modélisation physique analytique. Le modèle est basé sur la solution 2D de l'équation de Poisson en forme de série Bessel-Fourier qui représente la solution la plus exacte de l'équation en coordonnée cylindrique.

De cette solution, une expression explicite de la tension de seuil a été dérivée. Une nouvelle approche très simple de détermination de la condition de seuil a été utilisée, méthode qui repose sur la détermination du point d'intersection des potentiels de surface pour différentes épaisseurs.

Une expression explicite du courant de sous-seuil a été obtenue, essentiellement en se référant à l'approximation de Boltzmann sur la concentration des électrons au niveau de la cathode virtuelle.

En se référant à une approximation simplificatrice de l'expression de l'inverse de la pente sous-seuil basée sur l'approximation de Boltzmann sur la concentration des électrons au niveau de la cathode virtuelle, une expression explicite et simple a été dérivée.

La validité du modèle a été prouvée à l'aide de simulations numériques en utilisant le progiciel ATLAS. Les résultats obtenus ont montré une bonne performance du transistor VSG jusqu'à une longueur de 20nm, au dessous de cette longueur, les effets canal court deviennent très importants.

Les résultats ont dévoilé aussi la contribution de la pile d'oxyde dans l'augmentation de la contrôlabilité de la grille et de ce fait, la diminution des effets canal court qui peut atteindre jusqu'à 50% de moins relativement à la valeur de permittivité de la couche high-K. Ceci donne la possibilité d'une plus forte intégration, jusqu'à moins de 15nm.

Afin d'aller plus loin encore dans l'intégration, il faudra diminuer l'épaisseur du canal à moins de 10nm, mais ceci impliquera la prise en compte des effets mécaniques quantiques qui à cette échelle, deviennent non négligeables.

**ANNEXE**

## Annexe A : Résolution de l'équation de Poisson

L'équation de Poisson en coordonnée cylindrique s'écrit :

$$\frac{\partial^2 \psi(z, y)}{\partial r^2} + \frac{1}{r} \cdot \frac{\partial \psi(z, r)}{\partial r} + \frac{\partial^2 \psi(z, r)}{\partial z^2} = \frac{qN_A}{\epsilon_{Si}}$$

La solution de l'équation est décomposée en deux tel que :

$$\psi(z, r) = V(r) + U(z, r)$$

On obtient alors l'équation de Laplace 2D

$$\frac{\partial^2 U(z, y)}{\partial r^2} + \frac{1}{r} \cdot \frac{\partial U(z, r)}{\partial r} + \frac{\partial^2 U(z, r)}{\partial z^2} = 0$$

et l'équation de Poisson 1D

$$\frac{\partial^2 V(z, y)}{\partial r^2} + \frac{1}{r} \cdot \frac{\partial V(z, r)}{\partial r} = \frac{qN_A}{\epsilon_{Si}}$$

On prenant compte de ces conditions aux limites

$$C_{ox} \left[ V_g^* - \psi \left( z, r = \pm \frac{t_{Si}}{2} \right) \right] = \epsilon_{Si} \left. \frac{\partial \psi(z, r)}{\partial r} \right|_{r = \frac{t_{Si}}{2}}$$

$$\psi(z = 0, r) = V_{bi}$$

$$\psi(z = L, r) = V_{bi} + V_{ds}$$

$$\text{où } C_{ox} = \frac{2\epsilon_{ox}}{t_{Si} \ln(1 + 2t_{ox}/t_{Si})}$$

la solution de l'équation de Poisson 1D s'écrit [92] :

$$V(r) = V_g^* + \frac{qN_A}{4\epsilon_{Si}} r^2 - \frac{qN_A}{16\epsilon_{Si}} t_{Si}^2 - \frac{qN_A}{4C_{oxi}} t_{Si} \text{ avec } V_g^* = V_{gs} - V_{FB}$$

et la solution de l'équation de Laplace 2D s'écrit [92], [93] :

$$U(z, r) = \sum_{n=1}^{\infty} \frac{J_0(\lambda_n r)}{\sinh(\lambda_n L)} [A_n \sinh(\lambda_n (L - z)) + B_n \sinh(\lambda_n z)]$$

les coefficients de la série Bessel-Fourier  $A_n$  et  $B_n$  sont déterminés par l'intégrale [93], [94] :

$$A_n = \frac{1}{S} \int_0^a r (V_{bi} - V(r)) J_0(\lambda_n r) dr$$

$$B_n = \frac{1}{S} \int_0^a r (V_{bi} + V_{ds} - V(r)) J_0(\lambda_n r) dr$$

$$S_n = \int_0^a r [J_0(\lambda_n r)]^2 dr = \frac{a^2}{2} ([J_0(\lambda_n a)]^2 + [J_1(\lambda_n a)]^2)$$

et en utilisant la condition de Robin [95] tel que :

$$\frac{\lambda_n}{C} = \frac{J_0(\lambda_n a)}{J_1(\lambda_n a)} \text{ où } C = \frac{C_{ox}}{\epsilon_{si}}$$

le dénominateur S peut s'écrire comme :

$$S_n = \frac{a^2 [J_0(\lambda_n a)]^2}{2} \left( 1 + \frac{C^2}{\lambda_n^2} \right)$$

Ce qui nous mène aux expressions des coefficients :

$$A_n = \frac{a J_1(\lambda_n a)}{\lambda_n S_n} \left( V_{bi} - V_g^* + \frac{qN_A}{4C_{ox}} t_{Si} + \frac{qN_A}{4\epsilon_{Si}} t_{Si}^2 \right) - \left( \frac{qN_A}{4\epsilon_{Si}} \right) \left( \frac{2J_2(\lambda_n a) - \lambda_n a J_3(\lambda_n a)}{\lambda_n^2 J_0^2(\lambda_n a) (1 + C^2 / \lambda_n^2)} \right)$$

$$B_n = \frac{a J_1(\lambda_n a)}{\lambda_n S_n} \left( V_{bi} + V_{ds} - V_g^* + \frac{qN_A}{4C_{ox}} t_{Si} + \frac{qN_A}{4\epsilon_{Si}} t_{Si}^2 \right) - \left( \frac{qN_A}{4\epsilon_{Si}} \right) \left( \frac{2J_2(\lambda_n a) - \lambda_n a J_3(\lambda_n a)}{\lambda_n^2 J_0^2(\lambda_n a) (1 + C^2 / \lambda_n^2)} \right)$$

## Annexe B : Exemple de Netlist ATLAS

```
go atlas
mesh cylindrical

## définition du maillage
# x direction
x.mesh loc=0.000 spac=0.001
x.mesh loc=0.005 spac=0.00001
x.mesh loc=0.0055 spac=0.0001
x.mesh loc=0.0065 spac=0.0001
x.mesh loc=0.008 spac=0.0001

# y direction
y.mesh loc=-0.035 spac=0.003
y.mesh loc=-0.025 spac=0.003
y.mesh loc=-0.015 spac=0.001
y.mesh loc=0.000 spac=0.001
y.mesh loc=0.015 spac=0.001
y.mesh loc=0.025 spac=0.003
y.mesh loc=0.035 spac=0.003

## définition des régions
region num=1 x.min=0.005 x.max=0.008 y.min=-0.025 y.max=0.025 SiO2
region num=2 x.min=0.000 x.max=0.005 y.min=-0.035 y.max=0.035 silicon
region num=3 x.min=0.0055 x.max=0.0065 y.min=-0.025 y.max=0.025 SiO2
region num=4 x.min=0.000 x.max=0.005 y.min=-0.015 y.max=0.000 silicon

## définition des électrodes
elect name=gate x.min=0.0065 x.max=0.008 y.min=-0.014 y.max=0.014
elect name=source x.min=0.005 x.max=0.008 y.min=-0.035 y.max=-0.025
elect name=drain x.min=0.005 x.max=0.008 y.min=0.025 y.max=0.035

## définition du dopage
doping region=2 uniform p.type con=1.e15
doping region=4 uniform p.type con=5.e16
doping uniform n.type con=1.e20 x.min=0.000 x.max=0.005 y.min=-0.035
y.max=-0.015
doping uniform n.type con=1.e20 x.min=0.000 x.max=0.005 y.min=0.015
y.max=0.035

## définition des régions
contact name=gate aluminum workfunc=4.63
contact name=drain
contact name=source

## définition du matériau à haute permittivité
material region=3 Eg300=5.7 affinity=2.67 permittivity=30

## définition des modèles physiques, méthodes numériques
## et choix des paramètres à extraire

models analytic boltzmann print
method newton gummel rcm
```

```

output e.field e.mobility charge band.params con.band permittivity
#####
## extraction du minimum du potentiel de surface

solve init
solve vdrain=0.01 vstep=0.01 vfinal=0.05 name=drain

save outf=VSG1.str
tonyplot VSG1.str -set VSG.set

log outf=CP_L_30+Tsi_10+Tox1_0.5+Tox2_1+eps_30+Vds_0.05+R_5.log
probe name=psimin min potential x.max=0.004999 y.min=-0.015 y.max=0.015

solve vgate=0.01 vstep=0.01 vfinal=0.5 name=gate
log off
quit

#####
## extraction de la tension de seuil, du DIBL, du courant de drain
## et de l'inverse de pente de sous le seuil

solve init
solve vdrain=0.0 vstep=0.005 vfinal=0.05 name=drain

log outf=VSG11.log
solve vgate=0 vstep=0.025 vdrain=0.05 vfinal=0.35 name=gate
solve vgate=0.351 vstep=0.001 vdrain=0.05 vfinal=1 name=gate \
compl=5E-6 cname=drain
log off

solve init
solve vdrain=0.00 vstep=0.05 vfinal=0.4 name=drain

log outf=VSG12.log
solve vgate=0 vstep=0.025 vdrain=0.4 vfinal=0.35 name=gate
solve vgate=0.351 vstep=0.001 vdrain=0.4 vfinal=1 name=gate \
compl=5E-6 cname=drain
log off

extract init inf="VSG11.log"
extract name= "Vth_Vds_0.05" \
xintercept (maxslope(curve (v."gate",i."drain"))))
extract name="swing_Vds_0.05" \
1.0/slope(maxslope(curve(v."gate",log10(i."drain")))))

extract init inf="VSG12.log"
extract name= "Vth_Vds_0.4" \
xintercept (maxslope(curve (v."gate",i."drain"))))
extract name="swing_Vds_0.4" \
1.0/slope(maxslope(curve(v."gate",log10(i."drain")))))
extract name="dibl" ("Vth_Vds_0.4"- "Vth_Vds_0.05")/0.35
tonyplot -overlay VSG11.log VSG12.log
quit

```

## **BIBLIOGRAPHIE**

## Bibliographie

- [1] Howard R. Huff, Into The Nano Era Moore's Law Beyond Planar Silicon CMOS, Springer edition, Berlin, 2009.
- [2] D. Kahng, M.M. Attala, "Silicon-Silicon Dioxide Field Induced Surface Devices," IRE-AIEE Solid-State Device Research Conference, Carnegie Institute of Technology, Pittsburgh, 1960.
- [3] Computer History Museum. <http://www.computerhistory.org/>
- [4] J.P. Colinge, FinFETs and Other Multi-Gate Transistors, Springer edition, New York, USA, 2008.
- [5] S.-H. Lo, D. A. Buchanan, Y. Taur, and W. Wang, "Quantum-Mechanical Modeling of Electron Tunneling Current from the Inversion Layer of Ultra-Thin-Oxide nMOSFET's," IEEE Electron Device Lett, vol. 18, no. 5, pp.209-211, 1997.
- [6] T. Ghani, K. Mistry, P. Packan, et al, "Scaling Challenges and Device Design Requirement for High Performance sub-50nm Gate Planar CMOS Transistors" in Proc. Symp. VLSI Technol, pp.174-175, 2000.
- [7] T. Tanaka, T. Usuki, T. Futatsugi, Y. Momiyama, and T. Sugii, "Vth Fluctuation Induced by Statistical Variation of Pocket Dopant Profile," IEEE International Electron Devices Meeting, pp. 271-274, 2000.
- [8] "ITRS (International Technology Roadmap for Semiconductors) web site", <http://public.itrs.net/>
- [9] X. Huang, W. C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. K. Choi, K. Asano, V. Subramanian, T. J. King, J.

Bokor, and C. Hu, "Sub 50 nm FinFET: PMOS," in IEDM Tech. Dig., 1999, pp. 67–70.

[10] T. Sekigawa and Y. Hayashi, "Calculated thresholdvoltage characteristics of an XMOS transistor having an additional bottom gate", Solid-State Electronics 27 (1984) 827.

[11] J. P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes, and C. Claeys, "Silicon-on-insulator gate-all-around device," in IEDM Tech.Dig., 1990, pp. 595–598.

[12] F.-L. Yang, "25 nm CMOS Omega FETs," in IEDM Dig., 2002, pp. 255–258.

[13] J. T. Park, J. P. Colinge, and C. H. Diaz, "Pi-gate SOI MOSFET, " IEEE Electron Device Lett., vol. 22, pp. 405–406, Aug. 2001.

[14] M. A. Pavanello, J. A. Martino, Dessard V, D. Flandre, "The graded-channel SOI MOSFET to alleviate the parasitic bipolar effects and improve the output characteristics". Ninth International Symposium on Silicon-on-insulator Technology and Devices, 195th Electrochemical Society Meeting, Seattle, USA, pp.293-298, 1999.

[15] Chung Tsung Ming, Simulation, Fabrication and characterization of advanced MOSFETs: graded-channel and multiple-gate devices in SOI technology for analog and RF applications, Thèse de doctorat, Université catholique de Louvain, Belgique,2007.

[16] Y. Taur, E.J. Nowak, "Cmos Below 0.1µm: How High Will Performance Go ?", " International Electron Devices Meeting IEDM 1997, pp0 215-218, 1997.

- [17] S. Tang, M. Wallace, A. Seabaugh, et al., "Evaluating the Minimum Thickness of Gate Oxide on Silicon Using First-Principles Method," *Applied Surface Science*, Vol.135, no 1, pp. 137-142, 1998.
- [18] G.D. Wilk, R.M. Wallace, J.M. Anthony, "Hafnium and zirconium silicates for advanced gate dielectrics," *Journal of Applied Physics*, Vol. 87, no. 1, pp. 484-492, 2000.
- [19] J.P. Colinge, "Multi-gate SOI MOSFETs," *Microelectronic Engineering*, Vol. 84, no. 9-10, pp. 2071-2076, Sep-Oct. 2007.
- [20] S. Miyano, M. Hirose, F. Masuoka, "Numerical analysis of a cylindrical thin-pillar transistor (CYNTHIA)," *IEEE Trans. Electron Dev.* 39 (1992) 1876.
- [21] Nitayama, H. Takato, N. Okabe, K. Sunouchi, K. Hieda, F. Horiguchi, F. Masuoka, "Multi-pillar surrounding gate transistor (M-SGT) for compact and high-speed circuits," *IEEE Trans. Electron Dev.* 38-3 (1991) 579.
- [22] Hyunjin Lee, Lee-Eun Yu, Seong-Wan Ryu, Jin-Woo Han, Kanghoon Jeon, Dong-Yoon Jang, Kuk-Hwan Kim, Jiye Lee, Ju-Hyun Kim, Sang Cheol Jeon, et al., "Sub-5nm all-around gate FinFET for ultimate scaling," *Symposium on VLSI Technology (2006)* paper 7.5.
- [23] V. Passi, B. Olbrechts, J.P. Raskin, "Fabrication of a Quadruple Gate MOSFET in Silicon-on-Insulator technology," *Abstracts of the NATO Advanced Research Workshop on Nanoscaled Semiconductor-on-Insulator Structures and Devices (2006)* 11.
- [24] N. Singh, A. Agarwal, L.K. Bera, T.Y. Liow, R. Yang, S.C. Rustagi, C.H. Tung, R. Kumar, G.Q.Lo, N. Balasubramanian, D.L. Kwong, "High-performance fully depleted silicon nanowire (diameter<5 nm) gateall-around CMOS devices," *IEEE Electron Device Letters* 27-5 (2006) 383.

- [25] A.K. Sharma, S. H. Zaidi, S. Lucero, S. R. J. Brueck, and N. E. Islam, "Mobility and Transverse Electric Field Effects in Channel Conduction of Wrap-around-gate Nanowire MOSFETs, " *IEE Proc. Circuits, Devices and Systems*, 151. 2004.
- [26] W. Xiong, J. W. Park, and J. P. Colinge, "Corner effect in multiple-gate SOI MOSFETs, " in *Proc. Int. SOI Conf.*, 2003, pp. 111–113.
- [27] Jae Young Song, Woo Young Choi, Ju Hee Park, Jong Duk Lee, and Byung-Gook Park, "Optimization of Gate-All-Around (GAA) MOSFETs, " *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, Vol. 5, no. 3, May. 2006.
- [28] K.D. Buddharaju, N. Singh, S.C. Rustagi, Selin H.G. Teo, G.Q. Lo, N. Balasubramanian, D.L. Kwong, "Si-Nanowire CMOS Inverter Logic Fabricated Using Gate-All-Around (GAA) Devices and Top-Down Approach," *Solid-State Electronics*, 52, pp. 1312–1317, 2008.
- [29] M. Suzuki, T. Endoh, H. Sakuraba and F. Masuoka, "2.4F2 memory cell technology with stacked-surrounding gate transistor (S-SGT) DRAM, " *IEEE Transaction on Electron Devices*, vol. 48, no. 8, pp. 1599-1603, Aug. 2001.
- [30] Jérôme SAINT-MARTIN, Etude par simulation monte carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI, Thèse de doctorat, U.F.R. SCIENTIFIQUE D'ORSAY, France.
- [31] T. SKOTNICKI, "Transistor MOS et sa technologie de fabrication," *Technique de l'Ingénieur, Traité Electronique*.
- [32] Birahim Diagne, Etude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception, Thèse de doctorat, Institut Louis Pasteur Strasbourg, France, 2007.

- [33] J. Colinge, Silicon-on-insulator technology: Materials to VLSI, Kluwer Academic Publishers, Boston, USA, 3rd edition, 2004.
- [34] J.P. Colinge and C.A. Colinge, Physics of semiconductor devices, Springer publishers, New York, USA, 2005.
- [35] Oana Moldovan, Development of compact small signal quasi static models for multiple gate mosfets, Université Rovira I Virgili, Espagne.
- [36] F.Balestra, S.Cristoloveanu, M, Benachir, J.Brini, T.Elewa, Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A new Device with Greatly Enhanced Performance. IEEE Electron Device Letters, Vol.8, no 9, p. 410, 1987.
- [37] J.P. Colinge, M.H. Gao, A.Romano, H.maes, and C. Claeys, technical Digest of IEDM, 595, 1990.
- [38] S. Cristoloveanu and S. S. Li, Electrical characterization of silicon-on-insulator materials and devices, Kluwer Academic Publishers, Boston, USA, 1995.
- [39] P.F. Lu, C.T. Chuang, J. Ji, L.F. Wagner, et al. "Floating-Body Effects in Partially Depleted SOI CMOS Circuits," IEEE Journal of Solid-State Circuits, Vol. 32, no. 8, AUG. 1997.
- [40] Jacques GAUTIER et al. Physique des dispositifs pour circuits intégrés silicium , Hermès, 2003.
- [41] Comparison study of FinFETs: SOI vs. Bulk, Performance, Manufacturing Variability and Cost, SOI Industry Consortium.

- [42] J-H. Rhew, Z. Ren, and M-S. Lundstrom, *A numerical study of ballistic transport in a nanoscale MOSFET*, Solid-State Electronics, vol. 46, no. 11, pp. 1899–1906, 2002
- [43] M. Mouis, and A. Poncet, *Coupling between 2D and quantum confinement effects in ultra-short channel double-gate MOSFETs*, ESSDERC'2001, Germany, pp. 211–214, 2001
- [44] R. Woltjer, L. Tiemeijer, D. Klaassen, "An industrial view on compact modeling", Solid-State Electronics, Vol. 51, pp.1572-1580, 2007.
- [45] Sah C-T. Fundamentals of solid-state electronics. Singapore: World Scient. Publ. Company; 1991, ISBN 981-02-0637-2.
- [46] Pao HC, Sah CT. Effects of diffusion current on characteristics of metal-oxide (insulator)-semiconductor transistors. Solid-State Electron 1966;9:927–37.
- [47] Baccarani G, Rudan M, Spadini G. Analytical igfet model including drift and diffusion currents. Solid-State Electron Dev 1978;2:62–8.
- [48] Carlos Galup-Montoro, Marcio Cherem Schneider, Mosfet Modeling for Circuit Analysis And Design, World Scientific Publishing, 2007.
- [49] Harold Shichman and David A. Hodges, "Modeling and simulation of insulated-gate field-effect transistor switching circuits," IEEE J. Solid-State Circuits, vol. 3, no. 5, pp. 285-289, Sep. 1968.
- [50] John E. Meyer, "MOS models and circuit simulation," RCA Review, vol. 32, pp. 42- 63, Mar. 1971.
- [51] Donald E. Ward and Robert W. Dutton, "A charge-oriented model for MOS transistor capacitances," IEEE J. Solid-State Circuits, vol. 13, no. 5, pp. 703-708, Oct. 1978.

[52] N. Arora, MOSFET models for VLSI circuit simulation. Theory and practice, World Scientific Publishing, 2007.

[53] Bing J. Sheu, Donald L. Scharfetter, Ping-Keung Ko, and Min-Chie Jen, "BSIM: Berkeley Short-Channel IGFET Model for MOS transistors," IEEE J. Solid-State Circuits, vol. 22, no. 4, pp. 558-566, Aug. 1987.

[54] Enz CC, Krummenacher F, Vittoz EA. An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. Analog Integr Circuit Signal Process J 1995;8:83–114.

[55] Miura-Mattausch M, Feldmann U, Rahm A, Bollu M, Savignac D. Unified complete MOSFET model for analysis of digital and analog circuits. IEEE Trans Computer-Aided Des Integr Circuit Syst 1996;15:1–7.

[56] G. Gildenblat et al, PSP Model, Department of Electrical Engineering, The Pennsylvania State University, August 2005.

[57] Yannis Tsvividis, Operation and modeling of the MOS transistor, Oxforde University Press, 2ed edition, New York.

[58] SILIGARIS Alexandre, DAMBRINE Gilles, SCHREURS Dominique, DANNEVILLE Francois, "A new empirical nonlinear model for sub-250 nm channel MOSFET", IEEE J. Microwave and Wireless Components Letters, vol. 13, no. 10, pp. 449-451, 2003.

[59] D.S. Jeon, Burk, D.E. "MOSFET electron inversion layer mobilities-a physically based semi-empirical model for a wide temperature range", IEEE J. Electron Devices, vol. 36, no. 8, pp. 1456-1463, Aug. 1989.

- [60] Narain D. Arora, "Semi-empirical model for the threshold voltage of a double implanted MOSFET and its temperature dependence", *Solid-State Electronics*, Vol. 30, no. 5, Pages 559-569, May 1987.
- [61] M.G. Graham, J.J. Paulos, D.W. Nychka, "Template-based MOSFET device model ". *IEEE J. Computer-Aided Design of Integrated Circuits and Systems*, Vol. 14, no. 8, pp. 924-933, Aug. 1995.
- [62] Ce-Jun Wei, Y.A. Tkachenko, D.Bartle, "Table-based dynamic FET model assembled from small-signal models". *IEEE J. Microwave Theory and Techniques*, Vol. 47, no. 6, pp. 700 – 705, Jun. 1999.
- [63] P.A. Stolk, F.P. Widdershoven, D.B.M. Klaassen, "Modeling statistical dopant fluctuations in MOS transistors". *IEEE J. Electron Devices*, Vol. 45, no. 9, pp. 1960-1971, Sep. 1998.
- [64] S.E. Tyaginov, M.I. Vexler, A.F. Shulekin and I.V. Grekhov, "Statistical analysis of tunnel currents in scaled MOS structures with a non-uniform oxide thickness distribution". *Solid- State Electronics*, Vol. 49, no. 7, pp. 1192-1197, Jul. 2005.
- [65] Seong-Dong Kim, Hideyuki Wada, and Jason C. S. Woo, "TCAD-Based Statistical Analysis and Modeling of Gate Line-Edge Roughness Effect on Nanoscale MOS Transistor Performance and Scaling". *IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING*, Vol. 17, no. 2, pp. 192-200, May. 2004.
- [66] Structure et modélisation du transistor MOS, Nikos Drakos, Computer Based Learning Unit, University of Leeds. [http://comelec.enst.fr/miel/poly/etc\\_17/mod\\_mos/](http://comelec.enst.fr/miel/poly/etc_17/mod_mos/).

- [67] C. Michael, M. Ismail, "Statistical modeling of device mismatch for analog MOS integrated circuits". IEEE J. Solid-State Circuits, Vol. 27, no. 2, pp. 154-166, Feb. 1992.
- [68] Werner Posch, Hubert Enichlmair, Eduard Schirgi and Gerhard Rappitsch, "Statistical Modelling of MOS Transistor Mismatch for High-voltage CMOS Processes". QUALITY AND RELIABILITY ENGINEERING INTERNATIONAL, Vol. 21, pp. 477-489, 2005.
- [69] Rajeev Rao, Ashish Srivastava, David Blaauw and Dennis Sylvester, "Statistical analysis of subthreshold leakage current for VLSI circuits". IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 12, no. 2, pp. 131-139, Feb. 2004.
- [70] R. Rios, N.D. Arora, Cheng-Liang Huang, N. Khalil, J. Faricelli and L. Gruber, "A physical compact MOSFET model, including quantum mechanical effects, for statistical circuit design applications". IEEE International Electron Devices Meeting, Washington DC 1995, pp. 937-940, 10-13 Dec 1995.
- [71] K. Aoyama, H. Kunitomo, K. Tsuneno, H. Sato, K. Mori and H. Masuda, "Rigorous statistical process variation analysis for quarter- $\mu\text{m}$  CMOS with advanced TCAD metrology". IEEE 2nd International Workshop on Statistical Metrology, Kyoto 1997, pp. 8-11, 8 Jun 1997.
- [72] T.L. Chen, G. Gildenblat, "Symmetric bulk charge linearization on charge-sheet MOSFET model". Electronics Letters, Vol. 37, no. 12, pp. 791 - 793, Jun. 2001.
- [73] V. Gerousis, "Design and modeling challenges for 90 NM and 50 NM". IEEE Proceedings of Custom Integrated Circuits Conference 2003, pp. 353-360, 21-24 Sep. 2003.

- [74] H. Iwai, "Roadmap for 22 nm and beyond". *Microelectronic Engineering*, Vol. 86, no. 7-9, pp. 1520-1528, Jul-Sep. 2009.
- [75] K. Natori, "Ballistic metal-oxide-semiconductor field effect transistor," *J. Appl. Phys*, vol. 76, pp. 4879–4890, 1994.
- [76] M. S. Lundstrom, "Elementary scattering theory of the MOSFET," *IEEE Electron Device Lett.*, vol. 18, pp. 361–363, 1997.
- [77] Natori K. "Ballistic metal-oxide-semiconductor field effect transistor," *J Appl Phys* 1994;76(8):4879–90.
- [78] Hamdy Mohamed Abd Elhamid, Compact modeling of multiple gate MOS Devices, Thèse de doctorat, Université de Rovira i Virgili, Espagne, 2007.
- [79] D. Jimenez, J. J. Saenz, B. Iniguez, J. Sune, L. F. Marsal and J. Pallares, "Unified compact model for the ballistic quantum wire and quantum well metal oxide semiconductor field effect transistor," *Journal of Applied Physics*, vol. 94, no. 2, pp. 1061-1068, July 2003.
- [80] P. C. Yeh and J. G. Fossum, "Physical subthreshold MOSFET modelling applied to viable design of deep-submicrometer fully depleted SOI lowvoltage CMOS technology," *IEEE Trans. Electron Devices*, vol. 42, no. 9, pp. 1605–1613, Sep. 1995.
- [81] D. S. Havaladar, G. Katti, N. DasGupta, and A. DasGupta, "Subthreshold current model of FinFETs based on analytical solution of 3-D Poisson's equation," *IEEE Trans. Electron Devices*, vol. 53, no. 4, pp. 737–742, Apr. 2006.
- [82] A. Dey, A. Chakravorty, N. DasGupta, and A. DasGupta, "Analytical Model of Subthreshold Current and Slope for Asymmetric 4-T and 3-T Double-Gate MOSFETs," *IEEE Transactions on Electron Devices*, Vol. 55, no. 12, DEC. 2008.

[83] K. K. Young, "Analysis of Conduction in Fully Depleted SOI MOSFET's," IEEE Transaction on Electron Devices, Vol. 36, no.3, pp. 504-506, Mar. 1989.

[84] Atlas users manual, SILVACO.

[85] S. M. Sze, Physics of Semiconductor Devices, 2nd edition, Wiley, New York, 1981.

[86] S. Baishya, A. Mallik, and C.K. Sarkar, "A Threshold Voltage Model for DMG-MOS Transistors Taking into Account the Varying Depth of Channel Depletion Layers Around the Source and Drain," IEEE International Conference on Industrial and Information Systems. ICIIS 2007, pp. 541-546, 9-11 Aug 2007.

[87] Vaskar Sarkar, Aloke K. Dutta, "An accurate, analytical, and technology-mapped definition of the surface potential at threshold and a new postulate for the threshold voltage of MOSFETs," Solid-State Electronics, vol. 50, no 11-12, pp. 1814-1821, Nov 2006.

[88] A. Ortiz-Conde, J. Rodriguez, F. Garcia Sanchez, J.J. Liou, "An improved definition for modeling the threshold voltage of MOSFETs, " Solid State Electron, Vol.42, no.9, pp.1743–1746, Sep.1998.

[89] J. Benson, N.V. D'Halleweyn, W. Redman-White, et al, "A physically based relation between extracted threshold voltage and surface potential and flatband voltage for MOSFET compact modeling," IEEE Transactions on Electron Devices, Vol. 48, no.5, pp. 1019–1021, May. 2001.

[90] J.A.Salcedo, A. Ortiz-Conde, F.Garcia Sanchez, J. Muci, J.J. Liou, Y. Yue, "New approach for defining the threshold voltage of MOSFETs," IEEE Transactions on Electron Devices, Vol.48, no. 4, pp. 809–813, Apr. 2001.

[91] H.S. Wong, D. Frank, Y. Taur, and J. Stork, "Design and Performance Consideration for Sub-0.1  $\mu\text{m}$  Double Gate SOI MOSFETs", IEDM Tech. Dig, pp. 747-750, 1994.

[92] T.K. Chiang, "A new two-dimensional threshold voltage model for cylindrical, fully-depleted, surrounding-gate (SG) MOSFETs, " Microelectronics Reliability, Vol. 47, no. 2-3, pp. 379-383, Feb-Mar. 2007.

[93] Andrei D. Polyanin, Handbook Of Linear Partial Differential Equation for engineers and scientists, Chapman & Hall/CRC, 2002.

[94] W. W. BELL, Special Functions for Scientists and Engineers, D. Van Nostrand Company Ltd. 1968.

[95] Nakhle H. Asmar Partial Differential Equations with Fourier Series and Boundary Value Problems, Pearson Prentice Hall, 2004.